

摘 要

低噪声放大器(LNA)通常作为接收机前端的第一级,这一级对接收机噪声系数的影响是最大的,因此 LNA 本身的噪声系数要尽量小。它接收到的信号非常微弱甚至被淹没在噪声中,因此又需要足够的增益来放大。而且为了传输最大功率,还要和输入信号源阻抗匹配。这对 LNA 提出了明确的要求。能够提供给 LNA 的功耗是有限的,这些要求之间必须合理权衡,因此特定的环境会有不同的设计指标。

本文详细设计并研究了工作在 S 波段的 LNA,工作频率是 2-2.4GHz,采用了 0.18 μm Si CMOS 工艺,研究了影响噪声和增益的各种因素,讨论了四种不同的电路结构,兼顾噪声匹配与功率匹配,选择了源极电感负反馈结构,以往在该结构中用单个电感进行输入匹配,这样需要很大的栅极电感,论文提出了新颖的 Π 型输入匹配网络,降低了匹配需要的电感大小。针对输出匹配本文进行了理论分析和模拟验证,比较了电阻串联和并联两种可能的电路形式,考虑到电感含有体电阻,串联电阻形式便于吸收这个电阻,也更利于集成。为了尽量减小寄生干扰,采用了差分的电路结构,由于给差分电路提供尾电流的电流镜可能含有简并点,为摆脱简并点设计了偏置电路,以确保电路正常启动。

设计参数中,输入输出电容分别为 10pF、20pF, Π 型网络中的电感电容分别是 3.6pF、3.8nH 以及 1.44pF,源极负反馈电感 0.45nH,级间匹配电感是 0.9nH,共栅级漏端电感 2.15nH,电阻 7 Ω ,共源级和共栅级的晶体管尺寸均为 360/0.18,偏置电路和提供尾电流的晶体管尺寸均为 40/0.18,电流镜中的晶体管分别是 30/0.18, 30/0.18, 10/0.18, 10/0.18,启动电路中的晶体管分别是 10/0.18, 10/0.18,电阻均为 550 Ω 。

设计性能是工作频段 2-2.4GHz,带宽 400M,噪声系数最低 1.3dB,增益最高 16.8dB,输入反射系数最小-13dB,输出反射系数最小-7.5dB,反向隔离小于-41dB。稳定因子大于 4,输入三阶交截点为-6.1dBm,功耗为 34mW。

关键词 Si CMOS 工艺; LNA; S 波段

Abstract

The first stage of a receiver is typically a low noise amplifier. Its noise figure value dominates and greatly affects the overall noise figure of the cascade. LNA should add as little noise as possible. Because signals received from antennas are very weak even immersed in noise, LNA must have enough gain to amplify signals. Aside from that, an LNA should also present a specific impedance for matching to maximum power transfer. Given a specified bound on power consumption, to achieve all these goals, designers must balance these goals and focus on primary aspects to satisfy special circumstances.

A S-band LNA which uses Si CMOS process was designed and traversed. The main work is to find out which factors on earth determine noise and gain. After investigating four forms of architectures, inductive degeneration differential topology has been chosen to minimize noise. Up to the present, a single inductance was used to achieve input matching. This method required a fat one. Under this circumstance a Π input network is proposed. Thus gate inductance was reduced significantly. Output matching is also analyzed and validated. Resistance series or shunt are compared, the former is chosen because it can absorb parasitic resistance, and it is propitious to integration. Differential form helps to decrease its sensitivity to parasitic. Tail current is supplied by a current mirror, including a start-up network so as to get rid of metastable state. Simulating achieved receivable results, and validated the suitability of Si CMOS process in S-band. These works are beneficial to fully integrate LNA on chips.

The design parameters are: input and output capacitance are 10pF and 20pF respectively, in Π network, 3.6pF, 3.8nH and 1.44pF inductance between C-G stage and C-S stage is 0.9nH, C-G stage includes a 2.15nH inductance and a 7 Ω resistance. The size of C-G and C-S stage transistors both are 360/0.18, in bias and tail current both are 40/0.18, in current mirror are 0/0.18, 30/0.18, 10/0.18, 10/0.18 respectively. In start-up are 10/0.18 and 10/0.18, resistance both are 550 Ω . The work span is 2-2.4GHz, bandwidth is exceed 400M, NF is 1.3dB, S₂₁, S₁₁, S₂₂, S₁₂ is about 16.8dB, -13dB, -7.5dB, -41dB respectively, stable

factor is exceed 4, IIP3 is about -6.1dBm, power consumption is about 34mW.

Keywords Si CMOS process, LNA, S-band

第1章 绪论

1.1 课题背景

随着工作频率的日益提高,模拟电路和数字电路设计工程师正在不断开发和改进电路,用于无线通信的模拟电路工作在不同的射频频段,比如目前个人通信系统中用的低噪声放大器(LNA)工作在 1.9GHz, C 波段的卫星的上行频率和下行频率分别是 4GHz 和 6GHz,由于无线通信的快速发展,更紧凑的放大器、滤波器和混频器等电路正被设计出来,因此有必要专门研究解决在低频中没有遇到过的问题。

随着工艺技术的发展,特别是超大规模集成电路技术的发展,实现集成化的无线收发机已经有了可能^[1-2]。近年来,集成化的射频收发机产品已经出现,它们的射频部分大多采用 GaAs 材料或 SiGe、HBT 等工艺^[3-4],但是在基带处理部分,绝大多数的射频收发机都是用 Si CMOS 工艺实现的,射频部分和基带处理部分采用不同的工艺使得它们不能集成在同一块芯片上。为了实现单芯片的无线收发机,必须采用 Si CMOS 工艺来同时实现射频部分和基带处理部分。CMOS 技术的发展提高了 Si CMOS MOSFET 的特征频率,已经有可能用 CMOS 技术来实现各射频模块,这样提高集成度。而且更重要的是采用 Si CMOS 工艺,可以将射频前端和基带处理部分集成在同一块芯片上,从而实现单片集成的收发机。同时, GaAs 材料的电路在线宽上落后于 Si CMOS 工艺的电路,这样 Si CMOS 工艺就为复杂的模拟电路和大量的数字电路提供了单芯片的解决方案。

在接收机的第一级一般是一个 LNA,由于级联系统中前几级对噪声的影响是最大的, LNA 的噪声系数要尽量小,同时提供足够的增益,以减小后续各级对噪声的影响。一个 LNA 应当能放大接收到的小信号而又不失真,并且还必须和前级以及后级阻抗匹配。经典的噪声优化方法采用最优信号源阻抗来得到一个给定器件的最小噪声系数,这个方法的局限在于使噪声最小的信号源阻抗值一般不同于使功率增益达到最大的信号源阻抗值。因此有可能得到了好的噪声系数,增益却较低,功耗也过大。这种设计方法假定已经给了一个固定特性的器件, IC 设计者无法充分利用设计器件几何尺寸的自由度。功耗在许多应用中是一个重要的考虑因素,在集成度越来越高的

情况下,一般不再采用这种设计方法。

1.2 课题研究的目的和意义

射频前端的集成模块包括 LNA、下变频器、上变频器和本地振荡信号缓冲器等,在接收链路上,射频信号先由 LNA 进行放大,然后由滤波器滤波,或者直接和放大后的本地振荡信号进行混频,再由中频滤波器进行滤波,再把滤波后的信号送给中频和基带处理器进行处理。除了接收机引入的噪声,干扰信号的输入也会引入频率与有效信号频率不同的噪声信号,为了接收非常微弱的信号,接收机本身的噪声就成为一个需要解决的问题,LNA 是无线通信系统射频接收机前端的关键模块。它必须在给定的有限功耗条件下,提供足够的增益、优异的噪声性能、良好的线性度和恰当的输入输出匹配,以满足射频接收机的性能要求。

LNA 的地位是如此重要,其相关理论已经被人们研究数十年,到目前为止仍是研究的热点,LNA 广泛用于宇宙通讯、雷达、电子对抗、遥测遥控、大地测绘、微波通信以及各种高精度的微波测量系统中,完成对微弱信号的放大作用。Si CMOS LNA 是当前的热门研究领域,其电路结构的改善,片上电感的优化,Si CMOS 工艺的改进,模型的精确等都是可以深入研究的地方。

本课题来源于 973 “微型核”新机理新概念研究项目,其目的是采用 Si CMOS 工艺进行射频 IC(RFIC)设计,在 S 波段实现测控应答机的单片系统,为“微型核”应用创造必要的条件。本课题将重点研究低噪声放大器的 Si CMOS 实现方案,并针对工作频率为 2-2.4GHz 的 LNA 进行详细设计与研究。

1.3 国内外 LNA 的研究概况

随着无线通信市场的迅速增长,以及 Si CMOS 工艺的逐渐成熟,Si CMOS 工艺的射频芯片逐渐成为研究的热点。在 RF 频段上器件表现出和低频完全不同的特征。以前工程师采用查找表的方法,这个方法需要通过器件测量来形成数据库,用这种方法模拟 CMOS RF 电路,其工作量可能大得超乎想象,因此开发准确的模型势在必行。目前较通用的方法是在现有模型的基础上添加子电路。为了在仿真中更加准确的预测单片电路的性能,一部

分人专门研究各种工艺的器件模型^[5],使得 CMOS 工艺的器件建模不断完善。另一部分人借助目前的工艺,基于仿真和测试,研究工艺和电路结构对截止频率、噪声、线性度以及匹配的影响^{[6][7]}。这些研究推动了 RFIC 的发展,许多射频工程师研制了各种特点模块,并应用于通信系统中^{[8][9]}。

对一个 LNA 接收芯片的设计要求,就是使噪声系数越小越好,最好无限接近 0dB,但是对一个无线通信中的接收芯片来讲,低功耗是其硬性指标,所以在保持低功耗的情况下,实现低噪声系数,必须选择合理的电路结构,目前的电路形式使 Si CMOS LNA 的噪声系数达到了 2dB 的水平,与 GaAs LNA 相比,这样的水平虽然有一定的差距,但总的趋势是在逐渐接近,随着 Si CMOS 工艺的发展,沟道长度的进一步减小,截止频率继续提高,将出现相当接近于 GaAs LNA 噪声水平的 Si CMOS LNA。但是在集成度上, Si CMOS LNA 还有进一步提高的空间,目前的 Si CMOS LNA 一般都需要在片外有一个调谐电感,限制了 Si CMOS LNA 的完全单片集成,解决这个问题需要提出新的电路形式,以实现 Si CMOS LNA 的片内集成。

随着 Si CMOS 工艺最小线宽的持续减小,国内外 Si CMOS LNA 的性能不断提高,近年来出现了许多实验室芯片,其工作频率范围从 P 波段到 K 波段,电路的形式也发生了重大的变革。

在相对低一些的频段,1996 年,Andrew N.Karanicolas 利用电流复用技术^[10],采用 0.5 μm 的 Si CMOS 工艺,设计出工作在 900MHz 的 LNA,仿真表明噪声系数(NF)为 1.9dB,前向增益达到 15.6dB。为了减轻单级放大的压力,他设计了两级结构,第一级满足前向增益的要求,第二级作为单位增益缓冲,第一级的输出直接耦合到第二级,两级都由电流镜提供基准电流,实验表明该放大器能够满足移动通信系统的要求。

1998 年,Cheon Soo Kim 等人采用 0.8 μm 的 Si CMOS 工艺^[11],制作出工作在 1.9GHz 的完整的 LNA 电路,NF 达到了 2.8dB,是当时最优异的。电路采用了两级共源放大的形式,为了给第二级电路提供放大,偏置电路用了两个 10k Ω 的大电阻,该电路的结构是迄今为止最简单的。

2002 年,Paul Leroux 等人在提高 Si CMOS 工艺 LNA 的噪声性能上做了重要贡献^[12],他们用 0.25 μm 的 Si CMOS 工艺制作了工作频率是 1.23G 的 LNA,将 NF 减小到不到 1dB。并且将该方法应用到全球定位系统(GPS)中。这个电路在共源共栅结构的基础上作了两点改进,其一是在输入端用两个反向偏置的二极管消除静电干扰,其二是输出端用电容实现到 50 Ω 的阻抗匹配。它证明了用标准的 Si CMOS LNA,其性能完全可以和已

经投入商业运用的 GaAs LNA 相比。

在相对高一些的频率上, 2003 年 Choong-Yul Cha 和 Sang-Gug Lee 用 $0.35\ \mu\text{m}$ 的 Si CMOS 工艺, 实现了 5.2GHz 的 LNA^[13], 电路的两级结构分别是共源级和共源共栅级, 这个电路的特点是把源极的匹配电感都移到了片外, 仍然用两个电阻提供偏置。并且通过一个电阻使共源共栅级中的共栅极接地, 来提高第二级的高频特性。两级放大之间用电感耦合, 虽然引入了部分电阻, 整个 LNA 的 NF 得到明显改善, 这个结构在不牺牲稳定性和减少信号损失的情况下提供了高增益, 测量表明增益达到了 19.3dB。

由于 GaAs 材料禁带宽度大, 所以寄生效应小, 基于 GaAs 材料的 RFIC 有非常优异的噪声性能, 国内上世纪 90 年代对 LNA 的研究主要集中在对 GaAs LNA 的研究, 一些大学和研究所研制了工作在不同频率的 LNA。

石家庄半导体研究所研制成功工作在 1-6GHz 宽带 GaAs LNA^[14], 该电路用了 5 级级联, 增益高达 38dB。北京理工大学采用 S 参量的方法研制成功工作在 11GHz 以上的 BJT LNA^[15], 增益为 21dB, 噪声系数为 1.9dB。这个频段的 LNA 还可以用微带线制作, 被用在微波通信设备中。

南京电子器件研究所研制成功 L 波段的 LNA^[16], 它的性能指标和已经提到的相差无几, 并指出在 L 波段不能用增加串联电感的方法同时获得低噪声和改善输入驻波, 提出了在栅极和漏极之间增加电阻反馈, 在漏极增加并联电阻的方法。

上海大学利用 $0.35\ \mu\text{m}$ 的 Si CMOS 工艺, 对工作在 1.8GHz 的 LNA 进行了仿真^[17], 结果表明在功耗仅 10mw 时能达到 25dB 的增益, 2.56dB 的噪声系数, 仿真显示该 LNA 对漏极电感中的电阻很敏感, 最后采用了键合线电感模式部分消除这个影响。在此基础上, 不久他们利用 $0.25\ \mu\text{m}$ 的 Si CMOS 工艺, 对工作在 2.4GHz 的 LNA 进行了仿真^[18], 并且对单端和差分两种结构作了对比, 结果表明, 后者为了取得和前者几乎相同的性能, 要消耗双倍的功耗和芯片面积。但差分结构的对称性可以抑制共模信号的干扰, 同时可以抑制对衬底的耦合, 这是它的性能优于单端 LNA 之处。

在以往的收发机中, 射频前端一般采用 GaAs、Bipolar 或 BiCMOS 工艺, 其中技术相对成熟的是采用 GaAs 材料制作的射频前端。GaAs 材料与 Si 材料相比有着明显的优点, GaAs 材料的电子迁移率约高 5 倍, 衬底的半绝缘性, 以及可制作良好的肖特基结等, 所以 GaAs MESFET 长期以来在高频器件中占据着重要的地位。本世纪以来, 陆续有对 Si CMOS LNA 的研究报道, 一方面 CMOS LNA 的成本较低, 另一方面, Si CMOS 工艺的器件沟

道宽度不断减小,使得这种工艺更便于集成,这是它与 GaAs LNA 相比所具有的两个显著特点^[19],随着目前 CMOS 工艺的发展,它的单位增益截止频率已经接近 GaAs 的水平,同时出现了一些采用 CMOS 技术实现的射频前端的单元电路及收发机。这也使得采用 CMOS 技术实现移动通信产品的单片集成成为可能^[20]。目前基带和中频带电路已经完全可以用 Si CMOS 工艺集成, Si CMOS 工艺目前的不足体现在器件跨导小,噪声大及无源器件集成困难。目前的发展方向有两点^[21]:一是需要研究包含尽量少无源器件的体系结构,二是研究能够工作在射频前端的高性能单元电路和高品质因数的无源器件。从 IC 设计发展趋势来看, Si CMOS 工艺由于具有低成本和高集成度两个主要优势,将成为射频 IC 的主导技术。

1.4 主要研究内容

本文工作的主要内容是研究采用 $0.18\mu\text{m}$ Si CMOS 工艺在 S 波段的 LNA 的实现方案。本文根据 RFIC 前端的特殊要求及结构,介绍了 LNA 涉及到的几个基本概念,分析了噪声产生的原因,接下来分析了输入电路对噪声的影响,并在功耗限定条件下研究了取得最小噪声的条件,以 LNA 为研究对象,分析了 MOSFET 的 AC 小信号模型和分布栅电阻对噪声的影响,分析了电感的 AC 小信号模型和窄带等效电路。最后对 LNA 包括电路形式的选择、偏置的选取、电流镜设计及启动电路、输入输出匹配等各个模块进行了分析设计和仿真验证,并对结果进行分析和优化,特别引入了 Π 型输入匹配,讨论了采用该匹配电路对 LNA 片内集成的积极贡献,由于差分电路对寄生干扰有更好的抑制能力,最后设计了工作在 2-2.4GHz 的 Π 型输入匹配的差分 LNA。

本论文的结构安排如下:第 1 章 绪论;第 2 章 低噪声放大器的主要概念;第 3 章 输入电路形式选择;第 4 章 器件模型;第 5 章 模块分析与实现;结论。

第2章 低噪声放大器设计基础

2.1 LNA 的设计考虑

LNA 是射频接收机前端的主要部分。它主要有四个特点。首先它位于接收机的最前端，这就要求 LNA 的噪声越小越好。为了抑制后面各级噪声对系统的影响，还要求有一定的增益，但为了不使后面的混频器过载，产生非线性失真，它的增益又不宜过大。放大器在工作频段内应该是稳定的；其次，LNA 所接收到的信号是很微弱的，所以 LNA 必定是一个小信号放大器；第三，LNA 一般通过传输线直接和天线或天线滤波器相连，放大器的输入端必须和它们很好的匹配，以达到最大的功率传输或最小的噪声系数；第四，LNA 应具有一定的选频功能，抑制带外和镜像频率干扰，因此它一般是频带放大器。

2.2 LNA 的特性指标

LNA 处在接收通路的最前级，然而信号到达天线时常常是非常微弱不能直接解调的，还有可能混入了各种各样的噪声，为了能恢复原始信号，通常需要将接收到的信号放大，有时甚至需要放大几十万倍，放大是由在解调之前的各级共同完成的，LNA 必须在无失真的前提下，提供尽可能大的增益，但是 LNA 的下级是混频器，为了保证经过 LNA 放大后的信号在混频器可接受的范围内，这个增益是有上限的，一般在 10dB-20dB 之间。既然 LNA 是最前级，它的噪声不经过增益压缩，直接计入系统的噪声系数中，那么希望它本身的噪声尽可能小，甚至可以牺牲增益来改善噪声系数。系统带宽因为级联而减小，而为了获得高增益，却常常需要级联。在功耗限定的情况下，要同时兼顾这些指标，常常在几个指标之间折衷。下面先给出与 LNA 相关的几个定义。

2.2.1 噪声系数

噪声系数(NF)是衡量射频系统噪声性能的参量，噪声系数定义为系统输入信噪比与输出信噪比的比值^[22]

$$F = \frac{SNR_{input}}{SNR_{output}} \quad (2-1)$$

噪声系数常用分贝表示

$$F(\text{dB}) = 10 \log F \quad (2-2)$$

噪声系数表示信号通过放大器后，信噪比恶化的程度。

如果放大器是理想无噪声的线性网络，那么其输入端的信号与噪声得到同样的放大，即输出端的信噪比与输入端的信噪比相同，于是 $F=1$ 或 $F(\text{dB})=0\text{dB}$ 。若放大器本身有噪声，则输出噪声功率等于放大后的输入噪声功率和放大器本身的噪声功率之和，经放大器后，输出端的信噪比和输入端的信噪比要低，即 $F>1$ 。

在二端口网络噪声模型中，所有噪声源都可以看作是无噪放大器网络的输入，噪声系数可以表示为(2-3)式^[23]。

$$(NF)_{\text{dB}} = 10 \log \left[1 + \frac{V_n^2 + 2\rho V_n I_n R_s + I_n^2 R_s^2}{4kTR_s \Delta f} \right] \quad (2-3)$$

其中 V_n 和 I_n 分别是输入参考噪声电压和参考噪声电流， k 是玻尔兹曼常数， T 是绝对温度， R_s 是源阻抗， Δf 是测量噪声的带宽，单位是 Hz， ρ 则是 V_n^2 和 I_n^2 之间的相关系数。 V_n 和 I_n 分别是均方根噪声电压和电流。图 2-1 中表示了二端口网络噪声模型。

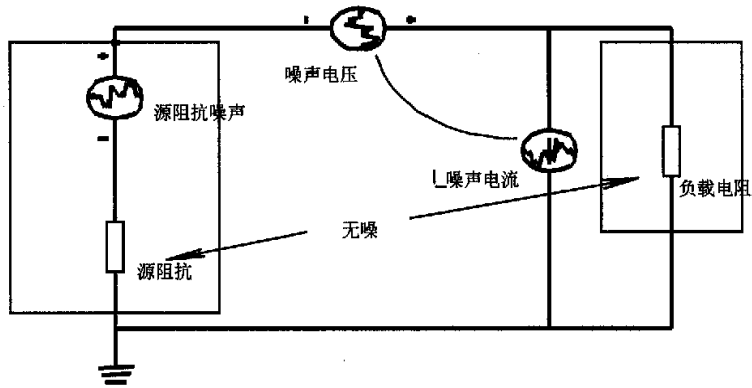


图 2-1 噪声的二端口网络模型

从(2-3)式可以看出，对于一个确定的源阻抗，当阻抗高时噪声大小主

要由 I_n^2 决定，阻抗低时噪声大小主要由 V_n^2 决定。如果源阻抗可以改变，那么最佳源阻抗是当上式取最小值时取得，假定 ρ 足够小^[24]，则有

$$R_{s,opt}^2 = \frac{V_n^2}{I_n^2} \quad (2-4)$$

由于功耗是一个重要约束，因此噪声优化必须把功耗考虑在内，本文第 3 章将在功耗约束的前提下继续讨论噪声优化问题。

当偏置发生变化时， V_n^2 和 I_n^2 也跟着变化，而匹配电路会影响到静态工作点，因此匹配电路对噪声有间接影响。

接收机是多级构成的，假设各级噪声以及增益如图 2-2 所示。

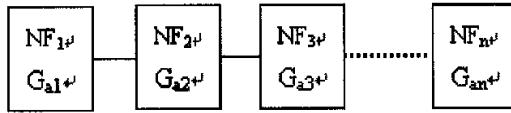


图 2-2 系统级联示意图

级联总的噪声系数可以用公式(2-5)计算^[25]。

$$NF_{tot} = NF_1 + \frac{NF_2 - 1}{G_{a2}} + \frac{NF_3 - 1}{G_{a1}G_{a2}} + \dots + \frac{NF_n - 1}{G_{a1}G_{a2}\dots G_{a(n-1)}} \quad (2-5)$$

其中 NF_i 是第 i 级的噪声系数， G_{a_i} 是对应的功率增益。由(2-5)式可以看出，在级联系统中，前几级对噪声的影响是最主要的。

LNA 处在接收系统的最前级，LNA 要有一定的增益以减小后级对整个系统噪声的影响，除此以外，LNA 本身所贡献的噪声 NF_1 将占主要部分，因此 LNA 的噪声系数要尽量低。完全理想的 LNA 噪声系数是 0dB，范围在 2~3dB 的噪声系数一般被认为很好，而在 1dB 左右及以下被认为非常好。

2.2.2 增益

增益是 LNA 的另一个重要指标，放大器的功率增益是输出功率 P_0 和输出功率 P_i 的比值，常采用 dB 来表示，如 (2-6) 式所示。

$$G_{dB} = 10 \log \frac{P_0}{P_i} \quad (2-6)$$

系统的功率增益是各级功率增益的乘积，如 (2-7) 式所示。

$$G_{tot} = G_1 G_2 \cdots G_n \quad (2-7)$$

在 LNA 中, 增益要适中, 由于下一级往往是混频器, 过大的增益使得输入过大而产生失真。但为了抑制后面各级的噪声对系统的影响, 其增益又不能太小, 现在一般的 LNA 增益都在 10dB-20dB 之间。

LNA 的增益与晶体管的跨导有关, 而跨导直接由工作点的电流决定。LNA 的增益还与负载有关。LNA 的负载一般有两种形式, 一是采用调谐的 LC 回路作负载, 并将下级混频器的输入电容并入 LNA 的输出寄生电容, 一并作为负载电容; 二是 LNA 后面接集中选频滤波器, 这些滤波器为了便于应用, 其输入输出阻抗都做成 50Ω 或一些特定的标准数值, 所以 LNA 的输出端也考虑阻抗匹配。

2.2.3 带宽

放大器的电压增益下降到最大值的 0.7 (即 $1/\sqrt{2}$) 时, 所对应的频率范围称为放大器的通频带, 用 $2\Delta f_{0.7}$ 表示, 也称为 3dB 带宽。在级联放大器中, 如果每一级的带宽相等, 那么整个放大器的带宽是每一级带宽乘以一个复杂的因子, 随着级联数目增加, 总的带宽将减小, 设每一级的带宽相等且都等于 B , 总的带宽与原来每一级带宽的关系如(2-8)式^[23]。

$$BW = B\sqrt{2^{1/n} - 1} \quad (2-8)$$

从(2-8)式可见, 放大器的总通频带, 随着级数的增加而逐渐趋近于 0。

2.2.4 线性度

除了噪声、增益和带宽以外, 线性度也是一个重要的考虑。对高频小信号放大器来说, 由于信号小, 可以认为它工作在晶体管的线性范围内。这就允许把晶体管看成线性元件。影响晶体管线性度的因素包括直流静态工作点, 过驱动电压以及沟道长度, 在电路形式上, 差分电路由于抑制偶次谐波, 比单端电路有更好的线性度, 另外和 50Ω 的源阻抗匹配也可以改善电路的线性度。

衡量线性度的方法有许多, 但最普遍采用的有两个, 即输出 1dB 压缩点和三阶交截点, 输出 1dB 压缩点和偏置电流以及电源电压有关, 交截点是一个外推值。可以证明二者之间是一致的, 并且满足(2-9)式的关系^[25]。

$$\frac{A_{1-dB}}{A_{IP_3}} = \frac{\sqrt{0.145}}{\sqrt{4/3}} \approx -9.6\text{dB} \quad (2-9)$$

从(2-9)式可以看出，三阶交截点和 1dB 压缩点都可以用来衡量电路的线性度，而且两种方式是等价的，知道了其中任何一个量，就可以估计另一个量的大致范围，图 2-3 表示了两者的关系。

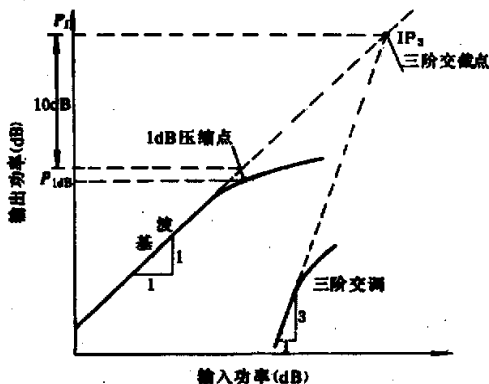


图 2-3 三阶交截点与 1dB 压缩点

2.2.5 输入输出匹配

为了传输最大的功率并且减小驻波，需要在天线和 LNA 之间增加匹配电路。由于做到宽带匹配是非常困难的，阻抗匹配使得从输入端和输出端看进去的阻抗都尽量接近特征阻抗，本文特征阻抗以 50Ω 计。设 LNA 的输入输出阻抗是 Z ，源或负载端的阻抗是 Z_0 ，反射系数 Γ 用(2-10)式计算^[26]。

$$\Gamma = \frac{Z - Z_0}{Z + Z_0} \quad (2-10)$$

用 dB 表示的回波损耗如 (2-11) 式

$$(RL)_{dB} = -20 \log |\Gamma| \quad (2-11)$$

完全匹配时满足(2-12)式

$$(RL)_{dB} = -\infty\text{dB} \quad (2-12)$$

2.2.6 功耗

对于一个 MOSFET，产生最小噪声系数的信号源电纳在特性上是电感性的，并且一般来说与使功耗传输最大的条件无关。噪声系数最小的电路设计可能会使功耗大得不可接受，然而功耗是重要的指标。第 3 章将在功耗约束下对噪声进行优化，在功耗有限的情况下，考察合适的 LNA 电路形式。

LNA 是小信号放大器，必须给它提供静态偏置。降低功耗的根本办法一是低电压设计，二是采用低偏置电流。在本文设计的 LNA 中，从两方面考虑，一是减小放大器信号通路上抽取的电流，二是减小偏置电路的功耗。但降低功耗的代价是噪声系数的增大，必须权衡考虑，以求在低功耗下达到比较好的噪声系数。

2.2.7 S 参数

在绝大多数涉及 RF 系统的技术资料和数据手册中，经常用到散射(S)参量。其重要原因在于，事实上实际 RF 系统的特性不能再采用终端开路、短路的测量方法，因为导线本身存在电感，而且其感抗值在高频下非常之大。由于不能忽略高频时寄生参数的影响，比如引线间电容和电感，以及导线中的寄生电阻，因此无法作到真正的开路或短路。利用 S 参量就可以避开不现实的终端条件以及避免造成待测器件损坏。S 参量是基于入射波与反射波之间关系的参数，对 S 参量的规定如图 2-4 所示。

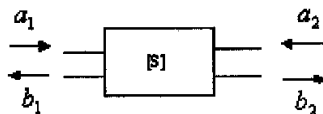


图2-4 二端口网络 S 参量的规定

对 S 参量的定义见式(2-13)^[26]。

$$\begin{Bmatrix} b_1 \\ b_2 \end{Bmatrix} = \begin{bmatrix} S_{11} & S_{12} \\ S_{21} & S_{22} \end{bmatrix} \begin{Bmatrix} a_1 \\ a_2 \end{Bmatrix} \quad (2-13)$$

其中各个符号的意义见 (2-14) 式到(2-17) 式。

$$S_{11} = \left. \frac{b_1}{a_1} \right|_{a_2=0} \quad (2-14)$$

$$S_{21} = \left. \frac{b_2}{a_1} \right|_{a_2=0} \quad (2-15)$$

S_{11} 表示输入反射系数, S_{21} 表示前向增益。

$$S_{22} = \left. \frac{b_2}{a_2} \right|_{a_1=0} \quad (2-16)$$

$$S_{12} = \left. \frac{b_1}{a_2} \right|_{a_1=0} \quad (2-17)$$

S_{22} 表示输出反射系数, S_{12} 表示输入输出隔离度。 $a_1=0$ 和 $a_2=0$ 表示 1 端口和 2 端口都没有反射。

另一个经常用到的参数是 Rollett 稳定因子, 其定义见 (2-18) 式^[27]。

$$K = \frac{1 + |\Delta|^2 - |S_{11}|^2 |S_{22}|^2}{2 |S_{21}| |S_{12}|} \quad (2-18)$$

其中

$$\Delta = S_{11}S_{22} - S_{12}S_{21} \quad (2-19)$$

$$\text{当} \begin{cases} K > 1 \\ \Delta < 1 \end{cases} \text{时} \quad (2-20)$$

放大器绝对稳定, 不和任何源或负载阻抗发生振荡。

2.3 短沟道器件基本定律

短沟道器件跟长沟道器件所表现的高频特性有很大差别。器件小到一定程度后, 即使电压不高的情况下, 短沟道器件也会表现出各种各样的强场效应。主要原因是载流子的速度最终不再随电场增强而增加, 从而产生速度饱和效应, 速度饱和效应将对晶体管的特性产生影响。

在短沟道器件中, 当载流子速度饱和时, 电流就饱和。漏极电流不再与沟道长度有关, 漏极电流与栅源电压之间的关系也变成线性增加, 在这种情况下, 漏电流满足的关系见(2-21)式^[28]。

$$I_D = \frac{\mu_n C_{ox}}{2} W (V_{gs} - V_t) E_{sat} \quad (2-21)$$

式中 E_{sat} 是沟道内场强, μ_n 是载流子迁移率, W 是沟道宽度, C_{ox} 是氧化层单位面积电容。

跨导可由(2-22)式求得

$$g_m = \frac{\partial I_D}{\partial V_{gs}} = \frac{\mu_n C_{ox}}{2} W E_{sat} \quad (2-22)$$

假设短沟道效应不显著影响电荷分布, 那么 C_{gs} 和长沟道时一样

$$C_{gs} \approx \frac{2}{3} W L C_{ox} \quad (2-23)$$

截止频率可由(2-24)式近似表示

$$\omega_T \approx \frac{g_m}{C_{gs}} \approx \frac{3}{4} \frac{\mu_n E_{sat}}{L} \quad (2-24)$$

其他效应还包括沟道长度调制、体效应以及温度效应。

2.4 MOSFET 中的噪声

噪声是由自然界中的随机运动引起的, 这些随机运动可以划分为好几种类型。但在通信系统中不外乎两种, 即由外界引起并传入到系统中, 或者系统自身产生的。而后者决定了接收系统的灵敏度。因此, 减小内部噪声是提高性能的有效方法, 在 MOSFET 中, 内部噪声的产生机理是非常复杂的, 在 S 波段主要考虑两类, 包括热噪声和闪烁噪声。

2.4.1 热噪声

(1) 漏极电流噪声

由于 FET 在本质上是压控电阻, 所以它们都显示了热噪声, 详细的理论研究表明, 漏极噪声电流 $\overline{i_{nd}^2}$ 可由式(2-25)表示^[22]。

$$\overline{i_{nd}^2} = 4kT\gamma g_{d0}\Delta f \quad (2-25)$$

g_{d0} 是漏源电压为零时的电导, γ 依赖于偏置, 并且随着沟道长度的减小而显著增大, 在深亚微米工艺中, 它的典型值至少为 2~3, 其原因是载流子被短沟道中的强电场所加热。

(2) 栅噪声

由于沟道电荷的热激励，产生了波动的沟道电势，通过电容的耦合，这个电势引起栅噪声电流 $\overline{i_{ng}^2}$ 见 (2-26) 式^[22]。

$$\overline{i_{ng}^2} = 4kT\delta g_g \Delta f \quad (2-26)$$

其中

$$g_g = \frac{\omega^2 C_{gs}^2}{5g_{d0}} \quad (2-27)$$

δ 在短沟道情况下的精确特性现在还不是很清楚，作为近似它是 γ 的两倍，至少为 4~6。栅噪声和漏极电流噪声的产生机理是相同的，因此它们正相关，相关系数由(2-28)式定义：

$$c = \frac{\overline{i_{ng} i_{nd}^*}}{\sqrt{\overline{i_{ng}^2} \overline{i_{nd}^2}}} \quad (2-28)$$

短沟道的精确值目前尚未解决，然而假设它与长沟道时相等并不会影响设计过程，长沟道的 c 值理论上是 $j0.395$ 。

2.4.2 散粒噪声

散粒噪声，又称散弹噪声，其基本原因是电子电荷的粒子性。在半导体中，参加导电的载流子的数目在其平均值附近有随机的起伏，这种由于载流子数目不规则变化而产生的噪声称为散粒噪声。MOSFET 中载流子在势垒区的运动时间 τ 非常短，通过势垒区产生的电流脉冲可以近似看作为一个矩形单脉冲，各个载流子形成的噪声互不相关。散粒噪声的电流均方值为^[22]

$$\overline{i_n^2} = 2qI_G \Delta f \quad (2-29)$$

其中， q 是电子电荷(约 1.6×10^{-19} C)， I_G 是载流子形成的平均电流， Δf 是噪声带宽。由(2-29)式可知，1kHz 的带宽上，0.05mA 的电流引起的散粒噪声电流均方值为 $4 \text{ pA}/\sqrt{\text{Hz}}$ ，和室温下(300k) $1 \text{ k}\Omega$ 电阻的热噪声大小相当。MOSFET 中 I_G 极小，约为 $10^{-7} \sim 10^{-8} \text{ A}$ ^[22]，由此可知散粒噪声不是 MOSFET 的主要噪声源。

2.5 本章小结

本章先介绍了 LNA 设计中需要考虑的性能指标，分析了影响这些指标的因素，从这些指标的定义出发，可以得到它们之间的相互关系，有利于指导具体的电路设计。然后介绍了 MOSFET 中的噪声机理，指出两个主要噪声源，即热噪声和散粒噪声。最后讨论了短沟道器件的电特性，这是设计 LNA 的理论基础。

第3章 电路形式选择

九十年代以来，许多人研究了频率在 900MHz-2GHz 之间的 LNA，也产生了一些典型的电路结构，这些结构在低噪声的前提下，都考虑了输入电路对信号源良好的阻抗匹配，在这个基础上，以下将分析和比较几种不同的输入匹配方式，并从中选择最合适的输入阻抗匹配电路。

3.1 输入阻抗匹配

LNA 输入端与信号源的匹配是很重要的。放大器与源的匹配有两种方式，一种是以获得噪声系数最小为目的的噪声匹配，另一种是以获得最大传输功率和最小反射损耗为目的的共轭匹配。对于 LNA 而言，如果只考虑噪声系数最小，实际上功耗可能大的不可接受，稍后将讨论这种匹配的不合适之处，现在绝大多数的 LNA 是在同时考虑共轭匹配和噪声匹配，并尽量使两种匹配接近，即在约定的低功耗下尽可能的优化噪声，此时噪声系数虽然不是最小的，但也非常接近最小噪声，并且这样的匹配提供了适中的增益，更具有实际意义。

晶体管的栅极与源极之间存在电容，其大小与晶体管尺寸有关，这样 MOSFET 的输入阻抗本质上是电容性的，栅源之间存在交叠电容，如图 3-1 所示。

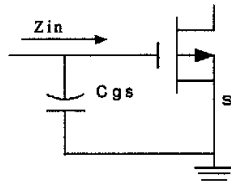


图 3-1 栅源电容示意图

最优信号源电纳在本质上是电感性的，因此达到宽带噪声匹配是很困难的，而可能获得的最小噪声系数，以及其对应最优信号源导纳的实数部分分别为 (3-1) 式和 (3-2) 式^[28]。

$$F_{\min} \approx 1 + \frac{2}{\sqrt{5}} \frac{\omega}{\omega_r} \sqrt{\gamma \delta (1 - |c|^2)} \quad (3-1)$$

$$G_{opt} = \alpha \omega C_{gs} \sqrt{\frac{\delta}{5\gamma} (1 - |c|^2)} \quad (3-2)$$

其中 G_{opt} 等于信号源的电导，从(3-1)式可以看出，可能获得的最小噪声系数将随着截止频率的提高而减小。取 $\gamma = 2$ ， $\delta = 4$ ，这些都是 Si CMOS 工艺的典型值，而 $c = 0.395$ 。对工作在中心频率为 2.2GHz 的 LNA 可能达到的最小噪声作理论估计，如图 3-2 所示。

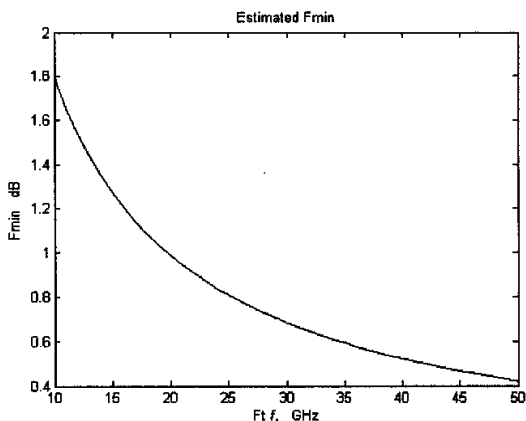


图 3-2 理论最小噪声系数与截止频率

由式(3-2)可知，如果要设计一个工作在 2.2GHz 的 LNA，需要的栅源交叠电容大致可以如(3-3)式计算。

$$\begin{aligned}
 C_{gs} &= \frac{G_{opt}}{\alpha \omega \sqrt{\frac{\delta}{5\gamma} (1 - |c|^2)}} \\
 &= \frac{1}{1 \times 2 \times 2.2 \times 3.14 \sqrt{\frac{4}{5 \times 2} (1 - 0.395^2)}} \quad (3-3) \\
 &\approx 2.4\text{pF}
 \end{aligned}$$

按照 SMIC 0.18 μm 的工艺，需要的沟道宽度大约是 1.5mm，这个宽度太大了，不可能做在片内，这么大的器件所要求的功耗也过大，这个工艺晶体管的截止频率在 25GHz 到 30GHz 之间，具体的大小还和过驱动电压以及

晶体管的具体尺寸有关，从图 3-2 看，可能达到的最小噪声系数大约是 0.7dB 到 0.8dB，即使噪声系数比这略大一些，也还可以接受，因此需要找到一种更易于实现的噪声优化方法。

3.2 四种典型的电路形式

由于噪声最小的设计方法使晶体管尺寸和功耗过大，必须采用新的噪声优化方法，在此之前，先讨论 LNA 通常采用的电路形式。GaAs LNA 有大约三种典型的输入电路形式，第一种称为共栅电路，第二种称为并联电阻电路，第三种称为电阻串并联负反馈电路。第四种是近年经常采用的源极电感负反馈电路，这种电路稍后再分析，四种电路形式如图 3-3 所示。

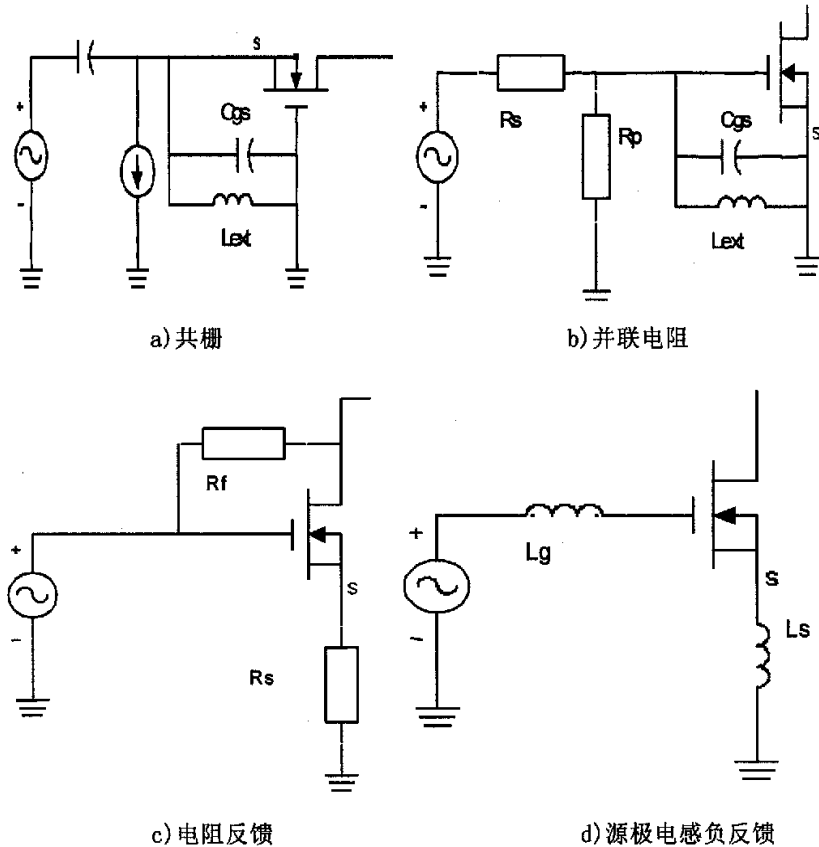


图 3-3 四种输入匹配电路

在共栅结构中，用一个电感将 MOSFET 中的栅源电容 C_{gs} 调谐出去。为了方便讨论，近似认为漏极负载远远小于 MOSFET 内阻，即

$$g_m r_{ds} \geq 10 \quad (3-4)$$

那么输入端的阻抗是 $1/g_m$ ，通过选择合适量值的并联电感，可以完全调谐 C_{gs} 。如果要达到 50Ω 的输入阻抗，只需要 $1/g_m = 50$ 即可。

由于跨导和晶体管尺寸以及电流大小等有关，在限定功耗时，如果同时约定电源电压，那么电流大小就确定了，对于特定的工艺，沟道长度是约定的，只要改变晶体管的沟道宽度，就有可能阻抗匹配。理论上，这种电路的最小噪声系数可按 (3-5) 式计算^[29]。

$$NF = 1 + \frac{4kT\gamma g_m}{4kT} \frac{1}{R_s} \quad (3-5)$$

其中 γ 是沟道热噪声系数，对于长沟道器件而言， γ 的值大于 $2/3$ 。短沟道器件的 γ 值更大，作为一个粗略的估计，取 $g_m = 0.02$ ， $R_s = 50$ ，这种结构最小理论噪声系数为 2.2dB。

这里用如图 3-4 所示的 MOSFET 模型作仿真验证，其中栅长 $0.18\mu\text{m}$ ，栅宽 $360\mu\text{m}$ ，这个尺寸的晶体管栅源交叠电容大约 0.6pF ，在 2.2GHz 时与之谐振的感抗值大约为 7nH 。这个模型包含了栅电阻，栅源交叠电容和栅漏交叠电容， R_{sub1} ， R_{sub2} ， R_{sub3} 模拟了寄生电阻， D_{jsb1} 和 D_{jsb2} 是变容二极管。

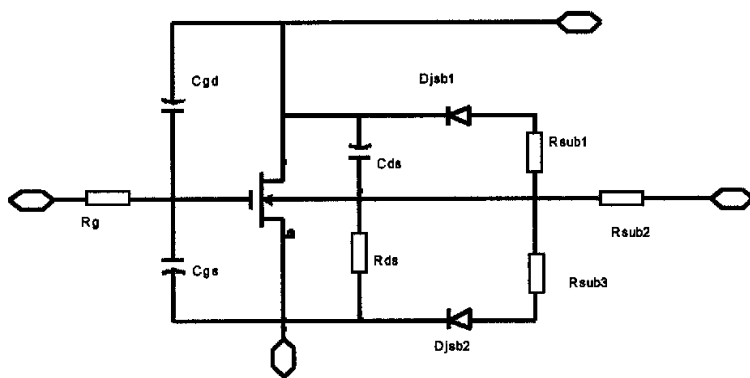


图 3-4 晶体管模型

并联电阻形式的输入匹配电路可以等效为并联 RLC 谐振回路，其 3dB

带宽(BW)可以表示为

$$BW = \omega_0 \frac{1}{R} \sqrt{\frac{L}{C}} \quad (3-6)$$

按照式(3-6)估算,中心频率是 2.2GHz 时 3dB 带宽约 5GHz,图 3-5 中输入反射系数在 1GHz 到 4GHz 之间变化只有大约 2dB。

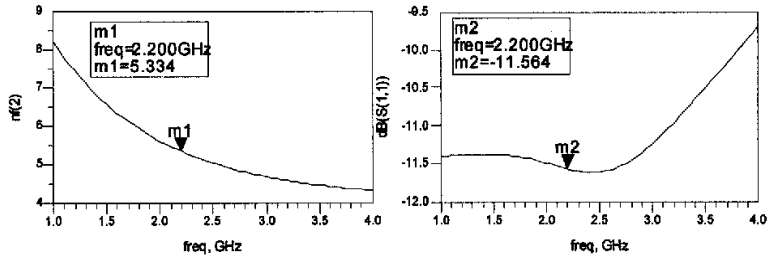


图 3-5 共栅结构仿真结果

第二种结构曾经被用于宽带电路,一个 50Ω 的电阻并联在输入端,输入阻抗的电容部分仍然采用电感调谐,这种电路形式的噪声系数可以按照式(3-7)估算^[25]

$$NF = 1 + \frac{R_s}{R_p} \quad (3-7)$$

由于 $R_p = R_s$, 因此噪声系数最小为 3dB,这种电路形式的噪声系数大,功耗也很高,在 LNA 的设计过程中,如果不要求大带宽,这种电路形式很少采用。对并联电阻结构的仿真结果如图 3-6 所示。

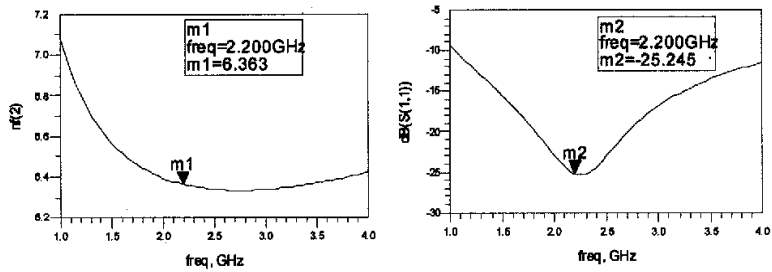


图 3-6 并联电阻仿真结果

第三种阻抗匹配用到了 Miller 原理,即假设跨接在二端口网络两端的元件的阻抗是 Z ,对于两端都有反馈作用,如果这个二端口的电压增益是

A_v ，那么可以变换为输入输出端的两个阻抗，并且满足式(3-8)^[25]

$$\begin{cases} Z_1 = Z(1 - A_v) \\ Z_2 = Z(1 - 1/A_v) \end{cases} \quad (3-8)$$

这种电路要做到阻抗匹配，要求合理选择源极电阻 R_s 以及反馈电阻 R_f ，当

$$\frac{R_f(1 - A_v) \times R_s}{R_f(1 - A_v) + R_s} = 50 \quad (3-9)$$

时输入阻抗匹配。串并联负反馈仿真结果如图 3-7 所示。

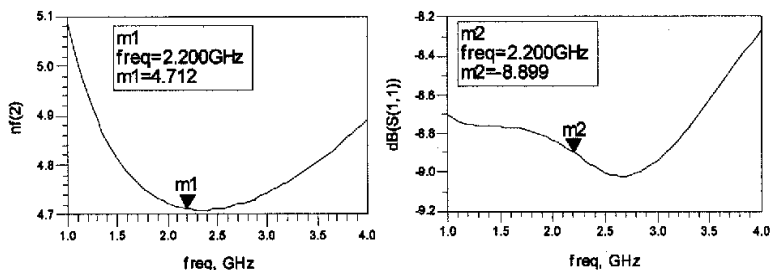


图 3-7 串并联负反馈仿真结果

对共栅电路形式和电阻负反馈的增益对比如图 3-8 所示，电路在 1.8V 电源电压下抽取了 8mA 电流，输出端假定 2pF 的负载电容并进行调谐，这两种结构常用于宽带匹配，从图中可以看出，电阻负反馈的增益低一些。

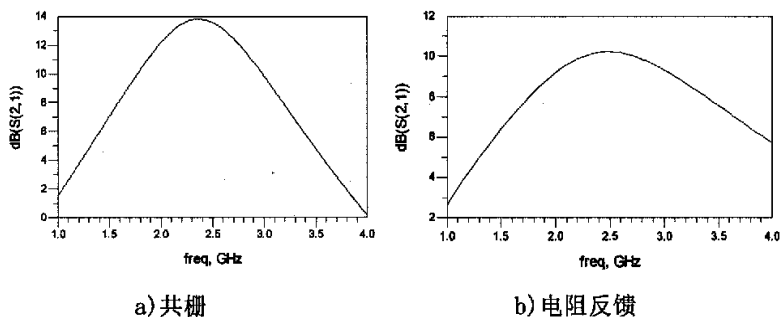


图 3-8 增益的比较

3.3 源极电感负反馈结构

目前最常见的输入电路形式是源极电感负反馈结构， C_{gs} 隐含地接在栅极与源极之间，其等效小信号电路如图 3-9 所示。

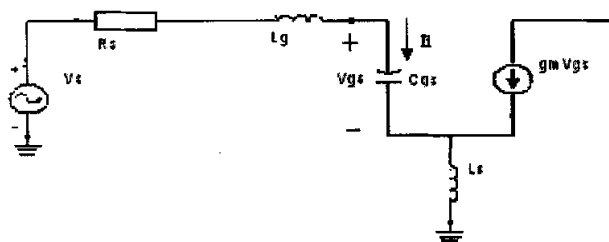


图 3-9 源极电感负反馈等效电路

在输入回路中

$$V_s = I_l R_s + j\omega L_g I_l + \frac{I_l}{j\omega C_{gs}} + j\omega L_s (I_l + g_m V_m) \quad (3-10)$$

考虑到电感的体电阻 R_l 和 R_g ，输入阻抗为

$$Z_m = j\omega(L_s + L_g) + \frac{1}{j\omega C_{gs}} + \frac{g_m}{C_{gs}} L_s + R_l + R_g \quad (3-11)$$

匹配时

$$\begin{cases} j\omega(L_s + L_g) + \frac{1}{j\omega C_{gs}} = 0 \\ \omega_r L_s + R_l + R_g = 50 \end{cases} \quad (3-12)$$

从这两个式子可以解出 L_g 和 L_s ，作为输入电路匹配的起点。

3.4 功率约束下的噪声优化

源极电感负反馈的噪声系数可以表示为(3-13)式^[30]

$$F = 1 + \frac{R_l}{R_s} + \frac{R_g}{R_s} + \gamma g_{d0} R_s \left(\frac{\omega_0}{\omega_r} \right)^2 \quad (3-13)$$

这个表达式说明了噪声系数

(1) dB 值不可能小于 0

- (2) 随着 R_t, R_g 的减小而减小
- (3) 随着截止频率的提高而单调减小

第一条推断的极限就是噪声系数的 dB 最小值是 0，任何一个实际的系统，要达到这样一个指标都是不可能的，这是因为在 (3-13) 式中基于晶体管呈纯容性这个假设，因此还需要进一步分析噪声的表达式。

栅噪声更精确的表达式如 (3-14) 式^[31]。

$$\overline{\frac{i_g^2}{\Delta f}} = 4kT\delta g_g (1-|c|^2) + 4kT\delta g_g |c|^2 \quad (3-14)$$

其中 k 为玻尔兹曼常数， T 为绝对温度， Δf 为计量噪声的频带宽度。前一项是栅极本身的噪声，后一项是漏极噪声电流通过电容耦合到栅极的相关噪声，加上漏极噪声，噪声源一共包括三部分：栅极，漏极以及栅漏极相关噪声，栅极噪声电流可由 (3-14) 式写成

$$\overline{i_g^2} = 4kT\delta g_g \Delta f \quad (3-15)$$

$$g_g = \frac{\omega^2 C_{gs}^2}{5g_{d0}} \quad (3-16)$$

把与栅极有关的噪声放在一起，用两个噪声电流源表示的新的小信号等效电路如图 3-10 所示。

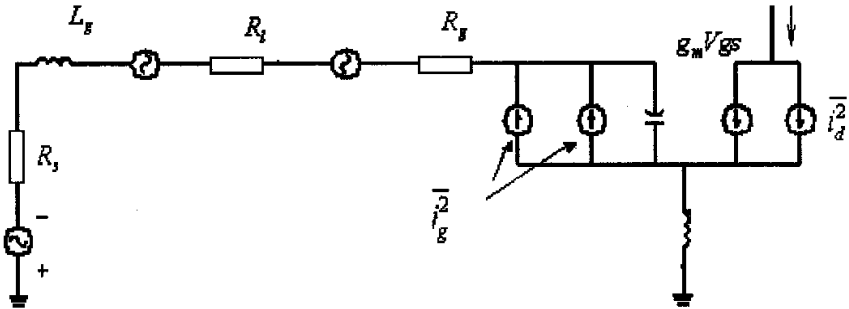


图 3-10 MOSFET 小信号模型

漏极噪声电流和栅漏相关噪声电流分别为^[28]

$$\overline{i_d^2} = 4kT\gamma g_{d0} \Delta f \quad (3-17)$$

$$\overline{i_c^2} = 4kT\Delta g_g \Delta f |c|^2 \quad (3-18)$$

取 $T=290k$, $\gamma=2$, $g_{d0}=0.05$, $g_g=0.05$, $\delta=4$, 当计入噪声的带宽从 1kHz 到 1GHz 变化时, 对三种不同的噪声电流的大小作粗略估计如图 3-11 所示。

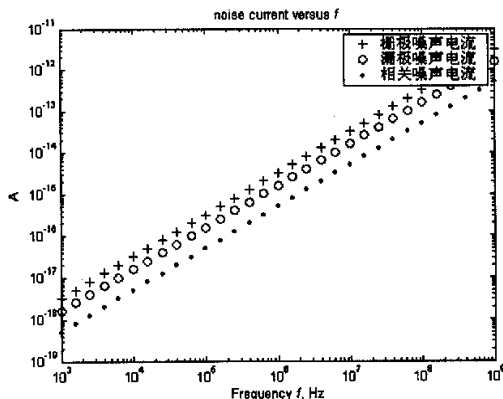


图 3-11 噪声电流的构成

在第 2 章中提到过, 在考虑噪声系数的时候也会把功耗明确的考虑进来, 由于考虑了有限的功耗, 因此得出的噪声优化方法会与只考虑噪声最小的最优源电纳有所不同, 使噪声最小的对应的源电纳是感性的, 在考虑进功耗以后, 得出一个便于设计的噪声优化方法, 然后把最优源电纳成感性也考虑进来, 对功率约束的噪声优化方法作相应的调整。具体的, 对于用栅极电感匹配的源极负反馈电路形式, 采用比(3-12)式计算得到的略大一些的栅极电感。

用图 3-11 的等效电路, 噪声系数可表示成(3-19)式^[17]

$$F = 1 + \frac{R_g}{R_s} + \frac{R_L}{R_s} + \gamma \chi g_{d0} R_s \left(\frac{\omega_0}{\omega_T} \right)^2 \quad (3-19)$$

其中

$$\chi = 1 + 2|c|Q_L \sqrt{\frac{\delta\alpha^2}{5\gamma}} + \frac{\delta\alpha^2}{5\gamma}(1+Q_L^2) \quad (3-20)$$

变量 Q_L 满足

$$Q_L = \frac{\omega_0(L_s + L_g)}{R_s} = \frac{1}{\omega_0 R_s C_{gs}} \quad (3-21)$$

$$g_{d0} = \frac{\omega_T}{\alpha \omega_0 R_s Q_L} \quad (3-22)$$

由(3-21)式可以看出, Q_L 被表示成了栅源电容的函数, 即 Q_L 随着晶体管尺寸的改变而改变。

噪声系数可以重新表示为^[17]

$$F = 1 + \frac{R_g}{R_s} + \frac{R_L}{R_s} + \frac{\gamma}{\alpha} \frac{\chi}{Q_L} \frac{\omega_0}{\omega_T} \quad (3-23)$$

因为 ω_T 也与 Q_L 有关, 那么噪声系数可以表示成关于 Q_L 的复杂函数

$$F = f\left(Q_L, \frac{1}{Q_L}, \sqrt{Q^2 + kQ_L}\right) \quad (3-24)$$

其中 k 是由功耗大小决定的常数, 当功耗 P_D 以 mW 计时

$$k \approx \frac{780}{P_D} \quad (3-25)$$

噪声系数随着 Q_L 的变化一定存在一个谷点, 则噪声与晶体管尺寸之间存在一个最优值, 改变晶体管的尺寸, 噪声系数发生变化, 而且一定存在一个最小值, 而 Q_L 的值的变化又与功率有关^[28]

$$Q_L = \frac{P_0}{P_D} \frac{\rho^2}{1 + \rho} \quad (3-26)$$

其中

$$P_0 = \frac{3}{2} \frac{V_{dd} v_{sat} \epsilon_{sat}}{\omega_0 R_s} \quad (3-27)$$

$$\rho = \frac{V_{od}}{L \epsilon_{sat}} \quad (3-28)$$

截止频率还可以表示成为关于 ρ 的函数^[17]

$$\omega_T \approx \frac{3\alpha\rho v_{sat}}{L} \quad (3-29)$$

其中 V_{od} 是过驱动电压, 表示加在栅源极之间并且超过阈值电压的那部分。 L 是沟道长度, v_{sat} 为电子漂移速度, ϵ_{sat} 为电场强度。

由(3-26)式及(3-27)式可以得到

$$Q_L = \frac{3V_{dd}v_{sat}\epsilon_{sat}}{2\omega_0R_sP_D} \frac{\rho^2}{1+\rho} \quad (3-30)$$

由(3-28)式和(3-30)式可以看出，如果改变过驱动电压的大小，则 ρ 随之改变，在功率约束下，对于一个特定的功耗， ρ 与 Q_L 是一一对应的关系，只要存在一个最优过驱动电压，那么就对应一个最优 Q_L 。反过来，从这个最优 Q_L ，又可以由(3-21)式解出最优的晶体管栅源交叠电容大小，如果给定了晶体管的沟道长度，那么沟道宽度就可以用(3-31)式确定。

$$W_{opt} = \frac{3}{2} \frac{1}{\omega LC_{ov}RQ_L} \quad (3-31)$$

取 $\omega_0 = 2.2 \text{ GHz}$ ， $R_s = 50 \Omega$ ，并且假定 $\gamma = 2$ ， $\delta = 4$ ， $\alpha = 1$ ， $V_{dd} = 1.8 \text{ V}$ ， $L = 0.18 \mu\text{m}$ ， $v_{sat} = 1e5 \text{ m/s}$ ， $\epsilon_{sat} = 5e6 \text{ v/m}$ 。忽略源极和栅极电感的体电阻。对四个不同功耗的噪声系数的估计如图 3-12 所示。

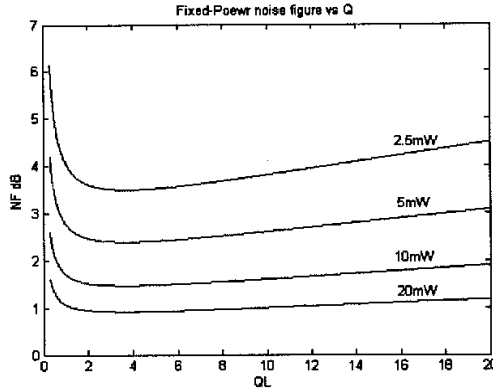


图 3-12 功率和噪声系数的关系

这组曲线的谷点在略小于 4 时取得，而且在小于 4 时曲线比大于 4 时明显陡峭，考虑到设计裕度，保证在工艺偏差的情形下仍然可以得到不错的噪声系数，一般取 $Q_L = 4$ 。

从图 3-12 中还可以看出，功耗提高到一定程度后，噪声系数的改善变小，最终以晶体管能达到的 F_{min} 为上限。也就是说，只要允许的功耗已经接近最优噪声系数，再继续增大功耗得到的噪声系数的减小并不明显。

Q_L 的这个特定值对应一个特定的器件交叠电容，其大小是由器件大小决定的，即这个 Q_L 值对应一个特定的器件尺寸。当沟道长度是 $0.18 \mu\text{m}$ ，工作频率是 2.2 GHz 时，可以计算出器件宽度。

$$W_{opt} = \frac{3}{8} \frac{1}{\omega LC_{ox} R_s} \quad (3-32)$$

$$= \frac{3}{8 \times 2 \times 3.14 \times 2.2 \times 10^9 \times 0.18 \times 10^{-6} \times 9.27 \times 10^{-3} \times 50} \approx 326 \mu m$$

这样对应最小噪声的器件尺寸就基本确定下来，最后的取值还需要依靠仿真确定。

噪声系数对宽度的改变并不是很灵敏，宽度增加或减少 20%通常使噪声系数只改变 0.1dB 左右，仿真设计的过程中，在有 20%的灵活度的同时，仍然可以得到相对比较好的噪声系数，本文取 Q_L 略大于 4 对应的尺寸，对应的栅宽为 360 μm 。

3.5 叉指结构优化噪声

为减小接入电阻，对于沟道宽度大的晶体管常采用折叠的形式，把栅极做成 n 个指状晶体管并联。每一个指的宽度保证晶体管的栅电阻小于跨导的倒数，在低噪声电路中，栅电阻必须只有跨导倒数的 10%到 20%，栅电阻与叉指的个数的关系服从经验公式(3-33)^[32]。

$$R_g = \frac{R_{sqn} W}{12n^2 L} \quad (3-33)$$

其中 W 是晶体管的栅宽， L 是沟道长度， R_{sqn} 是单位面积电阻。把一个晶体管分成多个并联指状晶体管，在减小栅电阻的同时，源漏区的周边电容变大了，这样与减小栅极电阻发生矛盾。需要在两者之间进行折衷，选择合适的指状晶体管的宽度。对于栅宽是 360 μm 的晶体管，叉指指数与噪声系数的关系如图 3-13 所示。

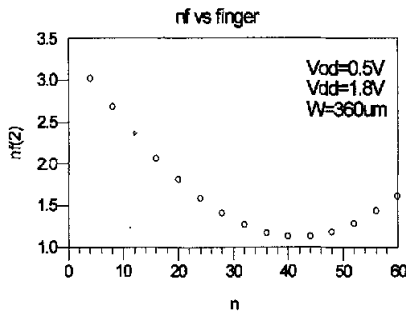


图 3-13 叉指数目对噪声的影响

其中采用的模型是 SMIC 0.18 μm 的模型，其中过驱动电压是 0.5V，电源电压是 1.8V。从图中可以看出，叉指指数在 40 左右时噪声系数最小，当每指的宽度取大约 10 μm 时，仍然可能得到相对很好的噪声系数。在后面的各种拓扑结构仿真中，就都取叉指宽度是 10 μm 。

3.6 本章小结

本章分析了取得最小噪声系数的条件，估算了只考虑噪声最小所需的晶体管尺寸。这个尺寸过大，并且功耗也大的不可接受，因此考察了四种典型的 LNA 输入匹配电路，而且进行了比较，采用了源极电感负反馈的电路形式，以此为基础推导了功耗约束的噪声优化方法，得到了这种条件下对应晶体管的栅源交叠电容，如果给定栅长，栅宽可以求得，栅电阻对噪声的影响显著，为了减小栅电阻对噪声的贡献，在栅极采用叉指结构，仿真验证了叉指结构对减小噪声系数的积极影响。

第4章 器件模型

射频电路中有许多无源器件，这些器件的特性随着频率和工艺的不同而呈现显著差异。比如说，片上螺旋电感的感抗值随频率以及具体的形状而变化，这样影响了片上电感的Q值 (SMIC 0.18 μm 在10左右)，对于片内设计来说，还关心电感的大小是否易于片内集成，在本章有一个估算，指出了适合片内集成的电感大小。本章讨论了 MOSFET 的分布式沟道电阻对噪声的影响，IC 电阻、电容以及电感的射频等效模型，以及 MOSFET 的小信号模型和等效简化模型。

4.1 电阻的简化模型

在标准的 CMOS 工艺中选择好的电阻的余地不大，一种可能是采用多晶硅互连材料，因为它的电阻率比金属的更大。然而现在大多数多晶都采用专门的金属硅化工艺来降低阻值，电阻率大约在 5~10 Ω ，它的温度系数定义为

$$TC = \frac{1}{R} \frac{\partial R}{\partial T} \quad (4-1)$$

用漏源扩散区做成的电阻也是一种选择，它的电阻率和温度系数通常类似于硅化多晶硅，扩散由注入离子的浓度确定，这种电阻的温度系数中等。一个典型的薄膜片状电阻的简化模型如图 4-1 所示。

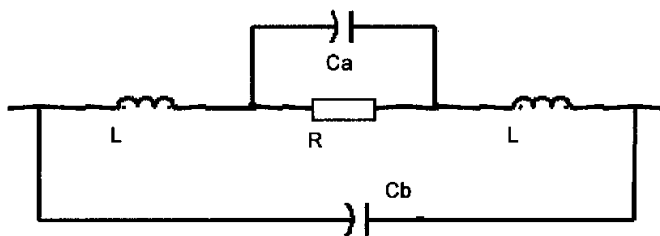


图 4-1 电阻的简化模型

电阻两端的引线产生了电感效应，用 L_1 和 L_2 来模拟， C_a 模拟了电荷分离效应，引线间还产生了电容，用 C_b 来模拟。这样的电阻在频率升高的过

程中，先表现出电容串联电阻的特性，然后是电感串联电阻的特性。

4.2 电感的简化模型

从 RF 电路的观点来看，不能制造质量好的电感是至今标准 IC 工艺最明显的缺陷。有源电路可以得到等效电感，但是它们的噪声及功耗较高。现在惟一广泛使用的片上电感是平面螺旋电感，虽然圆形螺旋电感理论上能提供更高一些品质因数的电感，但是许多版图工具和实际工艺技术并不支持。图 4-2 显示了一个方形螺旋电感的例子。

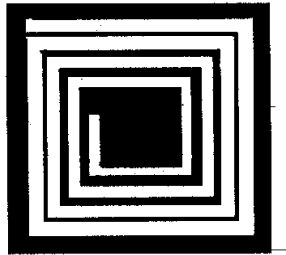


图 4-2 方形螺旋电感

这样一个螺旋电感的量值于它具体的集合形态有着复杂的函数关系，精确的计算需要依靠一些场分析软件的帮助，比较常用的场分析软件有 Berkeley 推出的 ASITIC。有一个简化公式可以推算一个方形螺旋电感的感抗值。

$$L \approx \mu_0 n^2 r \quad (4-2)$$

其中 r 是螺旋的半径，单位为 m， L 的单位是 H， n 是匝数， μ_0 是真空中的磁导率，为 $4\pi \times 10^{-7}$ H/m。

一个典型的低噪声放大器的芯片面积不超过 $1\text{mm} \times 1\text{mm}$ ^[33-35]，而单端 LNA 一般采用了包括栅极、源极和漏极至少三个电感，差分的 LNA 由于对寄生效应有更好的抑制作用，也经常被采用，其中使用的电感个数是 6 个以上，按照这些情况估计，一个做在片内的方形螺旋电感，其直径一般不大于 $200\mu\text{m}$ ，则半径不大于 $100\mu\text{m}$ ，具体对于 SMIC $0.18\mu\text{m}$ 工艺而言，线条宽度是 $10\mu\text{m}$ ，之间的间隙是 $2\mu\text{m}$ 。而为了防止涡流电流产生的效应，最里层通常去掉一圈或几圈，对于 SMIC $0.18\mu\text{m}$ 工艺，中间留出 $30\mu\text{m}$ 半径的空

间。按照公式(4-3)，比较适合在片内做出的圈数不到 6 圈，按照 6 圈计算，合适的电感大约为

$$\begin{aligned}
 L &= 4\pi \times 10^{-7} n^2 r \\
 &\approx 1.2 \times 10^{-6} \times 6 \times 6 \times 10^{-4} \\
 &= 4.32 \text{ nH}
 \end{aligned}
 \tag{4-3}$$

即 4nH 左右的电感做在片内是比较合适的。
比较完整的片上螺旋电感分布参数的模型如图 4-3 所示。

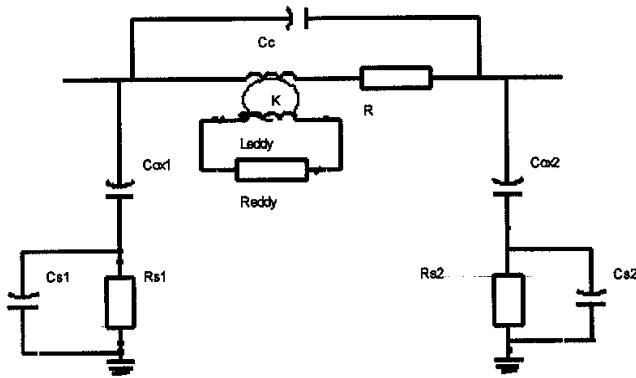


图 4-3 电感分布参数模型

R 表示串联损耗， C_{ox1} ， C_{ox2} 代表氧化层电容 C_{s1} ， C_{s2} 是衬底电容， R_{s1} ， R_{s2} 是衬底电阻， C_c 是跨绕线电容。 L_{eddy} ， R_{eddy} 分别模拟边缘效应和损耗差分接入时，在窄带条件下小信号模型可以进一步简化为图 4-4。

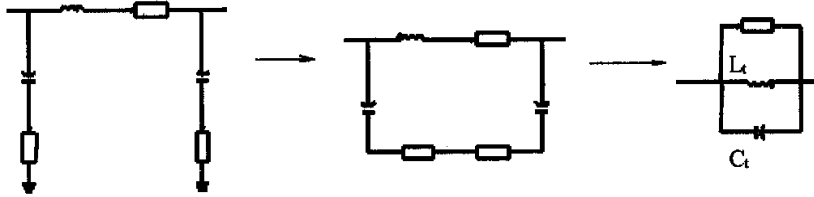


图 4-4 电感窄带简化模型

电容与电感谐振，谐振频率为

$$f = 1/2\pi \sqrt{L_t C_t}
 \tag{4-4}$$

这个频率被称为电感的自激振荡频率。考虑电感和电路其他部分的连接产生寄生电容 C_{load} ，此时的等效电路就好像把这个电容吸收了进来一样，这时候的谐振频率为：

$$f = 1/2\pi\sqrt{L_i(C_i + C_{load})} \quad (4-5)$$

图 4-5 对一个 4nH 的电感进行了分析，从图中可以看出，电感自谐振的频率在大约 28GHz，已经是 10 倍于 S 波段，在 S 波段，先用简化模型进行估计，最终的大小由仿真确定。

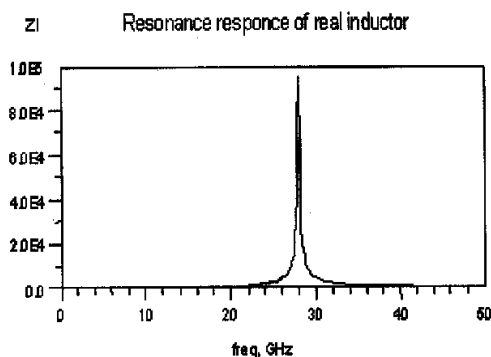


图 4-5 电感的频率响应

4.3 MOSFET 模型

MOSFET 的小信号模型模拟了各种二级效应和寄生效应，电路显得非常复杂，但对 LNA 设计有重大影响的是沟道电阻，以下先从 MOSFET 的集中参数模型出发，接着讨论分布式沟道电阻对噪声的影响。

4.3.1 MOSFET 的集中参数模型

每个 MOSFET 实际上是四端口器件，其小信号图如图 4-6 所示。

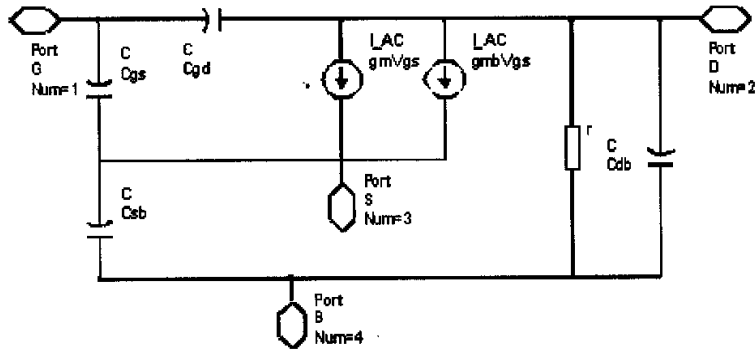


图 4-6 MOSFET 小信号模型

源和衬有时候是连在一起的，有时候不是连在一起的，如果衬底的电位相对于源端不是零，就要考虑背栅效应对阈值电压的影响，设背栅跨导是 g_{mb} 。沟道长度调制效应可以用一个压控电流源 $g_{mb}V_{gs}$ 来模拟，加上体电阻 r_o ，设主跨导为 g_m 。

这个模型对于多数的低频小信号分析来说是足够的。实际上 MOSFET 的每个端子都有一个由材料和接触孔的电阻率所决定的一定的欧姆电阻，更重要的是，栅电阻分布于整个沟道，是最主要的电阻部分，这部分电阻对噪声产生重要影响。

电阻在栅极的分布如图 4-7^[32]。

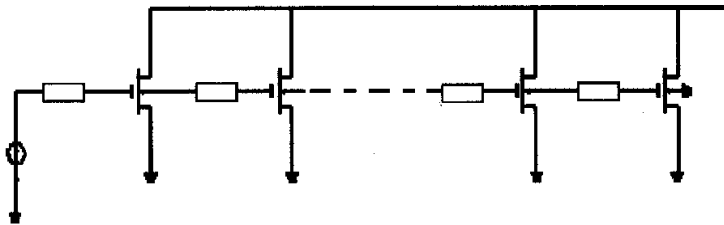


图 4-7 栅电阻微观模型

这里晶体管被分割成 n 部分，每一部分的宽度是 W/n ，跨导是 g_m/n ，电阻是 R_g/n ，当 $n \rightarrow \infty$ 时，这个图就完全与实际情况相符，考虑相位的变化，电压求的是矢量和，小信号输出电流见(4-6)式。

$$I_{out} = \frac{g_m}{n} \sum_{i=1}^n V_i \quad (4-6)$$

图 4-7 的输入网络可以简化为图 4-8。

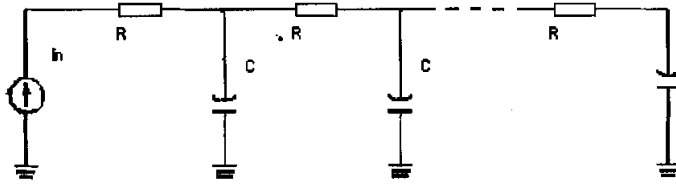


图 4-8 微观模型的等效模型

图中单位面积电阻 $R = R_g/n$ ，单位面积 $C = C_{gs}/n$ ，而单位面积的电阻和电容是因工艺而决定，因此 R 和 C 都是常数，把相位的变化考虑在内

$$I_{in} = j\omega C \sum_{i=1}^n V_i \quad (4-7)$$

由以上两式可得

$$\frac{I_{out}}{I_{in}} = \frac{g_m}{nj\omega C} = \frac{g_m}{j\omega C_{gs}} \quad (4-8)$$

从这个式子与 R_g 无关，即短路电流增益独立于栅极电阻 R_g 。也就是说，用集中参数的模型代替分布式模型，单从截止频率来说是完全等价的。

4.3.2 分布式栅电阻的集中参数等效

栅电阻的热噪声相当于直接贡献的输入参考热噪声。对于一致分布的 MOSFET，一定有这样一个等效电路，栅极产生的热噪声，可以由串联在栅极的集中参数的电阻代替。

考虑 MOSFET 的分布参数模型，在其中每一个电阻都模拟一个串联的电压源。漏极噪声电流由两部分组成，分别是栅电阻噪声电流和沟道电阻噪声电流。为了便于计算漏极电流，假设仅仅由栅电阻产生，栅极电阻占主要部分，所以这个近似可以接受。然后把这个电阻等效为输入端的电压源。

首先，M1 栅电阻产生的漏极电流为：

$$i = g_{m1} v_1 \quad (4-9)$$

v_1 是第一部分分割出来的电阻的噪声电压，对于分割出来的 M_j 晶体管

$$i_j = g_{mj} \sum_{j=1}^n v_j \quad (4-10)$$

漏电流之和为

$$i_{tot} = \sum_{i=1}^n i_i = g_{m1}v_1 + g_{m2}(v_1 + v_2) + \dots + g_{mn}(v_1 + v_2 + \dots + v_n) \quad (4-11)$$

由开始的假设有

$$g_{m1} = g_{m2} = \dots = g_{mn} = g_m / n \quad (4-12)$$

$$i_{tot} = \frac{g_m}{n} [nv_1 + (n-1)v_2 + \dots + v_n] \quad (4-13)$$

假设 v_1, v_2, \dots, v_n 是相互独立的, 那么均方根噪声电流就可以表示为

$$\overline{i_{tot}^2} = \frac{g_m^2}{n^2} [n^2\overline{v_1^2} + (n-1)^2\overline{v_2^2} + \dots + \overline{v_n^2}] \quad (4-14)$$

分割后的电阻是相等的, 那么

$$R_1 = R_2 = \dots = R_g / n \quad (4-15)$$

进一步

$$\overline{v_1^2} = \overline{v_2^2} = \dots = \overline{v_n^2} = 4kTB R_g / n \quad (4-16)$$

$$\begin{aligned} \overline{i_{tot}^2} &= \frac{g_m^2}{n^2} \frac{4kTB R_g}{n} [n^2 + (n-1)^2 + \dots + 1] \\ &= g_m^2 (4kTB) R_g \frac{n(n+1)(2n+1)}{6n^3} \end{aligned} \quad (4-17)$$

当 $n \rightarrow \infty$ 时

$$\overline{i_{tot}^2} = g_m^2 \left(4kTB \frac{R_g}{3} \right) \quad (4-18)$$

折算成输入电压

$$\overline{v_{tot}^2} = \frac{\overline{i_{tot}^2}}{g_m^2} = 4kTB \frac{R_g}{3} \quad (4-19)$$

这个表达式说明, 就噪声计算而言, 分布栅极电阻用一个与栅极串联的大小为三分之一的电阻来代替是等价的。

4.4 本章小结

本章首先估算了适合片内集成的电感大小。集中参数器件工作在 RF 频

段时，不能再忽略寄生参数的影响，在这样的情况下，重点分析了电感的等效简化电路，证明了电感可以等效为并联 RLC 网络，然后讨论了 MOSFET 的简化等效电路，证明了一致分布的分布式栅电阻可以用集中参数的电阻等效，这个结论有利于 LNA 的仿真实现。

第5章 模块分析与实现

5.1 设计指标

表 5-1 总结了自 1991 年到 2004 年之间 20 个报道的 LNA 的实测结果，结构一栏中的 1 表示该放大器采用的是电阻串并联负反馈，2 表示源极电感负反馈，3 表示电流复用，N/A 表示未给出该项数据。

表 5-1 LNA 的实测结果

作者	噪声 (dB)	增益 (dB)	IP3 (dBm)	功耗 (mW)	f_0 (GHz)	结构	工艺 (μm)	年份
Sheng ^[36]	5.7	7.8	23.9	115	1.0	1	GaAs	91
Benton ^[37]	2.7	28	N/A	208	1.6	1	1GaAs	92
Cioffi ^[38]	2.2	17.4	N/A	10	1.6	2	1GaAs	92
Heaney ^[39]	1.5	14.5	11.2	12	1.9	2	1GaAs	93
Imai ^[40]	2.5	11.5	9	14	1.6	2	0.3GaAs	94
Karanicolas ^[41]	2.2	15.6	12.4	20	0.9	2	0.5CMOS	96
Sheng ^[42]	7.5	11.0	N/A	36	0.9	1	1CMOS	96
Sheaffer ^[43]	3.5	22	-9.3	7.5	1.5	2	0.5CMOS	97
Cheon ^[44]	2.8	15	N/A	54	1.9	2	0.8CMOS	98
A.Passinen ^[45]	3.4	17	9	48	1.8	2	0.5CMOS	98
G.Gramegna ^[46]	1.65	N/A	1	N/A	0.9	2	0.35CMOS	00
F.Svelto ^[47]	5.5	24	-10	N/A	0.3	2	0.35CMOS	00
Francesco ^[48]	2	17.5	-6	21.6	0.94	2	0.35CMOS	01
J.C.Huang ^[49]	3	19.8	4.5	22.4	2.4	2	0.35CMOS	01
Paul Leroux ^[50]	0.8	20	-11	9	1.23	2	0.25CMOS	02
Vladimir ^[51]	1.72	18.6	-5.6	60.3	5.15	2	0.18CMOS	02
Choong ^[52]	2.45	19.3	-6.1	26.4	5.2	3	0.35CMOS	03
Seyed ^[53]	1.4	16.6	0.6	16.2	5.25	2	0.18CMOS	03
Chikuang Yu ^[54]	2.24	18.9	-9	5.4	2.2	2	0.18CMOS	04
Paul Leroux ^[55]	3.5	20	-9	15	5	2	0.18CMOS	04

通过参照这些结果，并且采用的是 SMIC 0.18 μm 工艺，工作频段是 S 波段，中心频率为 2.2GHz，带宽为 400M 的前置 LNA，本文提出了如下的设计目标：

- (1) NF 大约 3dB
- (2) Gain 大于 10dB

- (3) IIP3 大于 -10dBm
- (4) PD 小于 40mW
- (5) 电路形式采用源极电感负反馈

5.2 级联与电流复用

用一级 CMOS 晶体管所组成的电路增益不够 10dB，根据级联的规律，如果有两个相同类型的晶体管，比如说 5dB 的增益，2dB 的噪声系数，那么在级间完全匹配的情况下，能够达到的增益可以这样计算

$$\begin{aligned}
 NF_1 = NF_2 = 2\text{dB} &= 10^{\frac{2}{10}} = 1.58 \\
 A_{v1} = A_{v2} = 5\text{dB} &= 3.16 \\
 G_{tot} &= 5 + 5 = 10\text{dB} \\
 NF &= NF_1 + (NF_2 - 1) / A_{v2}^2 = 1.58 + 0.58 / 10 \approx 1.64
 \end{aligned}
 \tag{5-1}$$

从(5-1)式可以看出，级联可以显著提高增益，但对噪声系数的影响来说，前几级是最主要的。

电流复用技术可以在功耗减半的情况下，基本保持噪声和增益。1996年，Andrew N. Karanicolas 用电流复用技术设计了一个 LNA，用宽长比是原来 NMOS 一半的一对晶体管 PMOS 和 NMOS 代替，如图 5-1 所示。

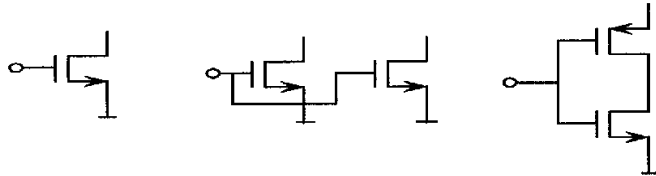


图 5-1 电流复用原理图

假定 PMOS 的跨导和 NMOS 是一样的，那么它们的跨导之和等于原来 NMOS 的跨导，却只需要原来一半的电流。不过实际上 PMOS 的载流子速率小于 NMOS，因此实际上跨导之和要略小于两个 NMOS 的跨导之和。这种结构的缺点在于 PMOS 的噪声系数要比 NMOS 的大，如果用这样的电路结构，就是用噪声换功率，在 LNA 中噪声系数小是追求的主要目标，因此这个结构不采用。

级联结构有两种电路结构可供选择，一种是两级共源结构，一种是共源

共栅结构，如图 5-2 所示。

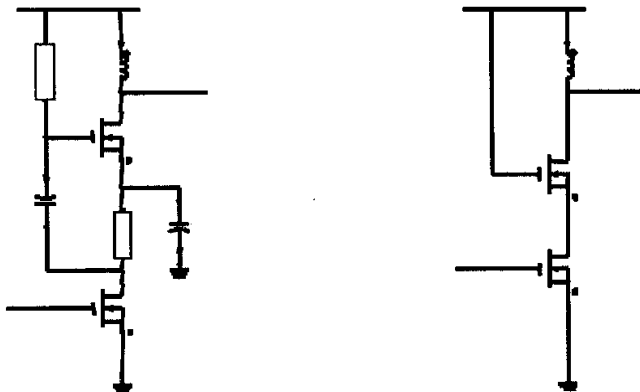


图 5-2 两级共源与共源共栅

在两级共源电路中，C1 将共源级漏极的输出电压直接耦合到第二级，R1 作为第二级的输入匹配电阻。这一级的源极由一个电容将高频短路至地。输出由一个电感作负载以提高增益，同时阻隔交流到电源的通路。R2 给第二级提供必要的偏置。

在共源共栅电路中，信号从共源级的漏极出来，又进入共栅级的源极。Ld 的作用与两级共源电路是一样的，这个结构的优点是反向隔离度高，不同于前一种电路，共源共栅的输入输出匹配可以分别设计。

按照级联的规律，相比之下这种结构可以获得高增益，不过噪声略高，后者可以获得更优异的噪声性能，但增益略低。根据设计目标，这里选择共源共栅结构。

通常源极电感负反馈在栅极增加一个电感，一方面为了增加一个自由度，另一方面为了调谐栅源电容。如果不加改进的采用源极电感负反馈结构，先估算一下栅极电感的大小。假设在 1.8V 的电源电压下，允许 5mA 的漏电流。也就是 9mW 的静态功耗。按照前面计算出来的最优栅宽是 326 μ m， $\mu_n C_{ox}$ 的典型值是 $2 \times 10^{-4} \text{ A/V}^2$ ，跨导可以写成

$$\begin{aligned}
 g_m &= \sqrt{2I_D \mu_n C_{ox} W / L} \\
 &= \sqrt{2 \times 5 \times 10^{-3} \times 2 \times 10^{-4} \times 326 / 0.18} \\
 &= 6.02 \times 10^{-2} \text{ S}
 \end{aligned}
 \tag{5-2}$$

交叠电容大小

$$\begin{aligned}
 C_{gs} &= \frac{2}{3} W L C_{ox} \\
 &= 2/3 \times 326 \mu\text{m} \times 0.18 \mu\text{m} \times 20 \text{F}/\text{cm}^2 \\
 &\approx 0.78 \text{pF}
 \end{aligned} \tag{5-3}$$

源极负反馈电感大小

$$\begin{aligned}
 L_s &= R_s C_{gs} / g_m \\
 &= 50 \times 0.78 \times 10^{-12} / 0.0602 \\
 &\approx 0.65 \text{nH}
 \end{aligned} \tag{5-4}$$

栅极电感大小

$$\begin{aligned}
 L_g &\approx \frac{1}{\omega_0^2 C_{gs}} \\
 &= \frac{1}{(2\pi \times 2.2 \times 10^9)^2 \times 0.75 \times 10^{-12}} \\
 &\approx 7 \text{nH}
 \end{aligned} \tag{5-5}$$

以上的计算试图给出设计的初值，然后再作调整。由第3章对最优栅宽的讨论，选择宽度略大于计算所得的最优宽度，即使在工艺偏差的情况下，仍然有可能得到相对不错的噪声性能，实际上在仿真中选取的栅宽是 $360 \mu\text{m}$ ，而且 SMIC $0.18 \mu\text{m}$ 工艺给出的 C_{ox} 值要略微小一些，为 $1.4 \times 10^{-4} \text{A}/\text{V}^2$ ，这样跨导大约是 $6.33 \times 10^{-2} \text{S}$ ， C_{gs} 略大于 0.6pF ，于是仿真中采用了 0.45nH 的源极负反馈电感，重新按照(5-5)式计算得到的栅极匹配电感大小为 8.3nH 。考虑到噪声最小所对应的最优源导纳呈感性，在只用一个栅极电感作匹配的源极负反馈单端低噪声放大器中，选取了略微大一些的电感作匹配，这样在匹配和噪声最小之间作了一个权衡。其中假设共栅级的漏极负载电容是 2pF ，在 S 波段和这个电容谐振的感抗值是 2.6nH ，考虑到需要一定的带宽，将谐振点调谐到略微高于 2.2GHz ，所以漏极电感的值选择了略小于计算结果的 2.15nH 。共源级和共栅级选择了相同宽度的晶体管，这是为了共源级的漏可以和共栅级的源共用一个连接区，减小寄生电容的干扰。偏置用一个栅极宽度是 $40 \mu\text{m}$ 的晶体管，一个 $1 \text{k}\Omega$ 的电阻实现，电阻可以调整偏置点。输入端用一个 10pF 的电容隔直，这个值使等效的串联电容从大约 0.6pF 改变为 0.57pF ，即大约偏离了原来的 5% ，这个小的偏离和工

艺上的不确定性比较，是可以接受的。

共源共栅放大电路的偏置是用电流镜产生的，之间要用足够大的电阻，以减小偏置中栅极的噪声电流，这里取 10k 欧姆，电路原理图如图 5-3 所示。

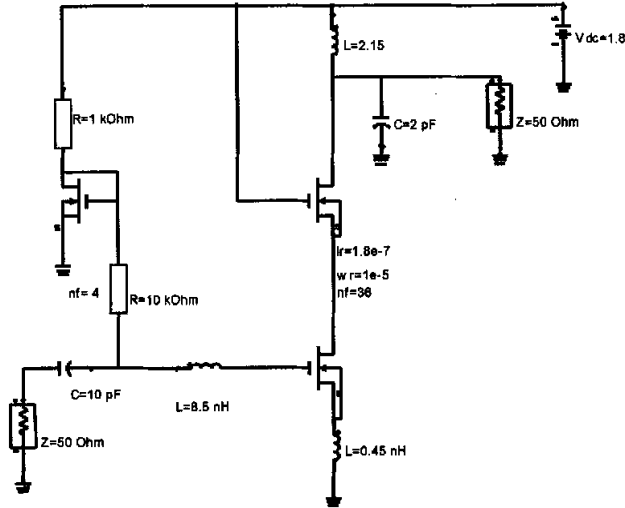


图 5-3 源极电感负反馈原理图

仿真结果如图 5-4 所示。

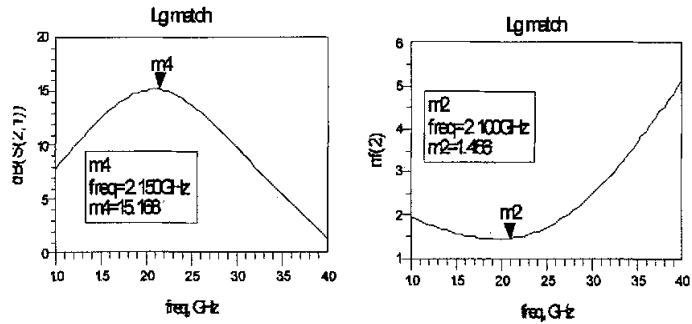


图 5-4 源极电感负反馈仿真结果

从仿真结果来看，曲线比较平稳，这是因为输入回路是由电感电容组成的串联回路，其回路的品质因数可以由(5-6)式计算。

$$\begin{aligned}
 Q &= \frac{1}{2g_m \omega_0 L_s} \\
 &= \frac{1}{2 \times 0.0596 \times 2\pi \times 2.2 \times 10^9 \times 0.63 \times 10^{-9}} \\
 &= 0.96
 \end{aligned}
 \tag{5-6}$$

这说明整个 LNA 的选频能力主要取决于输出 LC 网络，在中心频率 2.2GHz 下，对 400MHz 的带宽来说，输入电路的选频能力还有待提高。

5.3 π 型网络输入匹配

如果保持源极电感负反馈的结构，由于在并联栅极电感之前的输入阻抗成容性，且实部略大于 50 欧姆。输入端用 LC 网络可以实现到 50 Ω 的阻抗匹配。理论上讲，最多有八种可能的匹配形式。但对于阻抗从大到小的变换，最多有四种可能，其中 π 型结构两种，T 型结构两种。这四种结构都有可能达到阻抗匹配的，如图 5-5 所示：

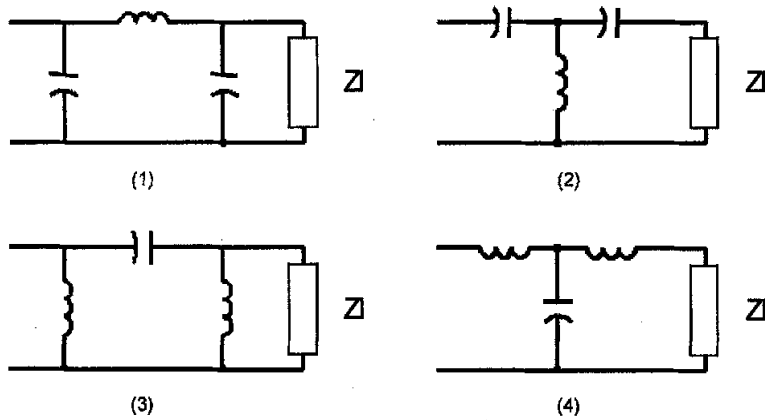


图 5-5 四种备选匹配结构

第(3)种和第(4)种中包含有两个电感，如果这两个电感的值都没有明显减小，那么这样的变换就没有什么积极意义，而且实际上第四种电路形式无解，只能将输入阻抗往更大的方向转化。第三种电路形式有解，但是所用到的两个电感之和比采用简单的栅极匹配电感还要大，这也不是所期望的。只有第(1)种和第(2)种实际上是可行的。这两种阻抗变换都是减小了输入阻

抗，有必要比较两者匹配时需要的电感大小，并且更重要的是比较它们噪声系数存在的差别。

由(1)(2)两种匹配形成的输入匹配电路结构示意图于图 5-6。

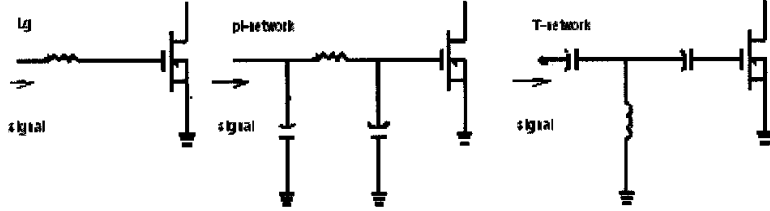


图 5-6 三种可行的匹配结构

为了清楚了，三幅图都没有画出用来作为负反馈的源极电感及隔直流的电容。第一种用栅极和源极的电感谐振，调谐栅极之间的电容，第二种是 Π 型输入匹配结构，第三种是 T 型输入匹配结构。

匹配的目的在于输入阻抗为 50Ω ，由于晶体管呈容性，所以 Smith 圆图上的起点在下半圆，并略大于 50Ω 。在匹配之前，可以预期 Π 型或者 T 型的匹配会有更好的选频能力。

图 5-7 是用 T 型和 Π 型网络匹配的结果。

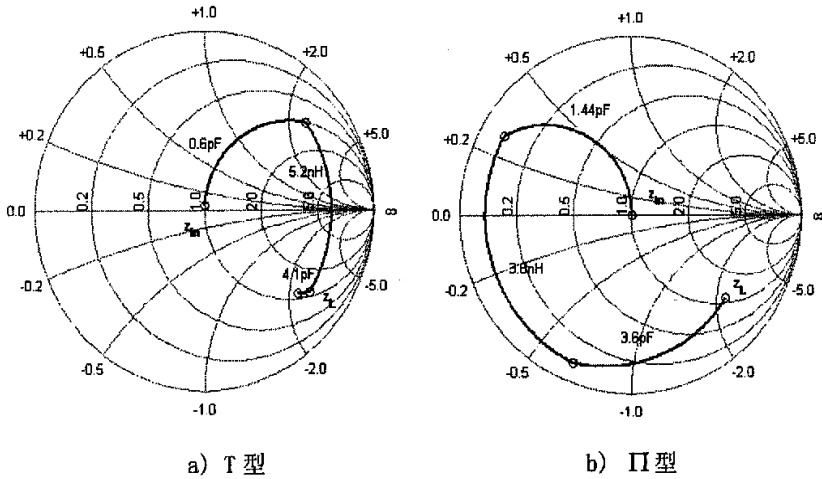


图 5-7 T 型和 Π 型网络匹配结果

从 Smith 圆图上可以看出，匹配后从输入端看进去阻抗都在 50Ω 附近， Π 型匹配用了一个 3.8nH 的电感，一个内半径是 $30\mu\text{m}$ ，3.5 圈的片上电

感的感抗值大约是 3.5nH，即在片内实现这样的电感是很有可能的；T 型匹配用了一个 5.2nH 电感。从减小输入电感的大小来说Π型匹配要优于 T 型匹配。

下面在同样条件下，比较两者的噪声系数如图 5-8 所示。

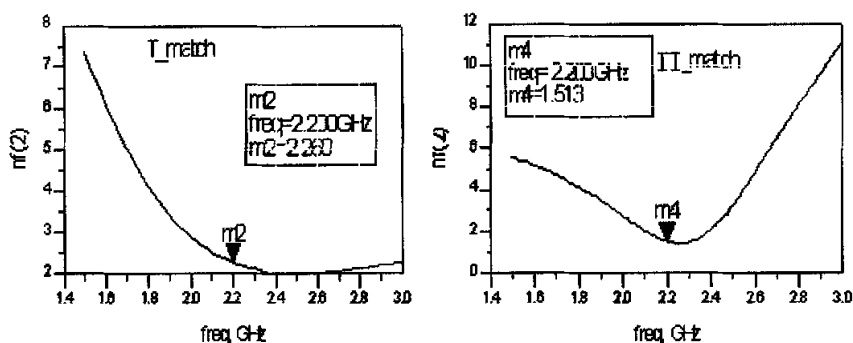


图 5-8 噪声系数的比较

比较两图可以看出，Π型匹配的噪声系数要低一些，而Π型匹配要求电感的值也要小一些。因此Π型匹配是更好的拓扑结构。

随之而来另一个改进是网络的选频特性，Π型网络可以看做是两个简单的 L 型臂构成，从中间看进去的输入电阻是 R_{inter} ，每个臂的选频 Q 值：

$$Q = \sqrt{\frac{R_L}{R_{inter}} - 1} \quad (5-7)$$

整个Π型网络的 Q 值由两个 L 臂中较大的一个 Q 值决定。假设从中间平均分配这个电感，那么左边回路的 R_{inter} 大约是 4 欧姆， Q 值大约是：

$$Q = \sqrt{\frac{50}{4} - 1} = 3.39 \quad (5-8)$$

由此看出，回路的品质因数有了显著的提高。如果要整个电路的品质因数为 4，只要输入电路与输出电路的品质因数的乘积是 4 即可，那么输出匹配电路的品质因数只要略大于 1 就可以了。

5.4 串联电阻输出匹配

由于 LNA 的下级可能是镜像抑制滤波器或混频器，为了减小损耗，抑制回波，常常对 LNA 的输出进行阻抗匹配设计，假设漏极电容及杂散电

容，包括下一级混频器的输入电容是 2pF。输出端要匹配，首先要用感性负载调谐这部分电容，同时从输出端看进去产生与下一级相同的阻抗 R 。

在共源共栅结构的放大电路中，共栅级作为输出级，这一级的栅极接一个直流电压，以便提供适当的工作条件，信号从共源级的漏极出来，进入共栅级的源极，从共栅级的漏极输出，假设漏极的容性负载是 C ，等效电阻负载是 R (这里假设是 50Ω)，漏极和电源电压之间有电阻串联和电阻并联两种接法。

电感端串联电阻的原理如图 5-9 所示。

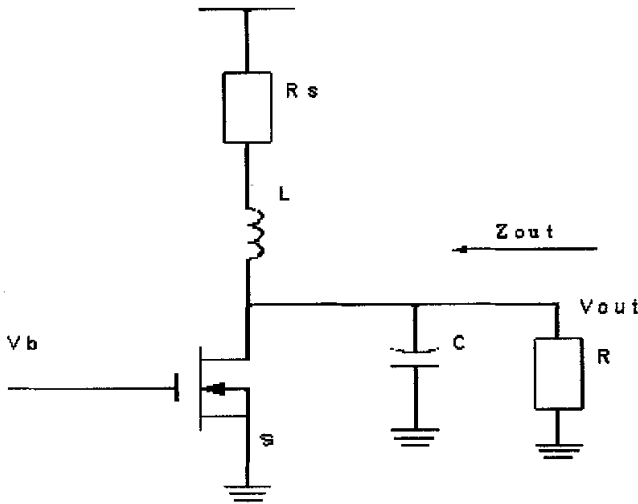


图 5-9 串联电阻输出匹配

为简化计算，假设共源共栅结构的放大电路的输出阻抗足够大，那么输出阻抗可以表示为

$$Z_{out} \approx \frac{(j\omega L + R) \times 1 / j\omega C}{(j\omega L + R) + 1 / j\omega C} \quad (5-9)$$

$$= \frac{R + j\omega L}{1 + j\omega RC + (j\omega)^2 LC}$$

首先电感的值调整到和负载电容谐振，那么

$$\omega^2 LC = 1 \quad (5-10)$$

当 $R_s = L/50C$ 时 $R_{out} = 50$ 。

小信号增益为

$$\begin{aligned}
 A_v &= -g_m R_{out} \\
 &= -g_m \frac{R + j\omega L}{1 + j\omega RC + (j\omega)^2 LC} \quad (5-11)
 \end{aligned}$$

$$|A_v| = g_m R \sqrt{\frac{(\omega L/R)^2 + 1}{(1 - \omega^2 LC)^2 + (R\omega C)^2}} \quad (5-12)$$

可以看出，当 $\omega \rightarrow 0$ 时， $|A_v| \rightarrow g_m R$ ，当 $\omega \rightarrow \infty$ 时， $|A_v| \rightarrow 0$ 。否则， $g_m R > |A_v| > 0$ 。

换一种匹配方式，仍然用电感调谐，但电阻与这个电感并联，其原理如图 5-10 所示。

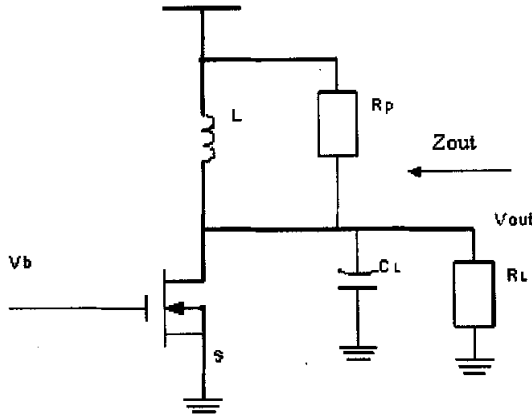


图 5-10 并联电阻输出匹配

从这个电路图就可以看出，要使输出阻抗达到 50Ω ，只要选取电感的值使它和电容谐振，再加上一个 50Ω 的电阻即可。为了把这种结构和前一种作比较，再计算出它的输出阻抗为

$$\begin{aligned}
 Z_{out} &\approx \frac{j\omega L \times R \times 1 / j\omega C}{j\omega L \times R + R \times 1 / j\omega C + j\omega L \times 1 / j\omega C} \\
 &= \frac{j\omega RL}{(j\omega)^2 RLC + j\omega L + R} \quad (5-13)
 \end{aligned}$$

当 $R_p = 50$ 时 $R_{out} = 50$ ，它的小信号增益是

$$\begin{aligned}
 A_v &= -g_m R_{out} \\
 &= -g_m R \frac{\omega L}{\sqrt{R^2(1-\omega^2 LC)^2 + \omega^2 L^2}}
 \end{aligned}
 \tag{5-14}$$

$$|A_v| = g_m R \frac{\omega L}{\sqrt{R^2(1-\omega^2 LC)^2 + \omega^2 L^2}}
 \tag{5-15}$$

可以看出，当 $\omega \rightarrow 0$ 时， $|A_v| \rightarrow 0$ ，当 $\omega \rightarrow \infty$ 时， $|A_v| \rightarrow 0$ 。否则， $g_m R > |A_v| > 0$ 。

为了比较两种电路形式的优劣，下面进行仿真实验，采用了栅极电感的输入匹配，稍后会看到，结合 Π 型网络输入匹配，和这种结构相比，可以进一步降低噪声系数。

从图 5-11 中可以看出，串联噪声系数略高。

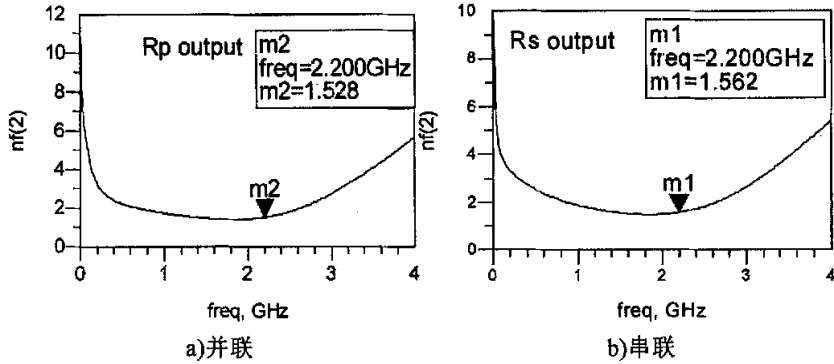


图 5-11 噪声系数的比较

在同等情况下，当频率较低时，串联电阻有更高的增益。频率较高时，并联电阻有更高的增益。频率相同的情况下，要求的电阻值不同，按照电容负载是 2pF 的假设，在 2.2GHz 时，要求串联的电阻大约是 6Ω ，而要求并联的电阻大约是 50Ω 。串联电阻的热噪声电流和信号是串联关系，而并联电阻热噪声和信号是并联关系，相比之下，并联电阻的形式能获得更好的噪声性能。采用串联电阻仍然有可能得到相对不错的噪声系数。而且电感的品质因数都不高，频率在 2GHz 左右的 Q 值在 10 左右，含有体电阻，这样一个 2nH 的电感，只需要再加上一个很小的电阻，不仅阻抗匹配，又得到了较低的噪声系数。

输出电路的输出端还需要一个电容，以隔离直流分量，否则会从电源电

压抽取一个大电流，其中只有小部分作为直流偏置，大部分将从 LNA 进入下一级。这个隔直电容会改变输出电阻，从而影响原来的阻抗匹配，这里采用了一个 20pF 的隔直电容，对于 2pF 的漏极寄生电容，一个 20pF 左右的电容并联入输出回路时，对原来容抗值的影响就只有 9%，这个数字在工程中可以接受，通过以上讨论，得到的输出匹配电路如图 5-12 所示。

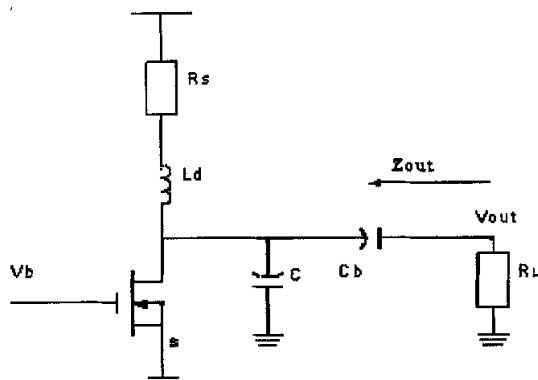


图 5-12 完整的串联电阻输出匹配

5.5 提高增益的级间匹配

输出端的这个晶体管的输入信号从共源级进来，然后进入共栅级，直流工作点由偏置电路产生。两级之间的寄生电容肯定会对信号产生影响，为了研究这一部分电容的影响，先作其示意图如图 5-13 所示。

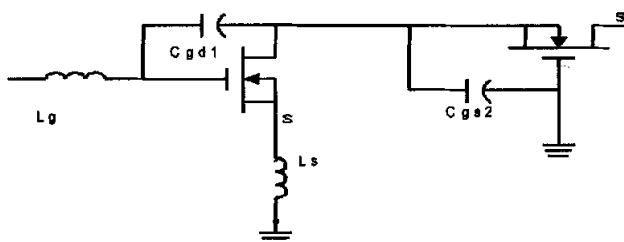


图 5-13 密勒效应示意图

在 Miller 效应下，共源级的栅漏电容被分配到输入电路和两级之间，按照(5-16)式计算输入输出阻抗。

$$\begin{cases} Y_0 = Y_m(1 - A_v) \\ Y_1 = Y_m(1 - 1/A_v) \end{cases} \quad (5-16)$$

其中 Y_m 表示产生 Miller 效应的那部分, Y_0 和 Y_1 表示折算后输入和输出的阻抗, 先作共源级小信号电路如图 5-14 所示。

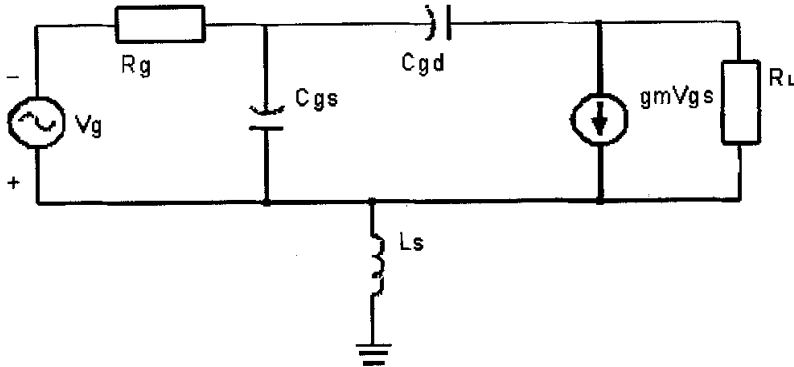


图 5-14 共源级小信号电路

其中 R_L 表示共源级的负载, 是从共源级漏极向共栅级看进去的阻抗。先求电压放大倍数, 设负载上的输出电压是 V_{out} , 栅源上的压降是 V_{gs} , 于是有

$$V_{out} = -g_m V_{gs} \frac{R_L \times \frac{1}{j\omega C_{gd}(1 - \frac{1}{A_v})}}{R_L + \frac{1}{j\omega C_{gd}(1 - \frac{1}{A_v})}} \quad (5-17)$$

根据电压放大系数的定义有

$$A_v = \frac{V_{out}}{V_{gs}} \quad (5-18)$$

所以

$$A_v = \frac{j\omega C_{gd} R_L - g_m R_L}{1 + j\omega C_{gd} R_L} \quad (5-19)$$

于是

$$\begin{aligned}
 Y_1 &= \frac{1}{1 - \frac{j\omega C_{gd}}{A_v}} \\
 &= \frac{\frac{g_m R_L - R_L}{j\omega C_{gd}}}{1 + g_m R_L}
 \end{aligned} \tag{5-20}$$

输出阻抗中含有一个容性部分，再加上共栅级栅源之间的那部分电容，总共的容抗大小为两者之和，仍然显示容性。如果用一个合适大小的电感，就可以把这部分电容调谐出去。否则，两级之间会因为反射回波而损耗信号。这个反射可能不断加大，最后甚至造成振荡。在两级之间串入电感以后，调谐了由密勒效应而放大的容性部分，改善了阻抗匹配，增益有明显的提高。不过，由于电感不可能是理想的，噪声系数有可能会增加。加上偏置以及 Π 型的阻抗输入匹配网络，该网络在偏置外侧。最后形成的单端 LNA 如图 5-15 所示。

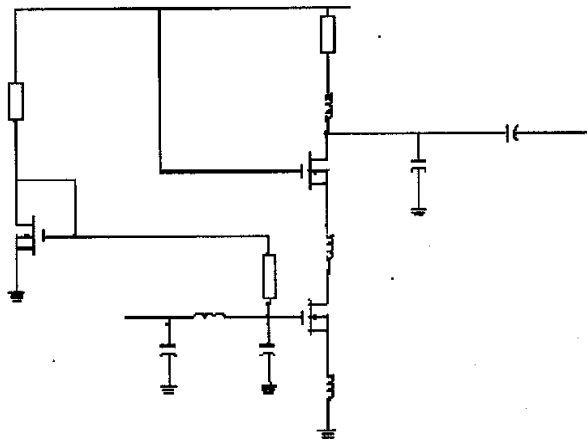


图 5-15 Π 型匹配的单端 LNA 电路

5.6 电流镜与启动电路

电流镜受很多因素影响，比如电源、工艺和温度。电流源的设计是基于

对精准电流的复制。如果忽略体效应，两个都工作在饱和区且具有相同栅源电压的相同晶体管传输相同的电流。如果同时忽略沟道调制效应，图 5-16 所示的电流镜可以产生基准电流。

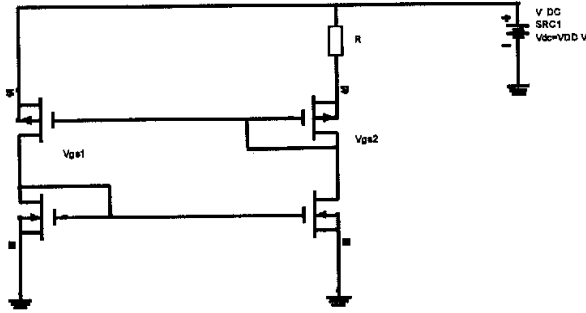


图 5-16 与电源电压无关的电流镜

这是因为

$$V_{GS1} = V_{GS2} + I_D R_s \quad (5-21)$$

$$\sqrt{\frac{2I_{out}}{\mu_n C_{ox} (W/L)_N}} + V_{TH1} = \sqrt{\frac{2I_{out}}{\mu_n C_{ox} (W/L)_N} K} + V_{TH2} + I_{out} R_s$$

如果没有体效应，那么两臂 NMOS 的开启电压相等，即 $V_{TH1} = V_{TH2}$ ，上式可以化为

$$\sqrt{\frac{2I_{out}}{\mu_n C_{ox} (W/L)_N}} \left(1 - \frac{1}{\sqrt{K}}\right) = I_{out} R_s \quad (5-22)$$

$$I_{out} = \frac{2}{\mu_n C_{ox} (W/L)_N} \frac{1}{R_s^2} \left(1 - \frac{1}{\sqrt{K}}\right)^2$$

电流近似与电源电压 V_{DD} 无关，只与晶体管的尺寸，氧化层单位面积电容及温度有关。电流与沟道调制效应的依赖关系如图 5-17。可以看出，随着沟道变短，沟道调制效应越明显。越长的沟道产生越精确的电流。还有一个问题，被复制的电流增加了功耗，在电路中这部分功耗越小越好，由于电流按照宽长比复制，因此产生基准电流的晶体管的宽度要尽量小，另一个办法是让电路开始工作以后停止工作。前面一种情况体现在偏置中，后一种情况体现在启动电路中。

性区，M6 的漏源电压开始小于 M5 的开启电压，因此 M5 截止，此时电流镜已经启动。

50ns 内的支路电流情况如图 5-19 所示。

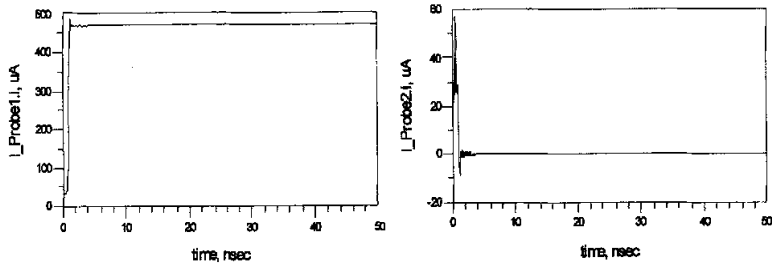


图 5-19 启动电路的仿真结果

5.7 寄生参数影响的讨论

选择差分的拓扑结构，基本的出发点就是它能有效的抑制与电感串联的那部分寄生参数，因为这部分电抗可以看成是被电吸收，而不会对电流源产生任何的影响。然而，实际上还是存在一些并联的寄生电容，栅极与地之间由于体效应而显容性，这部分电容对输入回路将产生重大影响，所以必须在设计时将这一部分考虑进来。

包含了栅极-衬底寄生电容的小信号电路如图 5-20。

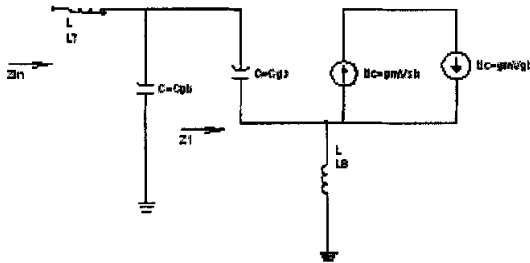


图 5-20 包含栅衬寄生电容的小信号电路

假定跨导在 0.05 左右，这是一个合理的假设，这时候的输入等效阻抗可以由(5-23)计算。

$$Z_1 = \frac{1}{\omega^2 L_s C_{gs} g_m + j\omega C_{gs}} \quad (5-23)$$

$$= \frac{1}{C_{gs} \frac{1}{R_{tot} C_{gs}} + j\omega}$$

可以看出，上式将输入阻抗表示成了实部和虚部两部分，电阻部分是

$$R_{tot} = \frac{1}{\omega^2 L_s C_{gs} g_m} \quad (5-24)$$

虚部还是 $j\omega C_{gs}$ ，表明这个等效电路可以进一步化成电阻和栅源电容的并联，如图 5-21 所示。

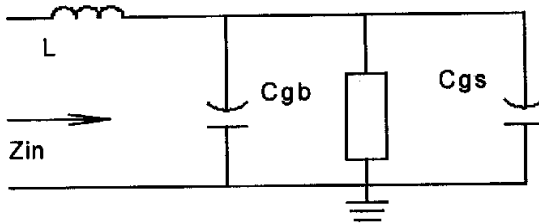


图 5-21 等效小信号电路

把栅极-衬底寄生电感计算在内，此时需要的源极负反馈电感的大小

$$L_s = \frac{R_s}{\omega_T} \frac{C_{gs} + C_{gb}}{C_{gs}} \quad (5-25)$$

而不考虑寄生电容影响所需要的源极电感

$$L'_s = \frac{R_s}{\omega_T} \quad (5-26)$$

比较(5-25)式和(5-26)式，可见源极电感的设计值应该比理论值略大一些。

从影响噪声的角度来看，由于寄生电容的存在，晶体管看起来就如同将这部分电容吸收进栅源交叠电容中，那么晶体管的截止频率将变小，根据截止频率与最小噪声系数的关系，可以预期噪声系数会增大。

对于增益来说，由于这部分电容的增大，视在跨导将变小，晶体管的电流能力会变小，增益就会随之变小。

除此以外，放大通路中两级之间引入的寄生电容也不能忽略，这部分电

容是由于两个完全对称的晶体管交叠在一起形成的平行板电容，如果不调谐这部分电容，噪声系数将增大，尤其是由于电容负载增益将明显减小，考虑到这一影响，级间电感的值应该比理论值略大一些。

5.8 完整电路及仿真结果

由于差分电路满足(5-27)式

$$f(-x) = -f(x) \quad (5-27)$$

(5-27)式表明，差分电路能有效的抑制偶次谐波，提高了放大电路的线性度，同时差分电路源极电感虚地，对寄生电抗的抑制作用要优于单端电路。

电路的完整电路图如图 5-22 所示。

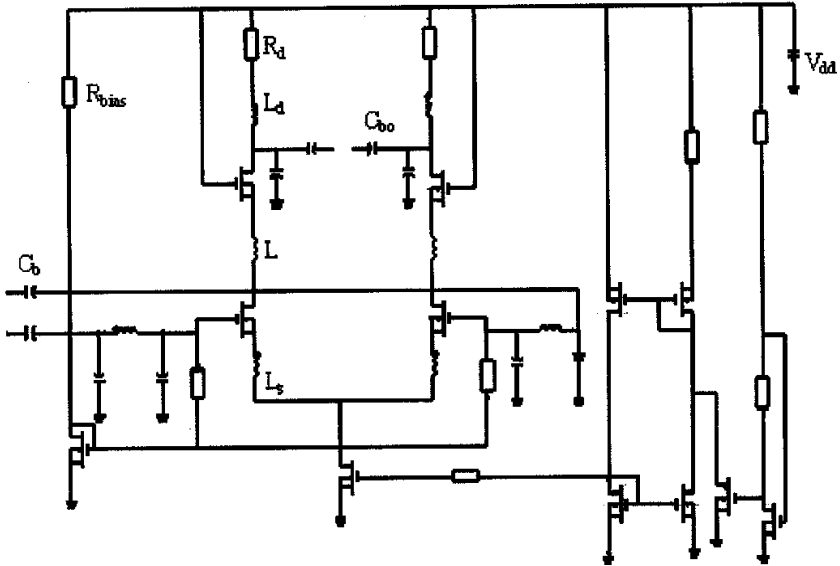


图 5-22 完整的 S 波段 LNA 电路

输入端采用了 Π 型匹配电路，加隔直电容，共源共栅的基本放大电路，两级之间加入 0.9nH 的电感，进一步提高共源与共栅极之间的阻抗匹配，以期同时提高增益和减小噪声。输出电路采用电感串联电阻的匹配电路加隔直电容。共源极的偏置由同一个电流镜产生，尾电流由包含启动电路的电流源产生。偏置设计的核心是尽量节省功耗，因此偏置电路中晶体管栅宽

选择的是 $40\mu\text{m}$ ，该电路可以工作在 S 波段，主信号通路上抽取的电流是 8.4mA ，耗是 28.8mW ，包括偏置和启动电路，功耗约 34mW ，输入和输出三阶截点分别为 -6.174dBm 和 7.826dBm ，其余各项指标如图 5-23。

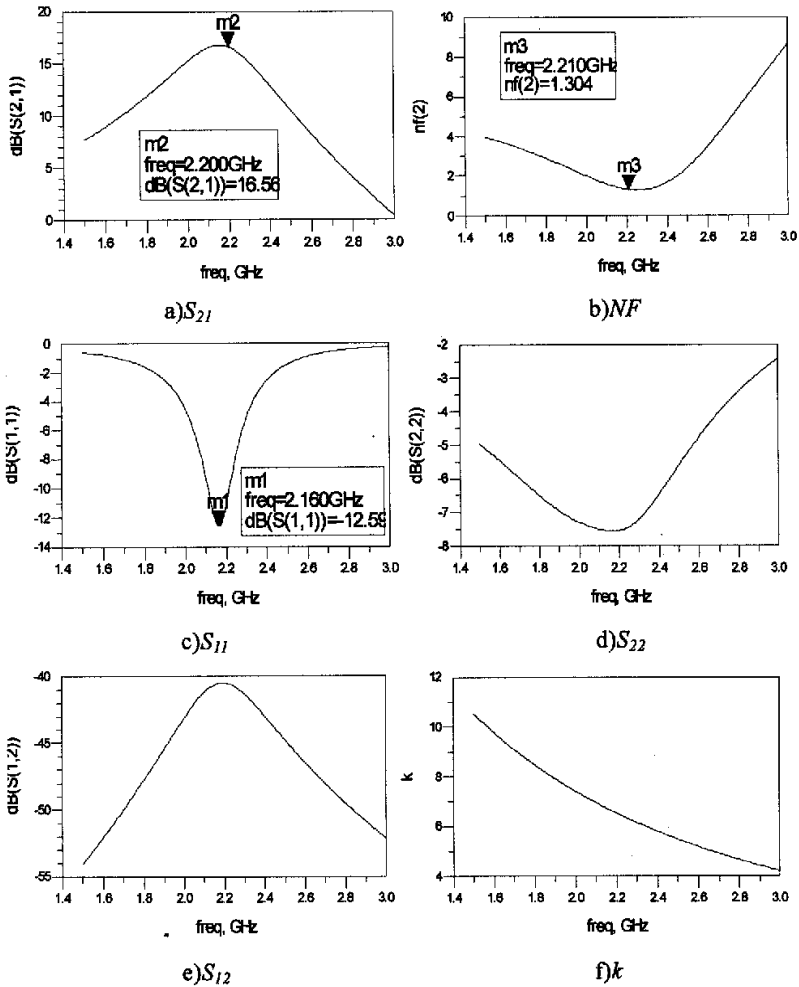


图 5-23 仿真结果

带宽是由输回路和输出回路共同决定的，输入端的 Π 型输入网络的 Q 值在 4 左右，输出断还有 LC 选频网络，在该电路中总的带宽主要由输入电路决定，从图 5-23 可以看出 3-dB 带宽约为 400M，最高增益超过 16dB。噪声系数在 1.3dB 左右，反向隔离的值大于 40dB。与本章表 5-1 比较可以看

出, 仿真结果可以和已经报道的相比拟。Rollett 稳定因子的值只要大于 1 即可保证绝对稳定, 还可望通过减小稳定因子获得更好的噪声系数, 三阶交截点的值也超过了-10dBm。

5.9 本章小结

本章详细讨论了 LNA 各个部分的设计思路, 设计完成了完整的 LNA 电路。在此基础上, 分析了各个模块电路的电特性和整个电路的 S 参量特性。比较以往的低噪声放大器, 本文在拓扑结构上, 研究了常见的栅极电感匹配结构, 比较了 T 型和 Π 型匹配网络, 提出了新的输入匹配结构即 Π 型网络结构, 该结构可以明显减轻栅极电感的压力, 更加有利于片内集成。为了进一步减小噪声和提高增益, 在共源级和共栅极之间增加了一个电感, 以提高级间的匹配, 另外讨论了栅极寄生电容对放大电路的影响, 并提出了增大源极电感的解决办法, 最后, 为了保证电流镜正常启动, 分析和设计了启动电路。

结论

详细研究了位于 RF 接收机前端的 LNA 的原理和拓扑结构, 参照目前国内外的进展, 提出合适指标, 设计完成了工作在 2-2.4GHz 的 LNA, 并通过仿真验证。设计结果达到了预期目标, 并且接近国内外近年所报导的水平。

概述了上世纪末到本世纪初国内外 LNA 的研究情况, 并以此为基础确定了主要研究内容。在电路的设计过程中, 始终以模拟电路的互易设计规律为准则, 综合考虑, 优先满足了低噪声, 同时兼顾功耗、增益、线形度与带宽, 着重分析了输入输出匹配, 以 Smith 圆图为工具研究了输入电路, 这样就可以用阻抗匹配的观点设计电路, 保证输入电路跟前端电路的阻抗匹配。改进了以往常见的栅极匹配拓扑结构, 提出新颖的节省电感面积, 更加有利于集成的 Π 型输入匹配网络, 这个匹配网络由于减小了栅极匹配电感的大小, 也就减小了栅极的寄生电阻, 显著的减小了栅极的热噪声, 明显降低了噪声系数, 该网络更有利于吸收栅极对地的容性寄生效应。在输出匹配电路的设计上, 着重考虑了噪声、增益与易于集成三者之间的关系, 最后以串联电阻的形式完成了设计, 为了提高增益, 改善共源极和共栅极之间的匹配, 在两级之间增加了匹配电感, 这个匹配电感的减小了两级之间的米勒效应, 提高增益的同时减小了噪声。

研究了产生栅极偏置和尾电流的电流镜, 两种电流镜的原理是一致的, 都必须注意减小功耗。电流镜工作时可能出现简并点, 电路一直不能启动, 根据这样的情况设计了启动电路, 该电路提供一个冗余的电流支路, 在电流镜中有电流流过之后自动关闭冗余支路, 确保节省功耗。整个 LNA 采用共源共栅的差分结构, 以防止源极对地的强寄生干扰。考虑到对地寄生干扰, 必须设计稍大的源极负反馈电感。获得这些优越性能的同时, 差分电路的代价是两倍的功耗。

随着工艺的进步, LNA 必将获得更优越的性能, 随着工艺的发展, 新颖的电路形式将层出不穷, 才能更上。本文在这方面做了一些工作, 但仍有许多多的问题需要更加深入的探讨和研究, 即使同样的工艺, 同样的电路形式, 也可以设计出更低噪声的 LNA, 下一步可以集中于有待提高的输出匹配、减小功耗。由于稳定因子偏高, 噪声系数和增益可以进一步提高。

参考文献

- 1 T.D. Stetzler, I.G. Post, J.H. Havens and M. Koyama. A 2.7-4.5V Single Chip GSM Transceiver RF Integrated Circuit. IEEE Journal of Solid-State Circuits. 1995, 12: 1421~1429
- 2 O. Shana'a, I. Linscott and L. Tyler. Frequency-Scalable SiGe Bipolar RF Front-End Design. IEEE Journal of Solid-State Circuits. 2001, 6: 888~895
- 3 Analog Devices. GSM/DCS1800/PCS1900 Zero-IF Transceiver Preliminary Technical Information. AD6523, 1998
- 4 Philips. Low Power GSM/DCS/PCS Multi-Band Transceiver Data Sheet. UAA3535HL, 2000.
- 5 E. Morifuji, H.S. Momose. RF perspective and scaling down roadmap for RF CMOS. Symposium on VLSI Technology Digest of Technical. 1999, 4: 163~164
- 6 Yuhua Cheng. High-Frequency small signal AC and noise modeling of MOSFETs for RFIC design. IEEE Transactions on Electron Devices. 2002, 2: 400~408
- 7 A.J. Scholten. Compact modelling of noise for RF CMOS circuit design. IEEE Proc.-Circuits Devices Syst. 2004, 4: 167~174
- 8 Fred S. Lee. An Ultra-Wideband Baseband Front-End. IEEE Radio Frequency Integrated Circuits Symposium. 2004, 2: 493~496
- 9 Vojkan Vidojkovic. Fully-integrated Dect/Bluetooth Multi-band LNA in 0.18 μm CMOS. IEEE ISCAS. 2004, 4: 565~568
- 10 Andrew N. Karanicolas. A 2.7-V 900-MHz CMOS LNA and Mixer. IEEE Journal of solid-state circuits. 1996, 12: 1939~1944
- 11 Cheon Soo Kim, Min Park. A fully integrated 1.9-GHz CMOS low-noise amplifier. IEEE Microwave and guided wave letters. 1998, 8: 293~295
- 12 Paul Leroux, Johan. A 0.8-dB NF ESD-Protected 9-mW CMOS LNA operating at 1.23 GHz [for GPS receiver]. IEEE Journal of solid-state circuits. 2002, 6: 760~765
- 13 Choong-Yul Cha, Sang-Gug Lee. A 5.2-GHz LNA in 0.35- μm CMOS Utilizing Inter-Stage Series Resonance and Optimizing the Substrate Resist-

- ance. IEEE Journal of Solid-State Circuits. 2003,4:669~672
- 14 李大平. 1-6GHz 宽带低噪声放大器的研制. 半导体情报 1999,10:37~42
 - 15 沈毅龙, 安建平. 11.8GHz 双级低噪声放大器. 北京理工大学学报 1998,6:351~354
 - 16 伍详冰等. L 波段 GaAs 单片低噪声放大器. 固体电子学研究与进展. 1995,8:252~255
 - 17 马晓民, 王文琪. 1.8GHz 0.35- μm CMOS 低噪声放大器的实现. 半导体技术 2002,8:46~49
 - 18 詹福春, 王文琪. 2.4GHz 0.25- μm CMOS 集成低噪声放大器的设计. 半导体技术. 2004,5:81~85
 - 19 Derek.K.Shaefferetal. A 1.5V, 1.5GHz CMOS low noise amplifier. IEEE Journal of Solid State Circuits. 1997,5:745~759.
 - 20 Fikret Diilger, Jose Silva-Martinez. A 1.3V 5-mW Fully Integrated Tunable Bandpass Filter at 2.1GHz in 0.35- μm CMOS. IEEE Journal of Solid-State Circuits. 2003,6:918~928
 - 21 黄广宇, 胡勇等. 基于 CMOS 的 RFIC 的发展现状. 微电子学, 2002,8:283~286
 - 22 庄奕琪 孙青. 半导体器件中的噪声及其低噪声化技术. 国防工业出版社. 1993,10:15~17,30~39,41-43
 - 23 W.M.Leach. Fundamentals of low-noise analog circuit design. Proc. IEEE 1994,10:1515~1538
 - 24 P.R.Gray. Analysis Design of Analog Integrated Circuits. 1993,10:15~53
 - 25 Behzad Razavi. RF Microelectronics. 2003,9:14-22
 - 26 Reinhold Ludwig. RF Circuit Design Theory and Applications. 2002:110-113
 - 27 Matthew M.Radmanesh. Radio Frequency and Microwave Electronics Illustrated. Pearson education north Asia limited. 2002,8:432-433
 - 28 Thomas H.Lee. The Design of CMOS Radio-Frequency Integrated Circuits. 1998 197-201
 - 29 陈邦媛. 射频通信电路. 2002,8:158-181
 - 30 E.kunz, S.Parke. 2.4GHz high gain low power narrowband low-noise amplifier in 0.18 μm TSMC CMOS. IEEE 2004,3:52-54
 - 31 Van der Ziel Noise in Solid State Devices and Circuits. Proc. IEEE. 1970,8:1178~1206

- 32 Behzad Razavi. Impact of distributed gate resistance on the performance of MOS devices. *IEEE Transaction on circuits and systems Fundamental Theory and Application*. 1994,11:750~754
- 33 Andrea Bevilacqua. An Ultra-Wideband CMOS LNA for 3.1 to 10.6GHz Wireless Receivers. *IEEE International Solid-State Circuits Conference*. 2004,2:21~23.
- 34 D.Linten et al. A 5 GHz fully integrated ESD-protected low-noise amplifier in 90 nm RF CMOS. *IEEE*. 2004,6:291~294.
- 35 Chikuang Yu and Kenneth K.O. Evaluation of Utilizing 0.18 μ m PMOS Transistors in a 2.4-GHz Receiver. *IEEE Radio Frequency Integrated Circuits Symposium*. 2004,4:555-558.
- 36 N. H.Sheng et al. A 30GHz bandwidth ALGaAs-GaAs HBT directcoupled feedback amplifier. *IEEE Microwave Guided Wave Lett*. 1991,8:208~210
- 37 R.Benton et al. GaAs MMICs for an integrated GPS front-end GaAs IC Symp.Dig.Tech.Paper. 1992,2:123~126
- 38 K.P.Cioffi. Monolithic L-band amplifiers operating at milliwatt and sub-milliwatt DC power consumptions. *IEEE Microwave and Millimeter-Wave Monolithic Circuits Symp*. 1992,2:9~12
- 39 E.Heaney et al. Ultra low power noise amplifiers for wireless communications GaAs-IC Symp.Dig.Tech.Paper. 1993,5:49~51
- 40 Y.Imai, M.Tokumitsu et al. Design and performance of low-current GaAs MMICs for L-band front-end applications. *IEEE Trans. Microwave Theory Tech*,vol.39. 1993,2:209~215
- 41 A.N.Karanicolas. A 2.7V 900MHz CMOS LNA and mixer. *ISSCC Dig.Tech. Papers*. 1996,5:50~51
- 42 S.Sheng et al. A low-power CMOS chipset for spread-spectrum communications. *ISSCC Dig.Tech.Papers*. 1996,6:346~347
- 43 Derek K.Sheaffer. A 1.5V 1.5GHz CMOS low noise amplifier. *IEEE journal of solid-state circuits*.1997,5:745~799
- 44 Cheon Soo Kim, Min Park. A fully integrated 1.9-GHz CMOS low-noise amplifier. *IEEE Microwave and guided wave letters*.1998,8:293~295
- 45 A.Passinen et al. 1.8 GHz CMOS LNA with on-chip DC-coupling for a subsampling direct conversion front-end. *IEEE* 1998,8:73~76

- 46 G.Gramegna et al. Ultra-wide dynamic range 1.75 dB noise-figure, 900 MHz CMOS LNA. IEEE international Solid-State Circuits Conference 2000, 2:380~381
- 47 F.Svelto et al. Solutions for image rejection CMOS LNA. IEEE International Symposium on Circuits and Systems. 2000,5:49-52 28~31
- 48 Francesco Gatta et al. A 2-dB noise figure 900-MHz differential CMOS LNA. IEEE journal of solid-state circuits. 2001,10:1444~1452
- 49 J.C.Huang et al. A 2 V 2.4 GHz fully integrated CMOS LNA with Q-enhancement circuit. IEEE Proceedings of APMC2001,Taipei,Taiwan, R.O.C. 2001,3:1028~1031
- 50 Paul Leroux et al A 0.8-dB NF ESD-Protected 9-mW CMOS LNA operating at 1.23 GHz. IEEE journal of solid-state circuits. 2002,6:760~765
- 51 Vladimir el at. 0.18 μm CMOS LNA and mixer for wireless LAN applications. Microwave&Telecommunication Technology. 2002:137~138
- 52 Choong-Yul Cha and Sang-Gug Lee. A 5.2-GHz LNA in 0.35 μm CMOS Utilizing Inter-Stage Series Resonance and Optimizing the Substrate Resistance. IEEE journal of solid-state circuits. 2003,4:669~672
- 53 Seyed Hossein Miri Lavasani et al. A new method to stabilize high frequency high gain CMOS LNA. IEEE 2003,3:982~985
- 54 Chikuang Yu and Kenneth K.O. Evaluation of Utilizing 0.18 μm PMOS Transistors in a 2.4-GHz Receiver. IEEE Radio Frequency Integrated Circuits Symposium .2004,5:555~558
- 55 Paul Leroux and Michiel. A 5GHz CMOS Low-Noise Amplifier with Inductive ESD Protection Exceeding 3kV HBM. IEEE. 2004,5:295~298

攻读学位期间发表的学术论文

徐国栋,王晓光. 一种新颖的 S 波段低噪声放大器. 固体电子学研究与进展. (已投)

哈尔滨工业大学硕士学位论文原创性声明

本人郑重声明：此处所提交的硕士学位论文《CMOS 低噪声放大器的 IC 设计与研究》，是本人在导师指导下，在哈尔滨工业大学攻读硕士学位期间独立进行研究工作所取得的成果。据本人所知，论文中除已注明部分外不包含他人已发表或撰写过的研究成果。对本文的研究工作做出重要贡献的个人和集体，均已在文中以明确方式注明。本声明的法律结果将完全由本人承担。

作者签字 王晓光

日期：2005年6月30日

哈尔滨工业大学硕士学位论文使用授权书

《CMOS 低噪声放大器的 IC 设计与研究》系本人在哈尔滨工业大学攻读硕士学位期间在导师指导下完成的硕士学位论文。本论文的研究成果归哈尔滨工业大学所有，本论文的研究内容不得以其它单位的名义发表。本人完全了解哈尔滨工业大学关于保存、使用学位论文的规定，同意学校保留并向有关部门送交论文的复印件和电子版本，允许论文被查阅和借阅。本人授权哈尔滨工业大学，可以采用影印、缩印或其他复制手段保存论文，可以公布论文的全部或部分内容。

保密口，在 年解密后适用本授权书。

本学位论文属于

不保密 。

(请在以上相应方框内打“√”)

作者签名：王晓光

日期：2005年6月30日

导师签名：徐国栋

日期：2005年6月30日

致谢

论文工作结束的时候，预示着全新生活的开始，但是两年的学习生活是多么难忘，这是我成长最快的一段岁月，是我最难忘的一段时光。

感谢徐国栋教授在繁忙的科研任务中对论文工作无微不至的指导。徐老师不仅教给我专业知识和分析问题的基本方法，更教给我一丝不苟的精神、严谨治学的态度，徐老师的鼓励让我有相当自由的思考空间，论文工作的顺利进展离不开徐老师的关心和帮助，师恩难忘。

宿富林老师和叶水驰老师审阅了我的论文，并提出宝贵的修改意见。谢谢两位老师。

感谢卫星技术研究所为我提供了非常好的学习条件，卫星技术研究所的集体活动和学术小组的讨论让我学会合作与交流，使我有机会得到全面的发展。

最后感谢信息工程专业的所有老师和帮助过我的同学和朋友。