

---



## 摘要

认知无线电技术的出现是未来解决频谱资源高度紧张的最有效的方式。它充分体现了对频谱资源的最大程度的利用,可以变相的扩大频率空间。搭建一个认知无线电的实验平台不仅具有重要的理论意义,而且具有实用价值。

本文介绍了认知无线电的概况,并详细介绍了认知硬件板卡的设计以及该板卡的接口调试方法与结果。根据认知无线电的原理,使用一片 Xilinx 公司大规模可编程逻辑器件 Virtex-5 和一片 TI 公司高性能定点 DSP 双核芯片 TMS320DM6467,其中包含了一个 C64+的 DSP 和一个 ARM9 芯片,设计实现了一个基于认知无线电的硬件实验平台,并详细介绍了硬件和软件的调试。该平台具有通用、灵活的特点,可以通过软件灵活地对数据流向进行控制和管理,构造实现不同的通信系统,用于满足研究的需要。

**关键词:** 认知无线电    FPGA    DSP    ARM

---

## Abstract

The appearance of Cognitive Radio technology is the most effective way to solve the tension spectrum that highly used in the future. It fully reflects that we can use the spectrum in maximum way. So we expand the frequency space in disguise. Build a cognitive radio test platform not only has important theoretical significance but also has practical value.

This article describes an overview of cognitive radio and the design of hardware and interface. By using a Xilinx's large-scale logic programmable device Virtex-5 and a TI's high-performance dual-core chips TMS320DM6467 which includes a C64 + DSP and an ARM9 chip. This design implements a hardware-based experimental platform for cognitive radio and detailed the hardware and software debugging. The platform is universal and flexible. Data flow and management is flexibility through software control. Structure different communication systems to meet the research needs.

**Keyword:** Cognitive Radio Digital Signal Processor (DSP) ARM9 Virtex-5

---

# 目 录

第一章 绪论 .....	1
1.1 研究概况与背景 .....	1
1.2 认知无线电的历史 .....	1
1.3 论文结构 .....	2
第二章 认知无线电技术简介 .....	5
2.1 认知无线电的基本任务 .....	5
2.2 认知无线电的关键技术 .....	6
2.2.1 频谱检测技术 .....	6
2.2.2 频谱分析 .....	7
2.2.3 频谱共享 .....	8
2.2.4 功率控制技术 .....	8
第三章 认知无线电硬件系统设计 .....	11
3.1 总体方案设计 .....	11
3.2 FPGA 模块 .....	13
3.2.1 芯片介绍 .....	13
3.2.2 管脚分配 .....	16
3.2.3 配置模式 .....	17
3.3 DSP 模块 .....	18
3.3.1 芯片介绍 .....	18
3.3.2 管脚分配 .....	22
3.3.3 DSP 与 FLASH 的设置 .....	25
3.4 A/D 模块 .....	26
3.4.1 AD9230 .....	26
3.4.2 AD7825 .....	26
3.5 电源模块详细设计 .....	27
3.7 原理图及 PCB 设计 .....	30
3.7.1 原理图 .....	30
3.7.2 PCB 布局 .....	33
3.7.3 PCB 布线 .....	34
3.8 硬件成果 .....	36
第四章 硬件平台配置与接口实现 .....	37
4.1 认知板卡中的数据通信 .....	37
4.2 FPGA 的自定义接口实现 .....	37
4.3 DSP 与 PC 机的 UART 接口实现 .....	39
4.4 FPGA 与 DSP 的 EMIF 接口实现 .....	44
4.5 认知板 DSP 与通信板 DSP 的 SPI 接口实现 .....	47
结束语 .....	53
致谢 .....	55
参考文献 .....	57

---

## 第一章 绪论

### 1.1 研究概况与背景

对于认知无线电技术的讨论, 联邦通信委员会(FCC)一位名叫 Ed Thomas 的总工程师说过一句话: “如果你在任何时刻观察整个 100GHz 的频谱, 你会发现只使用了大约 5%到 10%的频谱, 因此大约还有 90GHz 的可用带宽”。由美国 FCC (其他国家也有类似的管制机构) 所规划的无线频谱, 分成了很多信道, 这些信道授权给个人, 企业和市政当局作为频谱的主要使用者, 大多数信道只有在很短的时间里使用, 这种使用方式对频率的利用率非常低。显然, 如果所有未得到有效利用的频率都开发出来, 那就可以容纳更多的无线用户而不需要开辟新的频带。

众所周知, 无线电频谱是宝贵的不可再生资源。随着无线通信的发展, 新的通信制式层出不穷, 频谱资源贫乏的问题日益严重, 尤其是在频率需求非常紧张的 30MHz-3GHz 无线频带中。而在目前的频谱授权分配的体制下, 某频段内频谱竞争激烈的授权用户却不能占用其他频段授权用户不用的频道, 造成了频谱利用率较低。在频谱资源贫乏和频谱利用率低的矛盾下, 认知无线电应运而生。

认知无线电(Cognitive Radio)是由 MITRE 公司顾问、瑞典皇家技术学院博士生约瑟夫·米托拉(Joseph. Mitola)和 GERALD Q. MAGUIRE, JR. 教授于 1999 年 8 月提出的。它是对软件无线电的进一步的扩展, 采用无线电域的基于模型的方法对控制无线电频谱使用的规则(如 RF 频段、空中接口、协议、以及空间和时间模式等)进行推理, 通过无线电知识表示语言来描述无线电规则、设备、软件模块、电波传播特性、网络、用户需求、和应用场景的知识, 以便增强个人业务的灵活性, 使软件无线电更好的满足用户的需求。

认知无线电是一个智能无线通信系统, 它能够感知外界环境, 并使用人工智能技术从环境中学习, 通过实时改变某些操作参数(比如传输功率, 载波频率和调制技术等), 使其适应接收到的无线信号的统计变化, 从而实现认知无线电的两个最主要目标——任何时间, 任何地点的高度可靠通信以及对频谱资料的有效利用。

### 1.2 认知无线电的历史

认知无线电是一种新兴的技术, 在目前的无线网络中, 在实际应用的角度来讲它还远远没有成熟。目前, 为了实现一个实用的认知无线电系统, 许多困难需要去克服。现在展望不同无线业务的认知无线电系统将呈现何种形式仍然为时尚早, 认知无线电技术的历史相对很短。



### 1. Mitola 的工作

关于认知无线电详尽的描述最早出现在 J.Mitola III 和 Gerald Q.Maguire 在 1999 年写的一篇文章里。2000 年, J.Mitola III 在博士论文中将认知无线电描述成软件无线电 (SDR) 的一种自然的拓展。Mitola 在其论文中当讨论到无线 PDA 的问题时, 他提出用认知无线电来标识无线 PDA 和相关网络: (1) 检测用户通信的需求; (2) 为这些需求提供适当的无线资源和业务。

### 2. FCC 的初衷

2002 年, FCC 的频谱政策任务小组的报告表明多数情况下, 大多数频谱都处于未使用的状态。因此, 人们渐渐意识到了频谱短缺的主要因数是旧的分配系统而不是本质上的频谱稀缺照成的。认知无线电技术基于更加成熟的智能方式对频谱进行分配, 完全可以增大网络运营商和个人用户享有的带宽资源。在 2002 年 12 月 30 日, FCC 发布的一篇文章指出认知无线电技术对如何以一种互不干扰的形式利用空闲的电视频段开展免授权业务提出了新的问题。FCC 特别指出, 免授权设备应当在发送数据前识别出未使用的频段, 也就是利用动态频率选择 (DFS) 和授权信号特征检测 (IPD) 算法。

2003 年 11 月 13 日, FCC 发布了 NOI 和一篇题为 “Establishment of an Interference Temperature Metric...” (FCC-02-328) 的 “规则制定建议通知”, 文章为量化和管理干扰而建议了一个干扰温度模型。该模型也表明, 为了使得干扰温度限制能够有效的以一种自适应或者实时的方式工作, 认知无线电需要进行测量而且需要一个响应过程。

### 3. 相关的 IEEE 标准

另外, IEEE 所进行的标准化工作与 FCC 同步。IEEE802 标准关于认知无线电标准包含了一个关于 IEEE802.11 或 802.11h 的修正案, 其中纳入了 IEEE802.11a 标准下 5GHz 频段的 DFS 和 TPC 协议。

## 1.3 论文结构

为了分析和研究具体的认知无线电技术, 需要结合具体的项目需求, 设计并实现具有认知能力的通信终端设备。与传统通信设备相比, 其中的核心模块是认知功能模块。论文的主要工作是认知板卡的硬件设计和底层开发, 也就是无线电硬件平台的实现, 以及接口驱动的编写调试和数据流向的控制。

第一章简要介绍认知无线电技术的背景、研究组织、应用、优势、前景、重要性等。

第二章主要介绍认知无线电的技术。

第三章介绍认知无线电系统设计, 包括整体说明, 硬件说明, 器件选择, 接

口设计和硬件设计等。

第四章详细介绍认知无线电硬件平台的具体实现以及数据流向的说明。



## 第二章 认知无线电技术简介

在认知无线电中,授权用户又被称为主用户或一级用户,顾名思义就是指拥有授权频段使用权的用户。在传统的静态频谱分配方式下,绝大多数的通信用户都属于授权用户,无论其是否需要使用,他们都始终独占某些频段。

认知用户又被成为次用户或二级用户,不固定占有任何频段,指利用授权频段或非授权频段中的空闲频道进行通信的用户。和其他非授权用户不同的是,此类用户的设备由认知无线电技术支持,保证其通信不会对授权用户产生严重影响。

根据用户的使用情况,可以将频段分为三种不同的情况:

- 白空:仅存在环境噪声量,如热噪声,瞬时反射,脉冲噪声等,能够被新的非授权认知业务利用的频率资源;
- 灰空:存在低功率的干扰,或者被部分占用,能够被非授权认知业务利用的频率资源,但是使用情况并非十分理想;
- 黑空:存在高功率的干扰,被原始分配业务占据,不能被非授权认知业务利用的频率资源。

### 2.1 认知无线电的基本任务

为实现系统参数可重新配置,认知无线电要使用软件无线电、信号处理、学习和决策理论以实现认知的功能,认知的主要工作包括:

#### 1. 无线频谱分析

估计无线环境干扰温度,检测空闲频谱。具体工作如下:

在接收端完成:估计干扰温度和检测空闲频谱,然后将信息传给发射机,以便发射机能够完成功率控制和动态频谱管理。可在发射端和接收端同时使用波束成形实现干扰控制。无线信道分析和无线空闲信道的检测可采用时间——频率分布统计或分段谱估计等方法。

#### 2. 信道识别

信道状态信息估计,预测发射机可使用的信道容量。主要任务是实时的估计和跟踪信道,通过学习和决策理论,判断信道质量变化的趋势,从而改变系统的调制方式、传输速率。信道状态估计需要接收机和发射机联合工作,同时需要计算发射机的发射功率和信道容量。

#### 3. 发射功率控制和动态频谱资源管理

动态频谱分配由发射端实现,完成认知周期中的多址接入控制。频谱分配的

主要任务是，研究一种自适应策略以提高 RF 频谱利用率。更明确的说，就是通过无线信道检测和分析获得的空闲频谱上，选择一种适合时变无线信道环境的调制方案，从而在任何时刻能够进行可靠的通信。

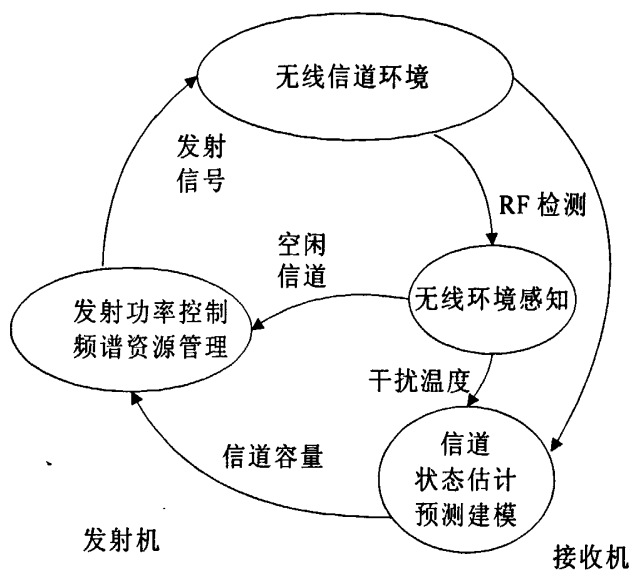


图 2.1 认知无线电的基本构成形式和组成部分

图 2.1 给出的示意图是认知无线电的基本构成形式和组成部分。这几个部分有机的结合，形成一个完整的认知周期。

## 2.2 认知无线电的关键技术

认知无线电是一种能够感知外部环境的智能无线通信技术，能主动对环境进行学习、预测和评估，根据外界环境的动态变化调整其自身的内部状态，主要功能是提高频谱利用率，同时有效避免外界的干扰。因此，认知无线电的关键技术就在于空闲频谱的接入，需要解决的三个问题就是发现空闲频谱、利用空闲频谱和协调空闲频谱。因此，认知无线电采用的关键技术至少应包括：频谱检测技术、频谱分析技术、频谱共享技术和功率控制技术。

### 2.2.1 频谱检测技术

认知无线电技术能够感知并且分析频段，找出适合通信的频谱空洞，利用某些特定的技术处理，在保证不影响已有通信系统的前提下进行工作。

认知无线电技术中，进行频谱检测即对所观察的频段进行干扰温度的估计。干扰温度可以看作是当前频段内干扰信号的功率谱密度，它是为了来量化和管理无线环境中的干扰问题而设定的。针对经过谱估计得到的干扰温度，可以给出干

扰温度界限。通过干扰温度界限可以对观测的频谱空洞进行选择,超过界限的干扰就可以认为这个频段是不符合通信要求的。

通常在接收端进行干扰温度的测量,将获得的信息通过系统预设的公共信道传送到发送端,并据此进行发射功率控制和动态频谱管理,同时发射端和接收端也可采用自适应的波束成型技术,进一步补充干扰控制。

认知无线电的频谱检测技术主要是对频谱空穴的检测,将授权用户和干扰噪声作为干扰统一处理。频谱空穴的准确检测和有效预测能大大增加频谱利用率,相比授权用户而言,认知用户显然只有更低的接入优先级,为避免对授权用户造成干扰,认知用户需要在独立的情况下(不需要与授权用户的协调)检测出频谱空穴。这要求认知用户能够实时地连续侦听环境频谱,以提高检测的准确性。

在认知无线电感知无线环境的工作中,如何让才能进行高效的无线频谱估计和分析师关键技术之一。频谱分析是一项相对比较成熟的数字信号处理技术。经过多年的发展,已经形成了众多各具特色的算法和理论。这些成果都可以使用在认知无线电技术中,但是由于认知无线电的特殊性,需要对这些技术进行合适的选取以及改动。

在认知无线电的早期,采用的检测方法有导频信号和周期平稳过程特征检测等,但是检测性能受多径和阴影衰落引起接收信号强度减弱的影响而降低。目前较为广泛接受的是采用合作分集的方法提高可靠检测率。合作分集方法允许认知用户之间相互交换侦听信息,采用类似路由表更新的方法实时更新可用频谱空穴表,这样可以显著提高频谱的检测能力。另外,最新的研究结果表明采用物理层和 MAC 层联合侦听的跨层设计可以极大地提高频谱检测能力。这种方法通过增强射频前端灵敏度,同时利用数字信号处理增益及用户间的合作来提高检测能力,得到了大家的广泛关注。

## 2.2.2 频谱分析

频谱分析是指在频谱感知得到的所有空闲或可用的信道中,分析频谱的参数信息,评估信道状况,为后面的频谱决策做准备。频谱分析的对象主要是空闲频段的频谱参数,包括:

(1) 无线链路差错:在无线物理媒体上传输的数据受到各种不可靠因素的影响而产生的差错称作链路差错。它依赖于调制机制和干扰级,随信道的差错率改变。

(2) 链路延迟:不同的路径损失、无线链路差错和干扰,在不同的频段需要不同的链路协议,造成了不同链路层包传输延迟。

(3) 干扰:主要指 CR 用户在主用户接收机处叠加的干扰功率。根据干扰

温度容限和主用户接收机处的干扰量，可以得到 CR 的发射功率，用来估计信道容量。

(4) 路径损失：指发射机和接收机之间由传播环境引入的损耗。随操作频段的增加而增加，因此高频时的传输范围减小。

(5) 保持时间：指 CR 用户在中断前占用授权信道的期望持续时间。显然，保持时间越长可用信道质量越好。

(6) 信道容量：频谱特征最重要的参数，可以从上述参数中推导出来。通常接收机处的 SNR 用于容量估计，但由于 SNR 只考虑 CR 的局部观察，不足以避免对主用户的干扰。因而，频谱分析集中在基于主用户接收机的干扰容量估计上，可利用前面提到的干扰温度模型。干扰温度容限显示了可以进入此频段的能量的上界，决定了 CR 用户的最大可传输功率。

### 2.2.3 频谱共享

通过频谱感知和频谱分析找到可用空闲频谱后，下面要做的就是频谱判决，即根据分析得到的频段特性和用户需求决定传输所使用的频段、传输速率等。频谱共享可以用来协调多个认知用户间的频谱选择，以最大化提高频谱利用率。频谱共享其实就是一个资源分配的问题，而博弈论可以有效地分析动态分布式资源问题，通常将反映实时认知用户交互过程的认知周期映射为一个博弈模型。由于经典的博弈模型不包含学习环节，因此目前研究的热点问题是采用一些嵌入学习功能的改进型博弈模型。当主用户再次出现时还需要考虑其信道选择方案，提出了两种接入方案：具有控制信道的频谱共享和无控制信道的频谱共享。前者是只要有空闲的子信道，主用户就可以选择空闲信道而不中断认知用户的通信；后者是主用户并不考虑认知用户是否占用信道，只要需要就占用原信道。在这两种方案中，带宽利用率和阻塞率并无明显差别，只是无控制信道的分配方案的强制中断率比较高，但可以采用智能调度算法来降低。

### 2.2.4 功率控制技术

采用 CR 技术实现频谱分配共享的前提是必须保证对主用户不造成干扰，而每个分布式操作的认知用户的功率分配是造成干扰的主要原因，因此需要研究适用于 CR 技术的分布式功率控制方法。首先考虑两用户（单个认知用户与主用户）共享频谱时的功率控制问题。一种可行的方法是将测量到的主用户接收机信号的本地信噪比（SNR）近似为认知用户与主用户间的距离，从而相应地调整认知用户的发射功率。此外，Clemens 等人提出了一种相对智能的功率分配策略，可将

博弈论和遗传算法相结合,即采用两用户重复博弈理论建模,借助遗传算法来搜索策略空间。这些方法可实现在保证主用户不受有害干扰的前提下“贪婪”地增加认知用户的发射功率。

对于既存在合作又存在竞争的多址 CR 系统,为避免多用户的冲突问题,分布式功率控制的研究更为重要。多址 CR 系统的发射功率受到给定的干扰温度和可用频谱空洞数量这两种网络资源的限制。到目前为止,一般主要应用信息论和博弈论来解决其功率控制的难题。多用户 CR 系统的功率控制问题首先可以看作是一个博弈论问题。若不考虑竞争现象,则可看作纯合作博弈,这样该问题就简化为一个最优控制理论问题。但是,这种简化没有考虑到各种影响决策因素之间的互动作用,限制了博弈论的应用范围。因此用博弈论方法研究的功率控制问题最终被归结为一个非合作博弈,目前主流的方法是采用 Markov 对策进行分析解决。实现功率控制的另一种方法是基于信息论的迭代注水法,分析表明迭代注水法更适用于多用户环境。





## 第三章 认知无线电硬件系统设计

### 3.1 总体方案设计

基于项目需求,需要构建一个认知无线电系统,能够完成简单的用户数据收发。于是设计了一个认知无线电实验系统工作场景,它是由1个中心管理节点,和两个用户群构成,每个用户群由一个干扰源和三个用户节点组成。

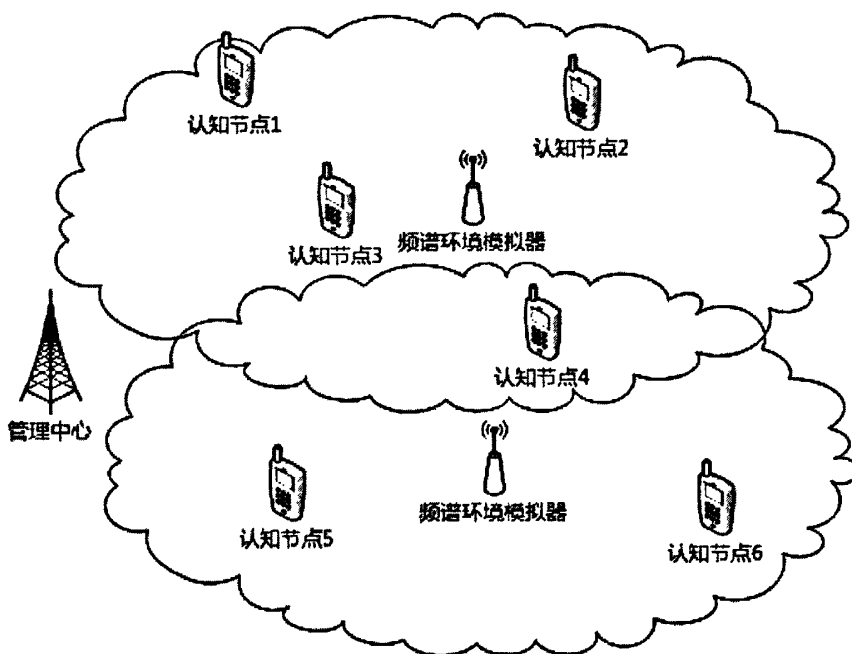


图 3.1 认知网络系统

下面给出认知无线网络的工作流程:

首先有通信请求时,中心节点通过轮询方式对各个用户开始点名,每个用户收到点名信息就给中心一个反馈信号。等到所有用户都点名答到后,中心通知所有用户对环境频谱开始检测,然后各个节点将频谱感知结果发送给中心进行判决。等中心将三个节点的信息统一并且选择出最佳通信频段后,在公共控制信道将信息发送给各个用户,用户收到后解析控制字,然后在中心节点制定的频段开始通信。接着开始检测和通信的循环,一个循环周期为 20s。

每个节点又由三个部分组成:认知板,通信板和射频板。如图 3.2 所示:

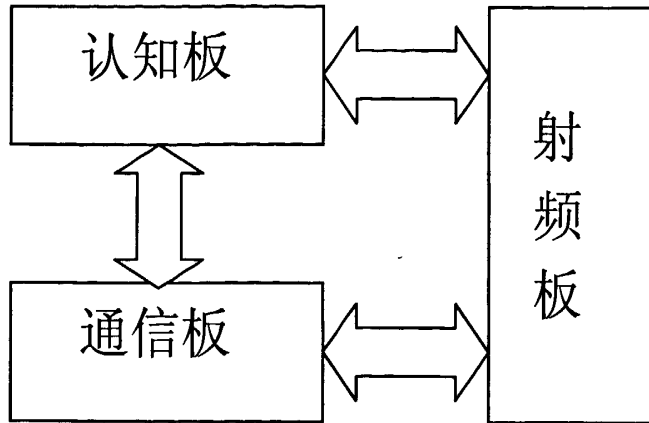


图 3.2 认知节点结构图

每个板卡有其独立的功能，但是它们即分工又合作共同来完成中心下达的感知通信任务：

- 射频板的主要功能就是所有空口信息的收发。
- 通信板的主要功能是将空口信息进行调制解调，选择最好的调制方式，以最快速，最高效的方式将用户数据发送出去。
- 认知板也就是我这篇论文的主要内容，完成的功能是一个逻辑以及数据流向的控制，也就是完成感知、频谱管理、频谱分配控制、逻辑操作等工作。

认知板卡工作时可以分为两个不同的阶段：

1. 感知阶段：首先中心给用户制定了对特定频率的检测后，认知板要将频率控制字发送给射频板，射频板才可以在正确的频率上进行频谱扫描，频率控制字的具体含义在随后的章节中有详细说明。为了在 PC 机上形象的将频谱信息显示出来，认知板还需将射频板发来的模拟数据通过 A/D 的转化以及 FPGA 对其进行 FFT 变换的频域信息通过 DSP 发送出去。
2. 通信阶段：认知板将控制字信息发送给通信板，以便通信板对调制方式，通信带宽进行选择。

为了实现上述功能，我们必须构建一个基于可编程逻辑器件的软件无线电的硬件平台，来具体实现认知板卡的各项功能。

经过设计，形成认知板卡的硬件结构图：

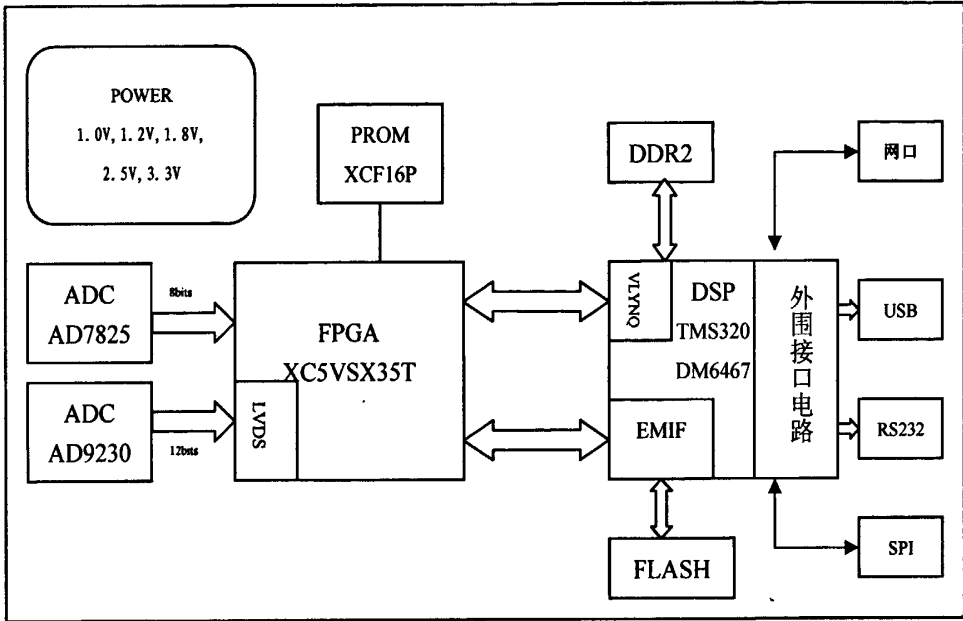


图 3.3 认知板卡的硬件结构图

本硬件平台用于支撑实验室的认知无线电系统平台的搭建。项目的要求的灵活度非常高，因此在总体方案设计上围绕着可编程器件设计的，在其它外围电路设计和器件选择上按最大的要求设计，尽量做到可以进行软件上的功能升级。

设计的平台主要包括两个可编程器件：一片 Xilinx Virtex-5 FPGA 和一片 Ti TMS320DM6467 双核 DSP。AD 选择的是一个 AD9230 和一个 AD7825 在可编程器件的封装选择上，选择可以兼容多个不同型号的封装，这样可以针对不同需要选择规模不同的型号。

同时，为了确保方案的可实现性、先进性以及考虑到将来进一步研究的冗余度，还适当的有一些冗余设计，如可编程器件之间的接口就留有多种方式可供选择，同时还要留有一定通信接口，和其它的外设。

## 3.2 FPGA 模块

FPGA 由于其强大的实时计算能力，众多的 I/O 管脚，可以最好的满足对频谱的感知和实时监控功能。于是选择 Xilinx 公司 XC5VSX35T 的 FPGA 对频谱进行实时的感知分析以及监控。

### 3.2.1 芯片介绍

Virtex-5 系列可提供 FPGA 市场中最新最强大的功能。Virtex-5 系列采用第二代 ASMBL（高级硅片组合模块）列式架构，包含五种截然不同的平台（子

系列),比此前任何 FPGA 系列提供的选择范围都大。每种平台都包含不同的功能配比,以满足诸多高级逻辑设计的需求。除了最先进的高性能逻辑架构,Virtex-5 FPGA 还包含多种硬 IP 系统级模块,包括强大的 36 Kb Block RAM/FIFO、第二代 25 x 18DSP Slice、带有内置数控阻抗的 SelectIO 技术、ChipSync 源同步接口模块、系统监视器功能、带有集成 DCM (数字时钟管理器)和锁相环 (PLL) 时钟发生器的增强型时钟管理模块以及高级配置选项。其他基于平台的功能包括针对增强型串行连接的电源优化高速串行收发器模块、兼容 PCI Express 的集成端点模块、三态以太网 MAC (媒体访问控制器)和高性能 PowerPC 440 微处理器嵌入式模块。这些功能使高级逻辑设计人员能够在其基于 FPGA 的系统中体现最高档次的性能和功能。Virtex-5 FPGA 以最先进的 65 nm 铜工艺技术为基础,是自定义 ASIC 技术的可编程替代方案。大多数高级系统设计都需要 FPGA 的可编程能力。Virtex-5 FPGA 以前所未有的逻辑、DSP、软 / 硬微处理器和连接功能提供最佳解决方案,可满足高性能逻辑设计人员、高性能 DSP 设计人员和高性能嵌入式系统设计人员的需求。Virtex-5 LXT、SXT、TXT 和 FXT 平台具有先进的高速串行连接功能和链路/事务层功能。主要特征有<sup>[8]</sup>:

➤ LX、LXT、SXT、TXT 和 FXT 五个平台

Virtex-5 LX: 高性能通用逻辑应用;

Virtex-5 LXT: 具有高级串行连接功能的高性能逻辑;

Virtex-5 SXT: 具有高级串行连接功能的高性能信号处理应用;

Virtex-5 TXT: 具有双密度高级串行连接功能的高性能系统;

Virtex-5 FXT: 具有高级串行连接功能的高性能嵌入式系统;

➤ 跨平台兼容性

LXT、SXT 和 FXT 器件使用可调稳压器,同样封装中引脚兼容;

➤ 最先进的最佳利用率高性能 FPGA 架构

真 6 输入查找表 (LUT) 技术;

双 5-LUT 选项;

改进的布线减少了中间连线;

64 位分布式 RAM 选项;

SRL32/ 双 SRL16 选项;

➤ 强大的时钟管理模块 (CMT) 时钟控制

具有零延迟缓冲、频率综合和时钟相移功能的数字时钟管理器模块;

具有输入抖动滤波、零延迟缓冲、频率综合和相位匹配时钟分频功能的 PLL 模块;

➤ 36 Kb Block RAM/FIFO

真双端口 RAM 模块;

增强的可选可编程 FIFO 逻辑;

可编程

高达 36 倍的真双端口宽度;

高达 72 倍的简单双端口宽度;

内置可选纠错电路;

可选择将每个模块作为两个独立的 18 Kb 模块进行编程;

➤ 高性能并行 SelectIO 技术

1.2 到 3.3V I/O 运行;

使用 ChipSync 技术的源同步接口连接;

数控阻抗 (DCI) 有效终端;

灵活的细粒度 I/O 分组;

支持高速存储器接口;

➤ 高级 DSP48E Slice

25 x 18 补码乘法运算;

可选加法器、减法和累加器;

可选流水线功能;

可选按位逻辑功能;

专用的级联连接;

➤ 灵活的配置选项

SPI 和并行 FLASH 接口;

专用的回读重新配置逻辑, 可支持多比特流;

自动总线宽度检测功能;

➤ 所有器件都有系统监视功能

片上 / 片外热特性监视;

片上 / 片外电源监视;

通过 JTAG 端口访问所有监视量;

➤ PCI Express 集成端点模块

LXT、SXT、TXT 和 FXT 平台;

符合 PCI Express 基本规范 1.1;

每模块支持 1 倍、4 倍或 8 倍通道宽度;

与 RocketIO 收发器配合使用;

➤ 三态 10/100/1000 Mb/s 以太网 MAC

LXT、SXT、TXT 和 FXT 平台可以将 RocketIO 收发器用作 PHY，也可以用多种软 MII（媒体独立接口）方案将其连接到外部 PHY；

➤ 100 Mb/s 到 3.75 Gb/s 的 RocketIO GTP 收发器

LXT 和 SXT 平台；

➤ 150 Mb/s 到 6.5 Gb/s 的 RocketIO GTX 收发器

TXT 和 FXT 平台；

➤ PowerPC 440 微处理器

仅 FXT 平台；

RISC 架构；

七级流水线；

包括 32 KB 的指令和数据缓存；

➤ 优化的处理器接口结构（纵横机）

➤ 65 nm 铜 CMOS 工艺技术

➤ 1.0V 内核电压

➤ 可选择标准或无铅的具有高度信号完整性的倒装芯片封装

### 3.2.2 管脚分配

Virtex-5 系列 FPGA 将 I/O 管脚分成多个 Bank，每个 Bank 可以根据需要设置成不同的电平标准，以及使用不同的端接实现阻抗匹配。

本系统 FPGA 选用的封装是 BGA 封装 FF665，根据型号、规模的不同，除去电源，会有最大 360 个 I/O 管脚。这些 I/O 分成多个 Bank。综合考虑 FPGA 的外部电路及板子布局和布线需要，各个 Bank 的分配如下表：

表 3.1 IO Bank 分配情况

与 FPGA 相连的器件信号	占用的 IO Bank
DSPs (EMIF, VLYNQ)	Bank 11,13,15,16
AD9230 (CLK,DATA)	Bank 17, 18
AD7825 (CONVST, EOC, DATA, RD)	Bank 12
其它 (外部时钟, 测试管脚)	Bank 4, 11, 13

其中外部时钟是接在 Bank 4 的全局时钟管脚上。

因为本硬件平台使用的芯片大部分管脚间距都很小，DSP 的甚至是 BGA 封装，没有外露管脚，这样不利于调试时测试。所以，设计时在 FPGA 上引出了 18 个管脚，可以用于测试或者扩展使用，也可以几个接到发光二极管上的，调试时可以将 DSP 上的总线信号用 FPGA 内部逻辑引到测试管脚上，用逻辑分析

仪测试。

### 3.2.3 配置模式

FPGA 是基于 SRAM 结构的，每次掉电之后配置数据就丢失了，工作之前需要从芯片外部重新配置，这也是它的优势所在，只要更改它的配置数据，就能实现不同功能，甚至可以在工作时动态更改。Xilinx 有专门的 Flash PROM 产品用于存储配置数据。

Virtex-5 系列 FPGA 有多种配置方式：串行、并行、JTAG，8 位，32 位。由 M0, M1, M2 三个管脚的电平来确定，表 3.2 所示。

表 3.2 Virtex-5 配置模式选择

Configuration Mode	M[2:0]	Bus Width	CCLK Direction
Master Serial <sup>(2)</sup>	000	1	Output
Master SPI <sup>(2)</sup>	001	1	Output
Master BPI-Up <sup>(2)</sup>	010	8, 16	Output
Master BPI-Down <sup>(2)</sup>	011	8, 16	Output
Master SelectMAP <sup>(2)</sup>	100	8, 16	Output
JTAG	101	1	Input (TCK)
Slave SelectMAP	110	8, 16, 32	Input
Slave Serial	111	1	Input

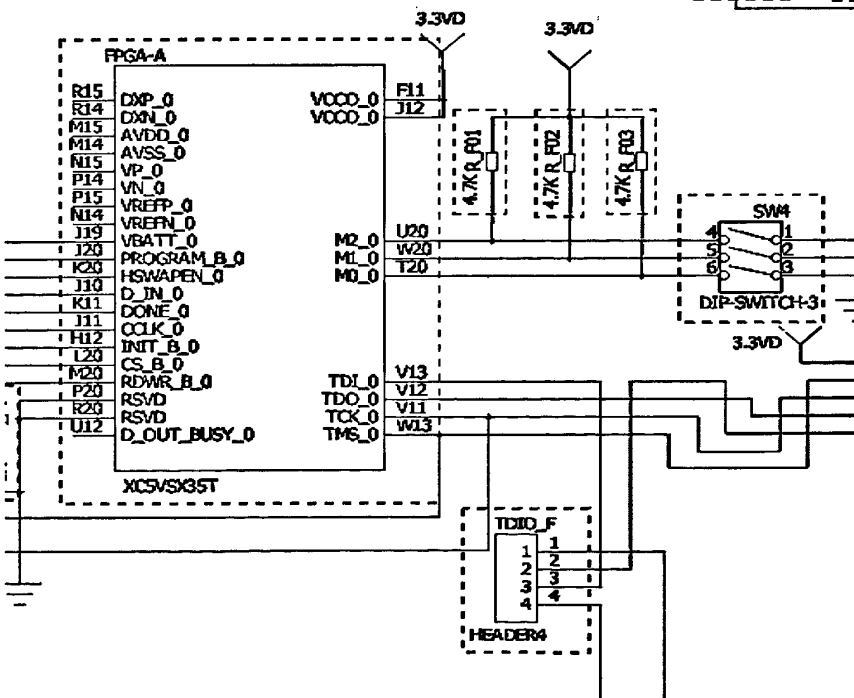


图 3.4 FPGA 的配置电路



本系统的配置芯片选用 Xilinx 公司推荐的 XCF16P, 1.8V 供电, 支持串行和并行配置接口, 16M-bit 的大小, 可以满足 FF665 封装能够支持的最大规模 FPGA 的要求。配置电路设计成支持包括除 Slave SelectMAP32 的其它五种方式, 如图所示。通过开关设置 M0、M1、M2 的电平来选择配置方式。

### 3.3 DSP 模块

DSP 由于可以用 C 语言编程实现功能, 我们用它来对数据进行逻辑控制以及算法的实现。

#### 3.3.1 芯片介绍

TMS320DM6467 是 TI 公司针对通信应用推出新一代高性能 32-bit 定点 DSP, 是一个双核 DSP, 由一个 C64+ 和一个 ARM9 构成。

DM6467 数字媒体处理器的具体特征<sup>[9]</sup>如下:

➤ 高性能数字媒体 SoC

594MHZ 时钟速率的 C64x+DSP 核;

297MHZ 时钟速率的 ARM926EJ-S;

每个时钟周期可以运行 8 条 32bit 的 C64x+指令;

DSP 运算能力达到 4752MIPS;

同 C64x DSP、ARM9 处理器软件兼容;

➤ 先进的具有超长指令字的 TMS320C64x+DSP 内核

8 个高度独立的功能模块;

6 个 ALU (32-/40-比特), 每一个都能在一个周期内完成单 32bit;

双组 16bit 或四组 8bit 的算法;

两个乘法器可在一个周期内完成 4 组 16×16 bit 乘法 (32bit 结果) 或 8 组 8×8 bit 乘法 (16bit 结果);

支持非对齐方式 (32 位和 64 位) 的存取结构;

64 个 32bit 通用寄存器;

指令打包以减少代码量;

所有指令都可以条件执行;

其他的 C64x+的增强功能;

受保护的模式操作 (一种 2 层的带特权的程序执行系统, 支持更大容量的操作系统和存储器保护等系统特性);

异常支持, 以便错误检测和程序的重定向, 保证代码执行的健壮性;

硬件支持块循环操作以减少代码量;

➤ C64x+指令设置特点

比特寻址 (支持 8/16/32/64bit 数据, 为各种应用提供有效的存储器支持);

8bit 溢出保护;

域操作和指令提取、置位、清除及位计数, 支持控制和运算中常见的各种操作;

饱和及归一化, 支持主要的算术运算;

紧凑 16 位指令: 通常的指令 (AND、ADD、LD、MPY) 等有 16 位的版本, 以减少代码量;

增加指令来支持复杂乘法;

➤ C64x+L1/L2 存储器结构

L1P 存储器包括 32KB RAM。允许用户将 L1P RAM 的全部或部分配置成通常的程序 RAM 或 Cache。可以配置的 Cache 的大小为 32KB, RAM 中的 0KB、4KB、8KB、16KB 和 32KB;

L1D 存储器包括 32KB RAM。允许用户将 L1D RAM 的全部或部分配置成通常的数据 RAM 或 Cache。可以配置的 Cache 的大小为 32KB RAM 中的 0KB、4KB、8KB、16KB 和 32KB;

L2 存储器包括 128KB RAM。允许用户将 L2 RAM 的全部或部分配置成通常的 RAM 或 Cache。可以配置的 Cache 的大小为 128KB RAM 中的 0KB、4KB、8KB、16KB、32KB、64KB 和 128KB;

➤ ARM926EJ-S 内核

支持 32bit 或 16bit 的指令 (配备 Thumb 扩展);

DSP 指令扩展和单周期的乘法 - 累加单元 (MAC), 提高 16 位定点运算性能;

ARM Jazelle 技术;

为了进行实时调试的嵌入式 ICE 逻辑;

➤ ARM9 内存结构

16K-Byte 指令 Cache;

8K-Byte 数据 Cache;

16K-Byte 内部 RAM (访问宽度 32 位);

8K-Byte 内部 ROM (作为可选的非 AEMIF 引导方式的 ARM 引导);

➤ 嵌入式的跟踪缓冲器 (ETB), 带有 4KB 内存以便 ARM9 调试

➤ 数据对齐方式: ARM 和 DSP 均为小头对齐 (Little Endian)

➤ 两个可编程的高清视频图像协处理器 (HD-VICP) 引擎

支持一系列的解码、编码和转码操作:

- H.264, MPEG-2, VC1, MPEG-4, SP/ASP.

- 视频接口 (VPIF)

可配置为两个 8 位 SD (BT.656), 或者一个 16 位 HD (BT.1120), 或者一个原始视频捕获通道 (8 位/10 位/12 位);

可配置为两个 8 位 SD (BT.656), 或者一个 16 位 HD (BT.1120) 视频显示通道;

- 视频数据转换引擎 (VDCE)

水平、垂直下调节 (downscaling);

色度转换 (4:2:2 $\leftrightarrow$ 4:2:0);

- 两个传送流接口 (TSIF) 模块 (一个可配置为并行/串行, 一个只能做串行)

MPEG 标准的传送流接口;

可配置成同步或异步的传送流输入输出接口;

完全时间标签 (ATS) 检测;

7 路 PID 过滤器;

为了系统时钟恢复的参考时钟产生器模块 (CRGEN);

- 外部存储器接口 (EMIFs)

32 位 DDR2 SDRAM 存储器接口, 可寻址 256MB 的地址空间 (1.8V I/O);

异步 16 位宽 EMIF, 可外接 8 位/16 位 NOR Flash 和 NAND Flash, 有效寻址空间达 128MB;

- 增强的 EDMA 控制器, 同时支持 64 个独立通道

- 10/100/1000Mbps 以太网媒体访问控制器 (EMAC)

兼容 IEEE802.3 标准 (3.3V I/O);

支持媒体独立接口 (MII) 和千兆媒体独立接口 (GMII);

管理数据输入输出模块 (MDIO);

- 集成 PHY 的 USB2.0 端口

支持 USB2.0 High/Full (480Mbps) 速度的客户端;

支持 USB2.0 High/Full/Low 速度的主机端;

- 32 位, 33MHz, 3.3V 外设组件互连 (PCI) 主/从接口

遵从 PCI 2.3 规范;

- 两个 64 位可编程通用定时器 (每一个可配置为双 32 位定时器)

- 一个 64 位看门狗定时器

- 三个可编程的通用异步收发器/红外数据连接/约定信息速率

(UART/IrDA/CIR) 模块 (一个带有调制解调器功能控制信号)

支持高达 1.8432Mbps 的 UART;

SIR 和 MIR 的红外标准 (0.576Mbaud);

带有可编程数据编码功能的 CIR;

➤ 一个串行外设接口 (SPI), 支持 2 个 SPI 从器件的多片选操作

➤ 主/从 I<sup>2</sup>C 模块

➤ 两个多通道音频串口 (McASP)

一个四路串行发送/接收端口;

一个单路 DIT 传送口为支持 S/PDIF;

➤ 32 位主机接口 (HPI)

➤ VLYNQ 接口 (FPGA 接口)

➤ 两个脉冲宽度调制器 (PWM) 输出

➤ ATA/ATAPI I/F 接口, 符合 ATA/ATAPI-6 标准

➤ 33 个通用输入/输出管脚 (GPIO) (与其他设备功能复用)

➤ ARM 片内 ROM 启动 (RBL)

➤ 灵活的 PLL 时钟产生器

➤ IEEE-1149.1 标准的 JTAG

➤ 361 脚无铅 BGA 封装, 0.8mm 球栅间距

➤ 90nm、7 级 CMOS 工艺

➤ 3.3V、1.8V、1.2V 内部电压

下面给出 DM6467 的系统框图:

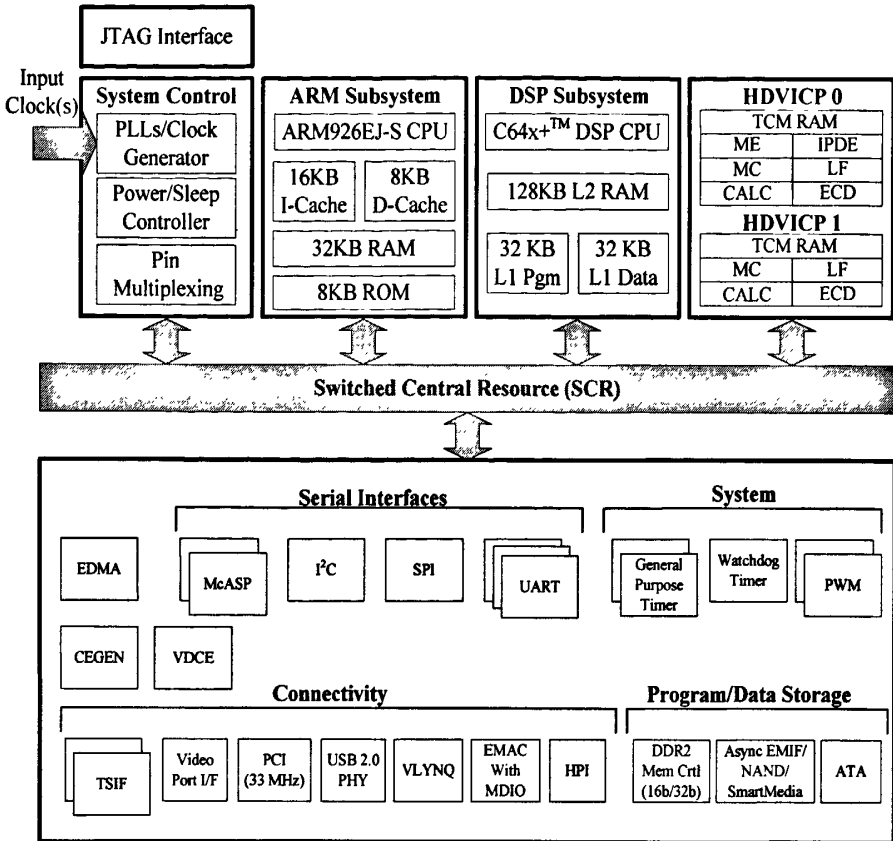


图 3.5 TMS320DM6467 的系统框图

### 3.3.2 管脚分配

TMS320DM6467 系列有一系列管脚用于芯片工作模式的设置，由于双核芯片包含 ARM9 和 C64+，在工作芯片复位时，首先检测这些管脚的输入电平，决定芯片的时钟、Endian 模式和加载模式等。

#### ➤ 时钟

TMS320DM6467 DSP 系列的芯片内部集成有可配置的锁相环 PLL 模块，外部输入时钟信号通过 CLKIN 引脚进入 PLL，经过模式选择可以选择以倍频模式或者直通模式产生 CPU 时钟，并分频产生各种外设需要的时钟。和其他 DSP 不同的是，DM6467 的时钟分为主时钟和辅助时钟。时钟 PLL 模块结构图如图 3.6 所示：

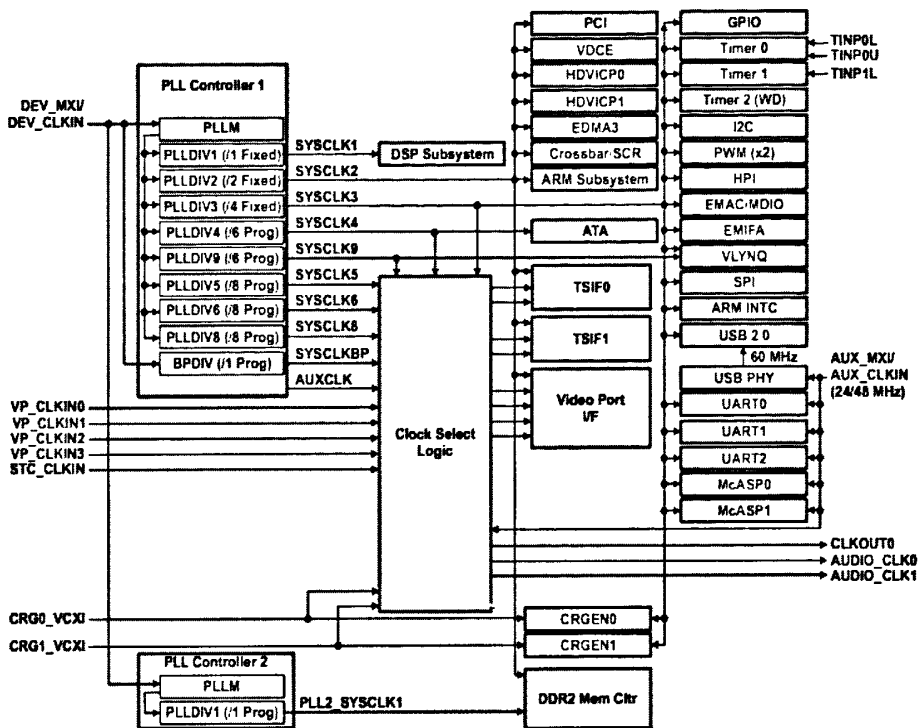


图 3.6 TMS320DM6467 的 PLL 及时钟产生逻辑

如图 3.6，通过对 ARM 的 timer 的寄存器进行配置，可以将输入时钟的倍频和分频，DSP 和外设提供时钟。对于输入时钟频率、CPU 工作频率和其他外设的工作频率，DM6467 要求有频率要求，主频率为 27MHz, 辅助频率为 24MHz 可以采用有源晶振或者无源晶振的方式，本平台采用的是有源晶振，在选取有源晶振时电压要特别注意，这里要求的是 1.8V 的电压。但是在市场上不容易买到这样的电压的晶振影响开发进度。所以推荐使用无源晶振。下面是 PLL 的时钟接法：

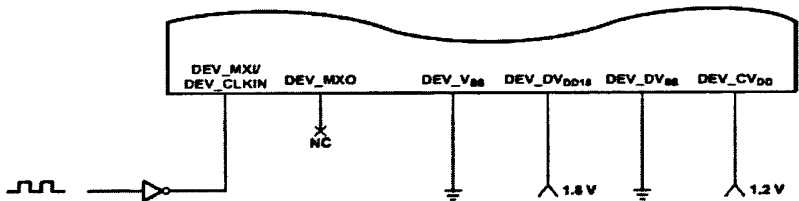


图 3.7 PLL 时钟的第一种接法

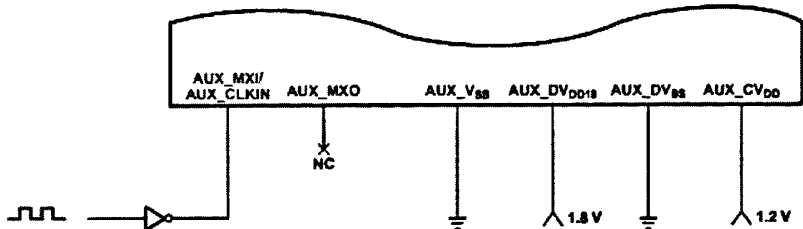


图 3.8 PLL 的第二种接法

### ➤ Endian模式

Endian 是指在存取一个数据时,当物理上的最小单元比逻辑上的最小单元小时,逻辑到物理的单元排布关系。其目的是为了保证在字长不同的系统之间传递数据的正确性。

本硬件平台由包含一个 DSP 和一个 FPGA 两个控制器,如果 FPGA 使用的是集成了 PowerPC,就更要考虑 Endian 模式的问题了。

表 3.3 TMS320DM6467 的加载模式设置

BTMODE[3:0]	ARM Boot Mode
0000	Emulation Boot (PCIEN = 0)
0001	Reserved
0010	HPI Boot (16-Bit width) (if PCIEN = 0) or PCI Boot without auto-initialization (if PCIEN = 1)
0011	HPI Boot (32-Bit width) (if PCIEN = 0) or PCI Boot with auto-initialization (if PCIEN = 1)
0100	EMIFA Direct Boot (ROM/NOR) (PCIEN = 0) [error if PCIEN = 1; defaults to UART0]
0101	Reserved
0110	I2C Boot
0111	NAND Flash Boot (PCIEN = 0) [error if PCIEN = 1]
1000	UART0 Boot
1001	Reserved
1010	Reserved
1011	Reserved
1100 - 1101	Reserved
1110	SPI Boot
1111	Reserved

TMS320DM6467 仅支持 Little Endian 模式: Endianness: Little Endian for ARM and DSP。

### ➤ 引导方式

TMS320DM6467 芯片的复位有两个,一个软复位和一个硬复位,在连接 JTAG 时有时需要上电后按下软复位,才能连接。这是由于 DM6467 启动时有一个时序的要求。DSP 的启动方式主要是靠拨码开关来控制。TMS320DM6467 有多种引导模式,与 BTMODE[3: 0]的对应关系如表 3.3 所示。

本硬件平台的加载模式设置同样设计成拨码开关方式,可以根据需要选择。

DSP 外部配有 512M-bit 的 FLASH, 使用 512M×8-bit 的方式。所以, 加载模式 (SW1-4)可以在 0000-JTAG 或 0111-FLASH 两种模式中选择。另外三个开关, 只有其中一个很重要是 CS2BW(SW5)选择 EMIFA 的数据线的位数, CS2BW=1,8-bit-wide, CS2BW,16-bit-wide。

#### ► 其它

DSP 芯片的设置还包括存储器空间映射, 计数器, 中断控制, 通用 I/O 口等的设置, 这些都是通过软件设置的。

### 3.3.3 DSP 的 FLASH 设置

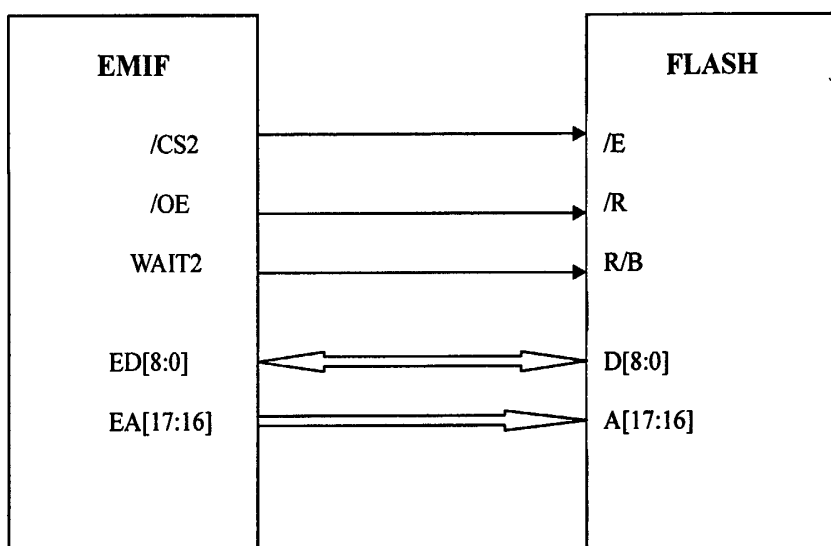


图 3.9 DSP 与 FLASH 的接口示意图

FLASH选用的是意法半导体公司的NAND512W3A3BN1E, 最快接入时间为 50ns, 容量为512M-bit, 可以设置成512M×8-bit, 本系统使用的是512M×8-bit模式, 接口信号连接如图3.9。

DM6467的EMIF在异步接口上还提供了WAIT信号, 这里用的是WAIT2这样, 进行异步接口时, 除了可以在控制寄存器中设置它的读写周期时间参数外, 还可以利用WAIT信号在Strobe阶段插入额外的等待周期, 使异步接口功能更为完善。DSP会在Strobe阶段结束周期的时钟上升沿采样WAIT2信号, 如果为低, 则将Strobe延长1个EMIF的工作时钟周期(相当于硬件等待), 以后每个时钟上升沿仍会采样WAIT管脚的电平, 直到其变为高。在这里DSP 的EMIF是复用的, 连接FPGA和FLASH, 所以通过片选CS2来选中FLASH来工作。OE用来控制对FLASH的读写操作。FLASH上的写保护通过外接跳线来读芯片进行保护, 当电平为低时, 不接受任何编程和擦写操作, 从而起到保护芯片程序的作用。



### 3.4 A/D 模块

#### 3.4.1 AD9230

AD9230 的主要功能是将射频板卡给的模拟信号转化成数字信号。

AD9230 主要和 FPGA 连接的是 12 位数据线和时钟线，由于是差分的，注意连接的 FPGA 的 bank 层的供电要是 2.5V。

这是我们设计时 AD 前端的参考电路图：

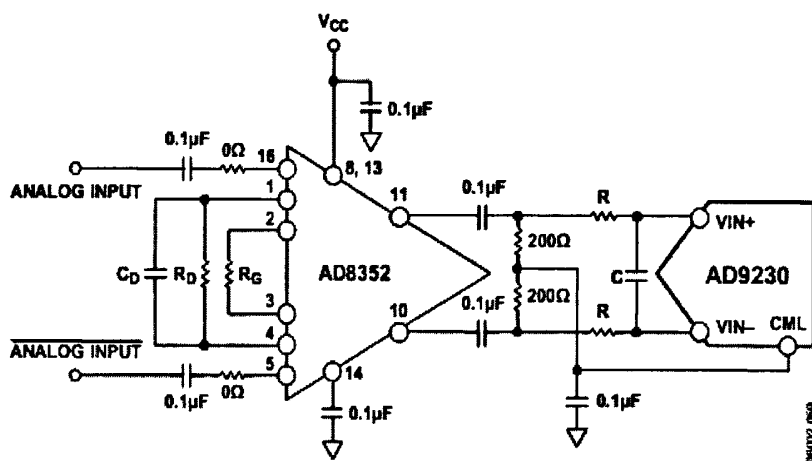


图 3.10 AD 前端参考电路

在后期调试时由于前端放大 AD8352 的输入的频率的要求，我们用飞线的方式将 AD9230 的前端电路的设计改为：

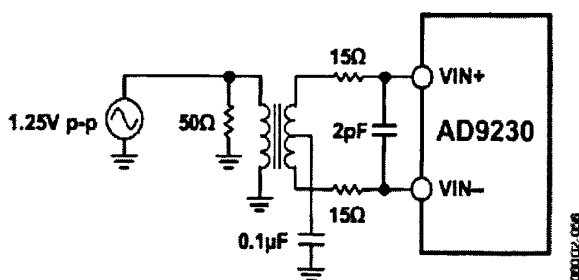


图 3.11 修改后的参考电路

这是在调试的基础上修改的，修改后输入的动态范围得到了明显的改善，这是因为我们要求输入的中频的频率为 30MHz，频率比较低。而上一个电路的设计适用的频率在 70MHz 以上，所以转换的动态范围很小，并且精度受到很大的影响，修改后更适合我们的要求。

#### 3.4.2 AD7825

由于 FPGA 得到的模拟信号是经过前端放大或缩小的,于是我们必须有一个模拟参考电平才能正确的还原真实信号,而 AD7825 功能就是给 FPGA 发送一个模拟参考电平。

在电平上都为 3.3V,由 FPGA 编程控制 AD7825 的工作。

#### ► 工作方式:

AD7825 转换启动与关断功能结合在一个引脚上,即 CONVST 引脚,这样便可实现在一次转换结束时自动关断的独特省电模式。当转换结束,即 EOC(转换结束)信号变为高电平后,会对/CONVST 引脚上的逻辑电平进行采样。如果它在该点为逻辑低电平,则 ADC 关断。AD7825 还具有单独的关断引脚。

AD7825 工作在 automatic powerdown,此模式下 AD7825 的操作时序为:AD7825 在 CONVST 信号下降沿开始进行数据转换,数据转换完成后输出转换结束指示信号 EOC,控制电路 FPGA 检测到 EOC 信号后,复位 RD 信号使 AD7825 输出 8 位转换结果 在 RD 信号下降沿 AD7825 将锁存下一个待转换通道。AD7825 有四个输入通道,由于我们只用一个通道,所以 A0,A1,A2 地址线都接地置零选择一通道。

### 3.5 电源模块详细设计

对于一个电子系统来说,电源部分的设计越来越重要。本平台由外部电源提供 5V 的电压,再由板子上的芯片提供所需的电源。

电源分数字电源和模拟电源主要为了减少干扰。两个电源还是一样的,还是连接在一起的,中间用小阻值的电阻连接,最好是用磁珠连接。

与数字电源和模拟电源对应的是模拟地数字地。模拟信号和数字信号都要回流到地,因为数字信号变化速度快,从而在数字地上引起的噪声就会很大,而模拟信号是需要一个干净的地参考工作的。如果模拟地和数字地混在一起,噪声就会影响到模拟信号。一般来说,模拟地和数字地要分开处理,然后通过细的走线连在一起,或者单点接在一起。总的思想是尽量阻隔数字地上的噪声窜到模拟地上。当然这也不是非常严格的要求模拟地和数字地必须分开,如果模拟部分附近的数字地还是很干净的。

根据分析系统需求得出的具体技术指标,可以来选择合适的电源实现电路了。一般对于弱电部分,包括了 LDO(线性电源转换器),开关电源电容降压转换器和开关电源电感电容转换器。相比之下,LDO 设计最易实现,输出纹波小,但缺点是效率有可能不高,发热量大,可提供的电流相较开关电源不大等等。而开关电源电路设计灵活,效率高,但纹波大,实现比较复杂,调试比较烦琐等等。

本平台两种电源都采用的了,采用的标准是,内核电压低的,电流大,为了

使效率利用比较高采用的是开关电源,如: 1.0VD,1.2VD.以及器件用的多的电源, 电流输入比较大也用的开关电源: 3.3VD,1.8VD.线性电源采用的是 2.5VD。

在本平台中有两个 2.5V 的电源供电, 主要是因为两个的供电的电流不同。这里是 FPGA 有要求一个辅助电源的供电 2.5VD 电流供应有些不同, 这里单独供电的。

数字电源比较多。本系统使用到 FPGA, DSP 的核心电源和 I/O 口电源各不相同。FPGA 的核电源是 1.0V, 由于 FPGA 可以支持多种电平的借口, I/O 口的电源根据其它器件确定, 为 3.3V 和 2.5V, FPGA 的配置芯片的核电源为 1.8V, DSP 的核电源要求是 1.2V, I/O 口电源 3.3V, 剩余板上的器件基本都是 3.3V 电平的芯片。所以总共需要转换成的电压值为: 1.0V, 1.2V, 1.8V, 2.5V (A), 2.5V (B), 3.3V。

表 3.4 电源的类型

开关电源	PTH08T240WAD 转换到 1.2V
	TPS54310PW 转换 3.3V 和 1.8V
	PTV05010WAD 转换到 1.0V
	PTH05000WAD 转换到 2.5V
线性电源	LT1764AEQ-2.5 转换电压到 2.5VAUX (FPGA 的辅助电压)

下面给出电源的电路图:

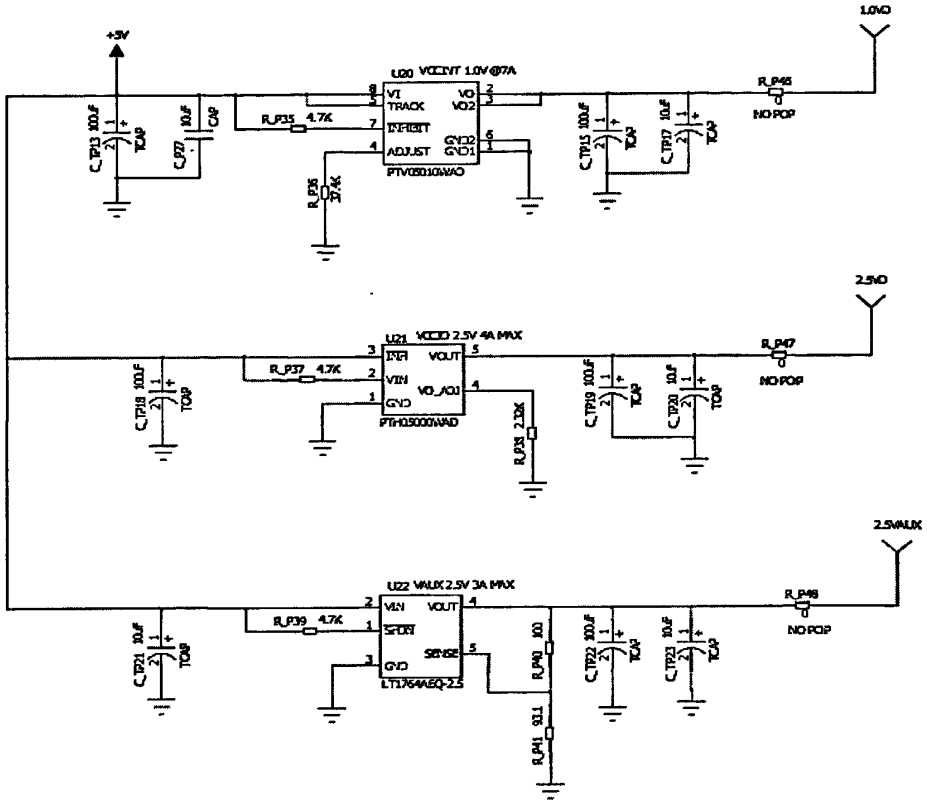


图 3.12 数字电源电路图一

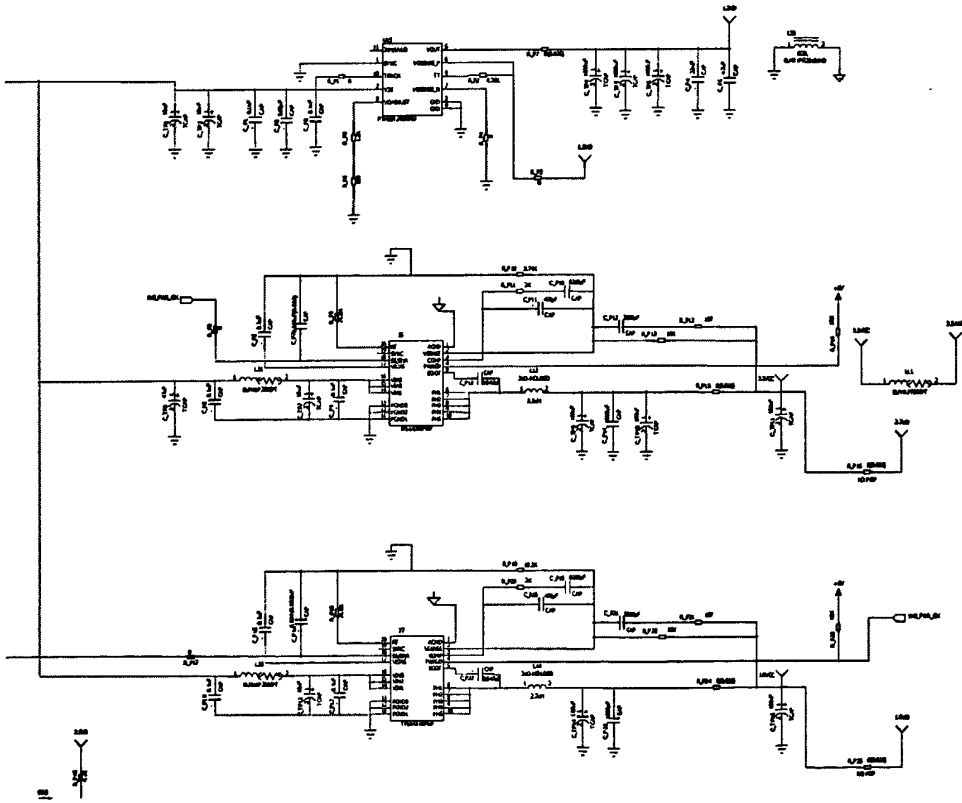


图 3.13 数字电源电路图二

电源电路的输出输出通过低阻值大功率电阻接到板内,这样在不焊电阻的情况下可以先做到电源电路的先调试,避开后面电路的影响。

般来说开关控制器是闭环系统,如果输出恶化的情况超过了闭环可以控制的范围,开关电源就会工作不正常,所以这种情况就需要认真检查反馈和采样电路。特别是如果采用了大 ESR 值的输出电容,会产生很多的电源纹波,这也会影响开关电源的工作的。

在选好电源后按照参考电路连接就可以了,这里要注意的是供电的顺序对于芯片来说有要求。本平台中 FPGA 和 DSP 要求先内核电压供电再外围的 I/O 电压供电。这里功能的实现通过对电源芯片的 TPS54310PWP 的软启动(SS/ENA)来实现,也可以看作使能,这个芯片供电为 3.3V 和 1.8V.可以通过先内核电压先供电后,将内核电压的电平连接到这个管脚上,使能这个芯片工作,从而完成供电顺序。另一种方式软启动,通过调节这个芯片外围电路的电阻和电容,调节转换时间,使供电的时间上落后于内核电压。从而完成供电顺序。在本平台中通过使能的方式来实现。

### 3.7 原理图及 PCB 设计

本硬件平台的原理图绘制,PCB 的布局和布线,都是在 PADS2007 的集成开发环境下完成的。

#### 3.7.1 原理图

硬件平台上有两个主要元件信号管脚比较多(TMS320DM6467 都是 529 个管脚,FPGA 是 665 个管脚);几个芯片都要互有通信,连线也比较复杂。画在一个原理图里不便于检查及阅读,所以,绘制原理图时,采用模块化原理图,按核心元件的功能分为电源模块,DSP 模块,FPGA 模块,A/D 转换器模块。各个模块原理图之间采用网络标号的方式连接。

原理图设计经验,技巧:

- 按照功能及各芯片之间的耦合密度分模块,把耦合密度高的芯片分到一个模块,如 DSP 的外部存储器,尽量使各模块之间的连线比较少,这样原理图比较清晰,便于读图。
- 使用有代表意义的名字命名元件,各个子图带相应的前缀或后缀,以便于布局和布线时辨认。
- 同样为了便于读图,排错,尽量用连线表示电路的连接关系,如果连线交叉太多,可以更改原理图元件的管脚位置,(不更改管脚到封装的映

射就行), 实在不行再用网络标号。

- FPGA 的 I/O 管脚可以自由分配, 根据布线方便分配这些管脚, 可以在布线的时候再返回来调整。
- 没有用到的输入管脚, 给它接一个高电平或者低电平, 防止出现不确定状态。

这里我给出主要元件 (AD, FPGA, DSP) 的原理图:

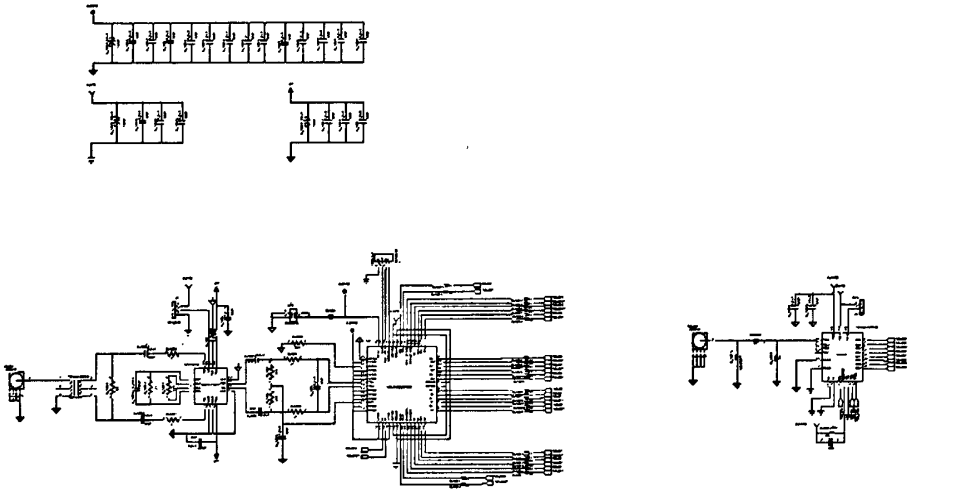


图 3.14 AD9230 原理图

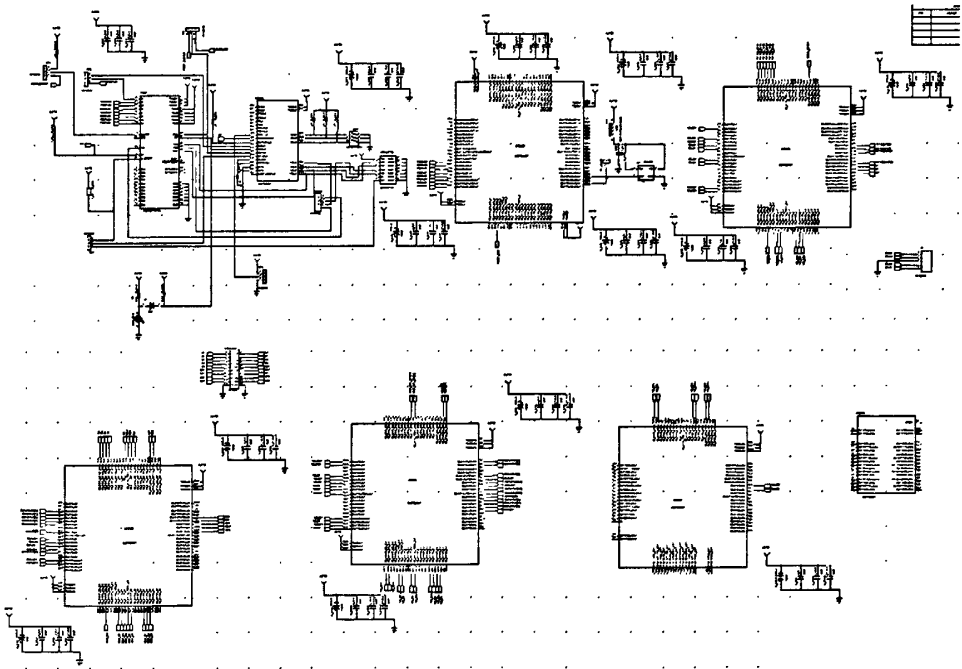


图 3.15 FPGA 原理图一

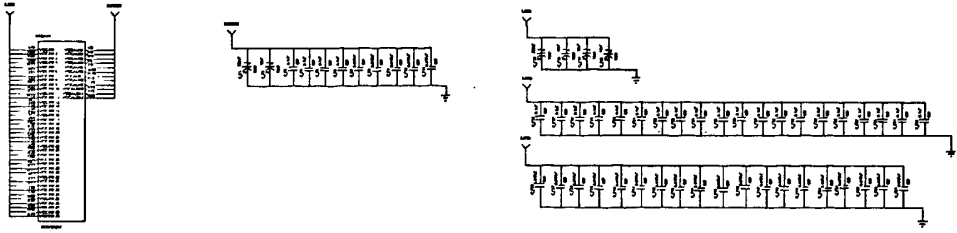


图 3.16 FPGA 原理图二

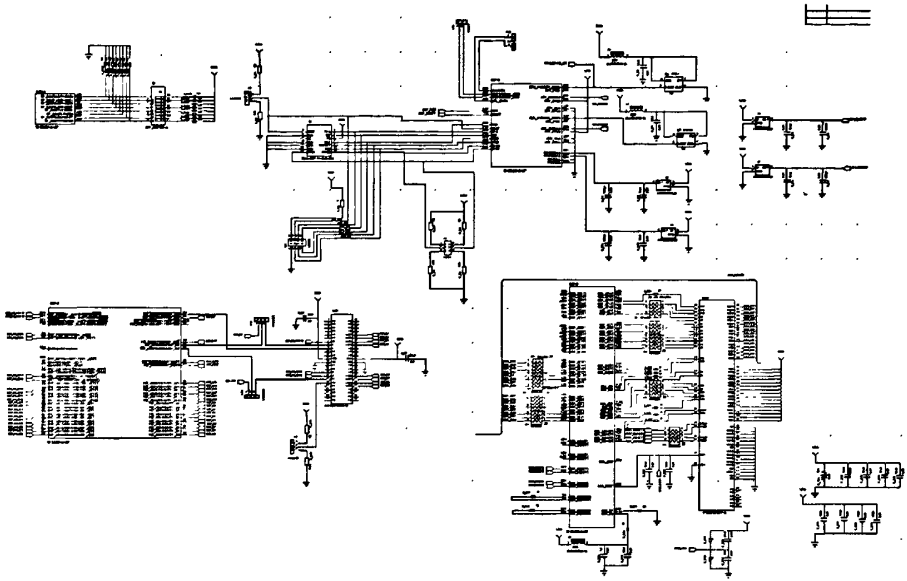


图 3.17 DSP 原理图一

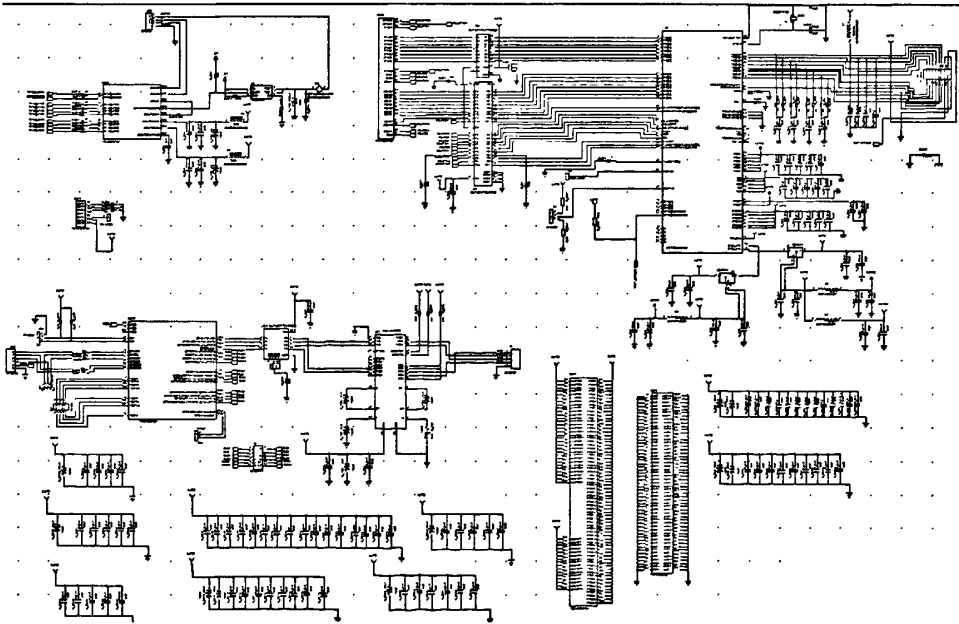


图 3.18 DSP 原理图二

### 3.7.2 PCB 布局

布局时，按功能模块分区布局。

各功能模块在 PCB 板上的大致位置如图所示：

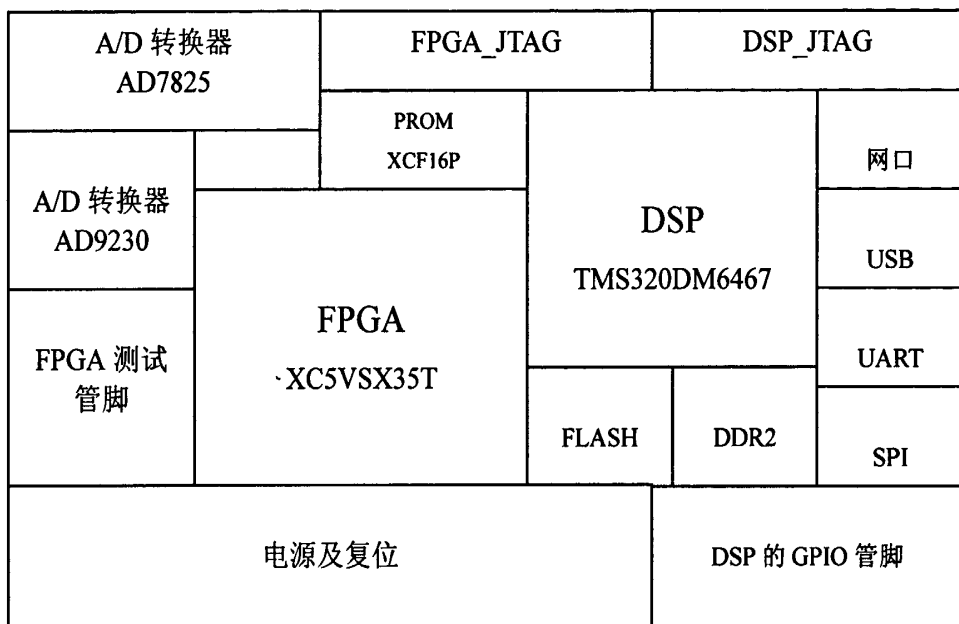


图 3.19 PCB 板布局

本实验平台得所有布线主要围绕两个 AD，一个 FPGA 和一个 DSP 芯片展开，因此把这四个主要芯片布在 4 个方位，所有的其他芯片都围绕着四个芯片周围。

所有的和 PC 和其他板卡接口，包括 JTAG，UART，USB，SPI 等都放在板子的边缘，方便插拔。

A/D 都有与外部的模拟接口，将这两部分布在靠近 PCB 的边缘位置，可以输入/输出的模拟信号线尽可能短，同时把这两部分布在一起可以方便将模拟电源和数字电源，减小数字信号对模拟信号的干扰。

电源模块布在板子的左下角，方便 5V 的外部电源接入，而且不用布线布得太长，影响其它布线。同时，模拟电源靠近 A/D，数字电源靠近数字器件一边。

确定了各个模块的位置后，对 FPGA 的管脚分配再作相应的调整，将 FPGA 上与某一模块相连的信号线调整到靠近该模块的一侧的管脚上，同时安排好信号线顺序，使交叉连线尽可能少，以方便布线。

同时，布局时尽量遵循以下原则：

- 有连接关系的元件尽量靠近放置，减少连线长度；同时调整元件的放置位置和方向，使交叉线尽可能少，以减少印制板上过孔的数量，保证布线的布通率；



- 晶体，晶振等时钟电路元件尽量靠近芯片的时钟管脚，因为时钟电路最容易产生电磁辐射和受干扰，所以要减少时钟线的长度；
- 去藕电容放置在相应芯片的背面，并尽量靠近芯片的电源管脚；
- 插针，插座，接口等接插件类元件尽量放置在印制板的边缘，以方便与外部器件的连接。

### 3.7.3 PCB 布线

PCB 布局完成后，就进行 PCB 布线。由于本硬件平台使用的 DSP 和 FPGA 都是 BGA (Ball Grid Array: 球栅阵列) 封装，DSP 的管脚为 529 个，FPGA 达到 665 个，所以，必须采用多层印制电路板，才能将 BGA 封装中处于内圈的管脚信号引出来，并保证电源和地线不阻碍信号的走线。本系统采用 10 层板，所示，从表面层到底面层分别是：信号层 1，地层，信号层 2，信号层 3，电源层，地层，信号层 4，信号层 5，地层，信号层 6。

由于板上几乎所用器件基本是表面贴装的，并且芯片都是安装在表面，所以，大部分信号线是布在表面层的，尽量减少过孔数量，因为过孔会带来寄生电感和寄生电容，少用过孔有利于信号质量。底面层主要安装的是各个芯片的去藕电容，电源线和地线主要布在这一层，还有少量的信号线，主要是一些测试信号。由于中间两层信号层的线看不到，如果设计出现错误就很难更改，所以实在布不下的线才布在中间两层。

地层和电源层都分割成 3 部分，分别是：外部 5V 电源的接入部分，模拟部分，数字部分。模拟地和数字地各通过一个磁珠连接到 5V 电源的地，而电源则通过磁珠底面的走线连到模拟和数字部分，这样子，隔开了模拟电源和数字电源之间的干扰。单独的电源层和地层保证了电路板上的信号有最小的回路，不仅对电路板上的信号质量有很大好处，也便利了布线。

本实验板所用的 FPGA 的 BGA 封装的管脚间距分别为 1.0mm，设置于它们连接的连线的线宽都为 0.2mm，安全间距设置为 0.1mm，过孔为 0.3mm。而 DSP 的 BGA 封装的管脚间距为 0.8mm，，DSP 的线宽采用 0.1mm，而安全间距采用 0.1mm。因为有部分连线是布在中间层的，为了方便测试，除了一些比较重要的信号引出测试管脚外，其它的一些不是很重要信号线在空间允许，不影响布通率的情况下，将过孔打大，必要的时候可当测试点用。

布线时，优先放置有特殊要求和比较重要的信号线（比如时钟信号线），再布其它信号线。布线过程中遵循以下规则：

- 不同层的布线尽量相互垂直，避免信号相互耦合；
- 线的转折处内角不能小于 90 度，选择 135 度，尽量避免出现小尖角。

因为锐角会使线的宽度产生比较大的变化，对信号质量很不利；

- 尽量避免在时钟电路下方走线，且时钟电路到芯片管脚的连线要尽可能短；
- 差分线尽量靠近，并等长布线，以保证信号能同时到达；
- 数字和模拟分开布线，信号线尽量不要穿过它们之间的交界处；
- 由于电源线，地线需要承受较大电流，适当加宽它们的宽度，在空间允许的地方，使用 3mm-5mm 的线宽；

最后给出 PCB 的布局视图：

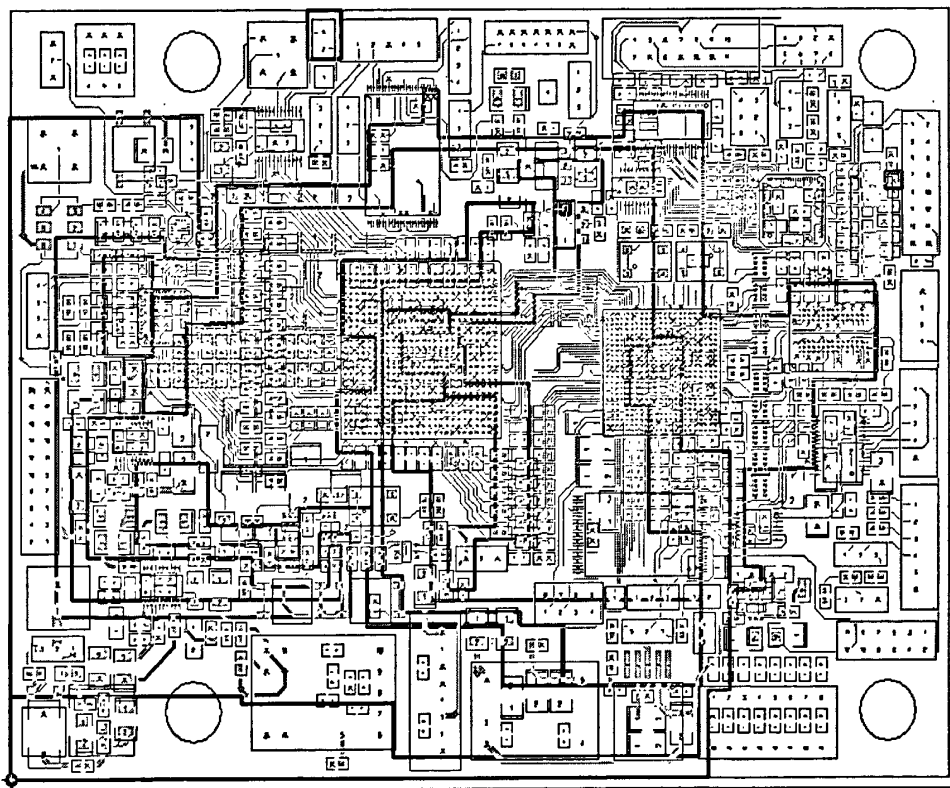


图 3.20 PCB 布线图

### 3.8 硬件成果

这里给出最后得到的硬件平台实物图：

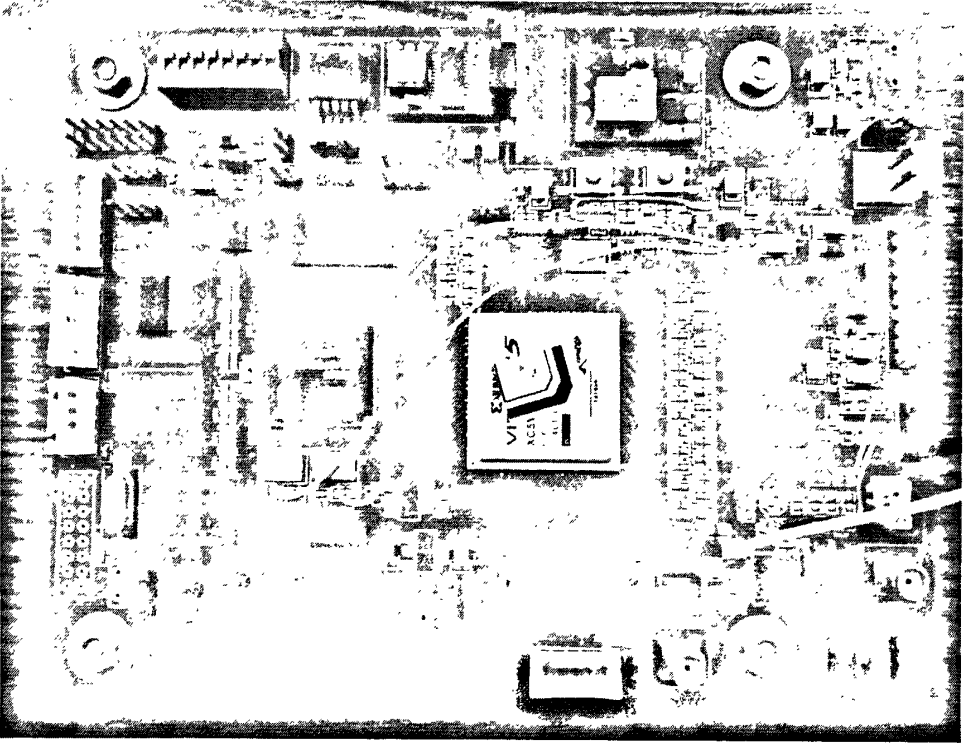


图 3.21 认知板卡的硬件实物图

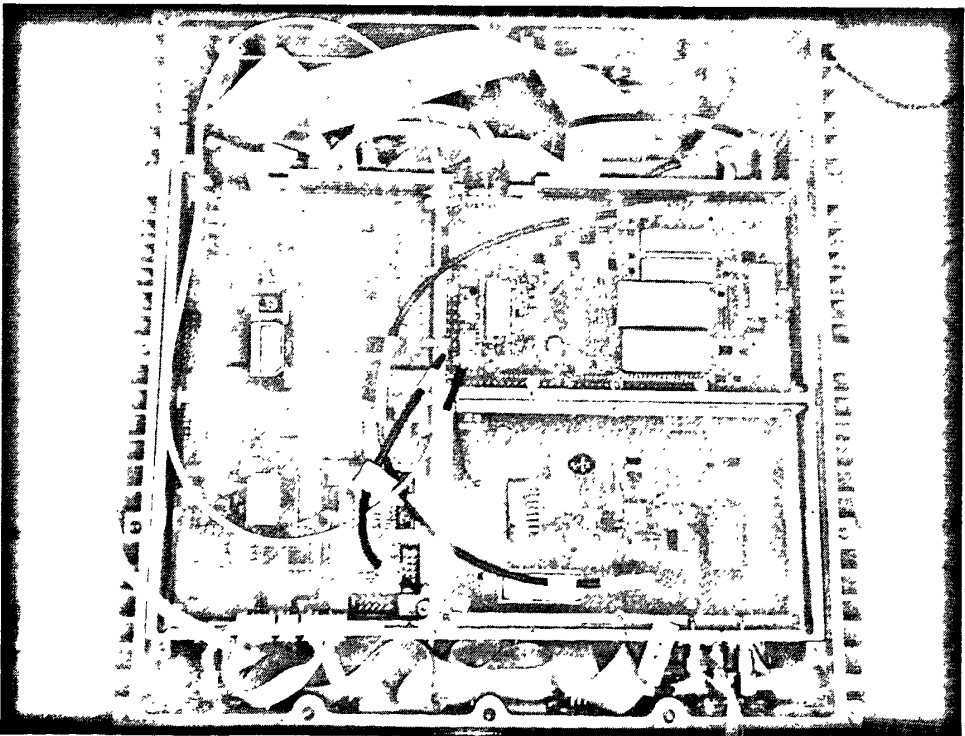


图 3.22 整个节点系统的硬件实物图

## 第四章 硬件平台配置与接口实现

### 4.1 认知板卡中的数据通信

在完成硬件的设计以后，我们当然还要对设计进行软件验证，以确保能够满足系统通信要求。

这里先给出整个认知系统的一个数据流向图：

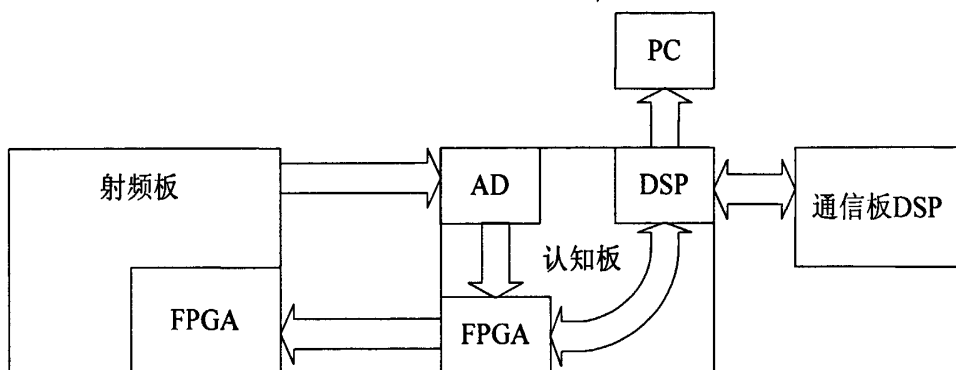


图 4.1 数据流向图

如图所示数据流向可以总结为以下几点：

- 射频板将采集的模拟信号数据发送给认知板 AD
- 认知板 AD 将模拟信号转化成数字信号后交给认知板 FPGA
- 认知板 FPGA 将数据进行 FFT 变化得到频谱信息，然后将其发送给认知板 DSP
- 认知板 FPGA 将频率控制字发送给射频板 FPGA
- 认知板 DSP 将频谱信息发送给 PC 机
- 认知板 DSP 把频率控制字发送给认知板 FPGA
- 认知板 DSP 与通信板 DSP 的通信

AD 与 FPGA 只是一个最普通的 I/O 口的通信这里不进行具体验证，其余的通信在下面的内容中将一一具体介绍。

### 4.2 FPGA 的自定义接口实现

两块 FPGA 之间通信完全是用的自定义接口，协议都是双方协商的结果。

认知板为了控制射频板的一系列频率扫描指标，需要对其进行频率控制字的制定，认知无线电工作时分为两种情况：通信和检测。于是频率控制字也就需要两种：通信通道频率控制字和检测通道频率控制字。同时需要对其通信带宽进行

制定, 本平台一共有 4 种带宽可以选择 25K, 50K, 75K 和 100K。然后是检测带宽的制定, 检测带宽有 1M 和 5M 两种。最后是对其功率输出衰减值的确定, 理论上功放最大输出为 1W。功放的变化率为 0.5dB, 最大衰减为 31.5dB。

下面是对频率控制字的具体协商结果说明:

接口信号 (以认知板为主, 射频板为从)

- (1) clk 时钟 (4Mhz) 对应 AB15。
- (2) data\_r 本地数据收, 本程序不用。
- (3) 共地。
- (4) data\_t 本地数据发, 对应 G5。
- (5) con\_bus 总线起始, 对应 F5。

消息定义

消息是一串 64bit 的结构体, 现在一共用到前 38bit, 其余的都默认为低位, 为了以后功能扩展而保留, 当然也可以继续扩展到任意长度。

控制字说明:

- 0: 0 代表通信, 1 代表检测;
- 16-1: 通信通道频率控制字。算法:  $(F+1100) * 10$ , 然后转化为二进制;
- 26-17: 检测通道频率控制字。算法: 直接转化为二进制;
- 28-27: 通信带宽选择, 00B: 25kHz, 01B: 50kHz, 10B: 100kHz, 11B: 200kHz。
- 29: 检测信道带宽选择, 0B: 1MHz, 1B: 5MHz, 其余保留。
- 37-30: 功率输出衰减值。单位 dB, 功放最大输出 1W。由于开关滤波器等损耗, 输出值  $\geq 25$ dB。(00000000 代表不衰减, 00000001 代表衰减 0.5db, 变化率为 0.5db, 最大衰减为 31.5db 为 00111111.)

总线周期 5kHz, 所有的指令会在总线本周期结束后立即开始, 频率更改时间约 1ms, 通道速率选择时间  $< 5\mu s$ 。

下面详细介绍一下本接口的工作流程:

首先射频板会一直给认知板发送 con\_bus 信号和 clk 信号, 当认知板在时钟的下降沿判定到 con\_bus 信号的高位到来, 就在下一次时钟的上升沿开始把所需的频率控制字进行发送即发送 data\_t, 从低位开始发送。

如图 4.2 所示, 在 clk 的下降沿检测到 con\_bus 的高位到来, data\_t 在 clk 的上升沿开始发送数据, 在图中可以读出数据为 01011110100101100011001110001100000000, 根据前面给的消息定义可以得出: 0 代表通信, 0011010010111101 化为十进制数 13501, 也就是通信频率为

250.1MHz, 0011100110 化为十进制数 230, 代表检测频率为 230MHz, 10 代表通信带宽为 100K, 1 代表检测带宽为 5M, 最后的 00000000 代表功率输出衰减为 0。可以和图 4.3 从示波器上实际得到的波形图做一个对比。

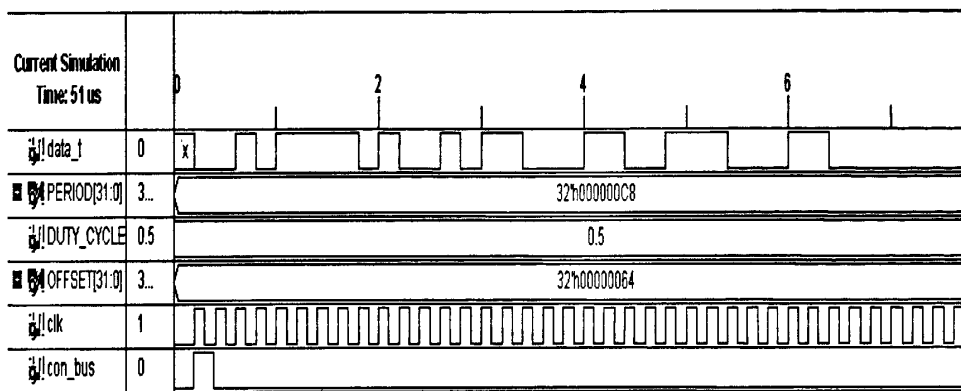
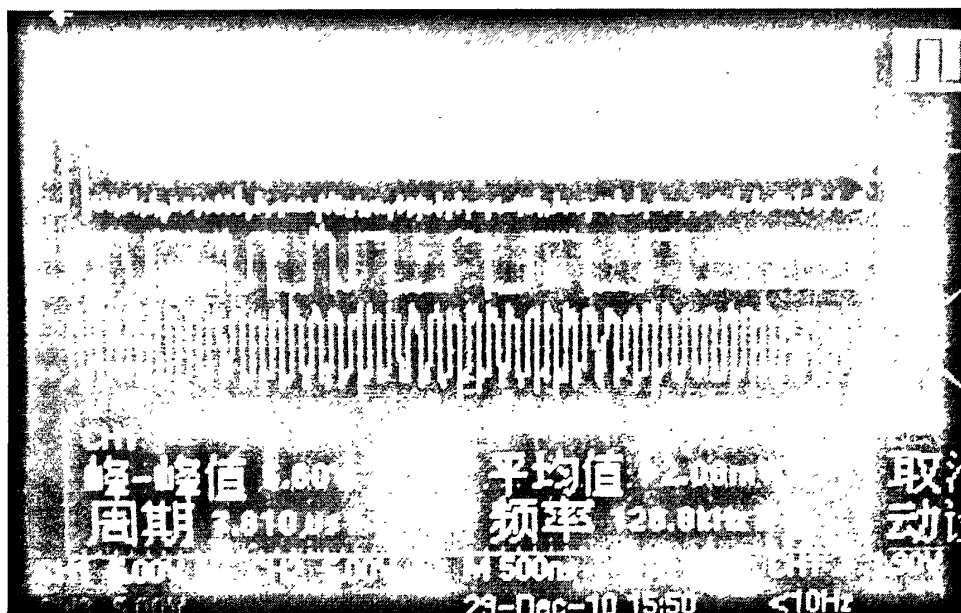


图 4.2 FPGA 软件仿真示意图



4.3 示波器得到的波形图

### 4.3 DSP 与 PC 机的 UART 接口实现

本系统的 DSP 和 PC 机通信采用串行接口 UART

UART 使用的是 RS232 接口。RS232 的全称是 EIA-RS-232C 标准, 其中 EIA (Electronic Industry Association) 代表美国电子工业协会。EIA-RS-232C 是用正负电压来表示逻辑状态的, 与普通数字电路以高低电平表示逻辑状态的规定不同。

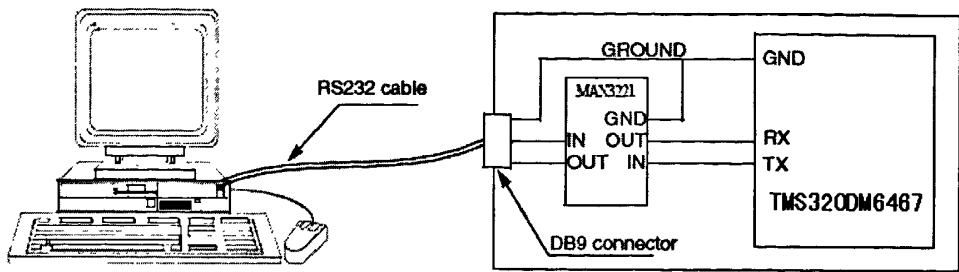


图 4.4 DSP 与 PC 机的 UART 接口

为了能够使用它连接本系统板，必须在 EIA-RS-232C 与数字电路之间进行电平和逻辑关系的变换（图 4.4）。实现这种变换的方法可用分立元件，也可用集成电路芯片。目前较为广泛使用的是集成电路转换器件，本系统使用的是 Maxim 公司的单路 RS232 电平转换芯片 MAX3221，外围电路只需要 4 个小电容，就能在 3V~5.5V 的单电源供电下实现电平转换。

RS232 上用的通信协议是 UART，TMS320DM6467DSP 共有三个 UART 接口，本平台使用的是 UART0。PC 机的串口也支持这种协议，传输速率最高至少可以达到 115200bps。

为了在 PC 机上直观的显示出所采集的频谱信息，需要认知板将信息通过 UART 接口（RS232）发送到 PC 机上，由于 UART 一次只能发 8bit 的数据，所以还需要在 PC 端将数据整合做一个界面完整的显示出来。本设计就是为了完成上述功能制定的。

#### ➤ 串口传输帧格式

串口传输一次限定 8bit，暂定帧头帧尾使用 0xFF。

#### 1. 六种帧标志符如下：

表 4.1 帧标志符结构

告知状态	分配频点带宽	告知调制方式	告知通信功率	告知感知结果	告知节点 id
0xd0	0xd1	0xd2	0xd3	0xd4	0xd5

#### 2. 告知状态帧中两种状态标志符如下：

表 4.2 告知状态帧结构

管理	感知状态
0x00	0x01

#### 3. 通信状态在通信功率告知后被设定，初始化状态在节点告知后被设定这两种状态不再单独通知。

4. 典型告知状态帧： 0xFF 0xd0 0x00 0xFF 需调用串口传输四次。
5. 分配频点带宽帧结构：

表 4.3 分配频点带宽帧结构

帧头 0xff	帧标志	信道段号	局部信道号	帧尾 0x00
		0x00 代表 1-199	用来计算位置	
		0x01 代表 200-499		
		0x02 代表 400-599		

实例： 0xff 0xd1 0x00 0x35 0x01 0x00

6. 调制方式帧：

表 4.4 调制方式帧结构

帧头 0xff	帧标志	调制方式	帧尾
		0x00 代表 BPSK	
		0x01 代表 QPSK	
		0x02 代表 8PSK	
		0x03 代表 16QAM	

7. 告知功率帧：帧头 帧标志 功率衰减 帧尾
8. 感知频谱帧：帧头 帧标志 感知数据 (600\*8) 帧尾
9. 节点 id 帧：帧头 帧标志 节点 id 帧尾
- 对控制寄存器的配置<sup>[19]</sup>

由于有二十多寄存器，这里不一一详细说明，这里给出比较重要的几个寄存器的配置



Bit	Field	Value	Description
31-8	Reserved	0	Reserved.
7	DIV_EN	0	Allows to access to DLL, DLH and other registers (refer to the registers mapping). Normal operating condition.
		1	Enables divisor latch.
6	BREAK_EN	0	Break control bit. Normal operating condition.
		1	Forces the transmitter output to go low to alert the communication terminal.
5	PARITY_TYPE2	0-1	Selects the forced parity format (if PARITY_EN = 1). If PARITY_TYPE2 = 1 and PARITY_TYPE1 = 0, the parity bit is forced to 1 in the transmitted and received data. If PARITY_TYPE2 = 1 and PARITY_TYPE1 = 1, the parity bit is forced to 0 in the transmitted and received data.
4	PARITY_TYPE1	0	Selects odd/even parity format. Odd parity is generated (if PARITY_EN = 1).
		1	Even parity is generated (if PARITY_EN = 1). When PARITY_EN = 0 and MDR1.MODE_SELECT = 6h, UART enters CIR demodulator bypass mode.
3	PARITY_EN	0	Enable parity bit generation. No parity. When PARITY_TYPE1 = 1 and MDR1.MODE_SELECT = 6h, UART enters CIR demodulator bypass mode.
		1	A parity bit is generated during transmission and the receiver checks for received parity.
2	NB_STOP	0	Specifies number of stop bits. 1 stop bits (word length = 5, 6, 7, 8)
		1	1.5 stop bits (word length = 5). 2 stop bits (word length = 6, 7, 8).
1-0	CHAR_LENGTH	0-3h	Specifies the word length to be transmitted or received.
		0	5 bits
		1h	6 bits
		2h	7 bits
		3h	8 bits

图 4.5 LCR 的各个比特位说明

对寄存器 LCR 的配置为 0xc, 化为二进制 1100。即表示第 0 和 1bit 为 1, 其余全部为 0, 从表上可以看出配置的结果为: 8bit 的数据, 无奇偶校验位, 1bit 的停止位。

如果要 DSP 与 PC 机进行通信, 还需要对 UART 的波特率进行设置。图 4.6 就是波特率的对照表:

Baud Rate	Baud Multiple	DLH, DLL (Decimal)	DLH, DLL (Hex)	Actual Baud Rate	Error (%)
0.3 Kb/s	16x	5000	13h, 88h	0.3 Kb/s	0
1.2 Kb/s	16x	1250	4h, E2h	1.2 Kb/s	0
2.4 Kb/s	16x	625	2h, 71h	2.4 Kb/s	0
14.4 Kb/s	16x	104	0, 68h	14.423 Kb/s	+0.16
28.8 Kb/s	16x	52	0, 34h	28.846Kb/s	+0.16
57.6 Kb/s	16x	26	0, 1Ah	57.692 Kb/s	+0.16
115.2 Kb/s	16x	13	0, Dh	115.38 Kb/s	+0.16
230.4 Kb/s	13x	8	0, 8h	230.77 Kb/s	+0.16
460.8 Kb/s	13x	4	0, 4h	461.54 Kb/s	+0.16
921.6 Mb/s	13x	2	0, 2h	923.08 Mb/s	+0.16
1.8432 Mb/s	13x	1	0, 1h	1.8462 Mb/s	+0.16

图 4.6 波特率的对照表

在 16x 模式下, 设置字乘以 16 再乘以波特率就等于时钟频率。这里的时钟频率是 24Mhz, 计算可得 9600Kb/s 的控制字为 156, 即 DLH 为 0h, DLL 为 9ch。

最后得到的结果就是 9600Kb/s, 无奇偶校验位, 1bit 的停止位和 8bit 的数据位。

为了直观的说明串口是否可以使用, 我设计了一个发送 1 到 256 的小程序,

然后再 PC 机上运行串口调试助手得到了图 4.7 的结果，可以清楚的看到无丢失无乱序，证明这个接口是可用的。图 4.8 是整个用户节点运行一次频谱检测以后在 PC 机软件上显示的结果，当然最佳的频率的判定是在 DSP 里面进行，但是我们可以直观的看到颜色加深部分 407.875M 到 408.075M 是最好的通信带。

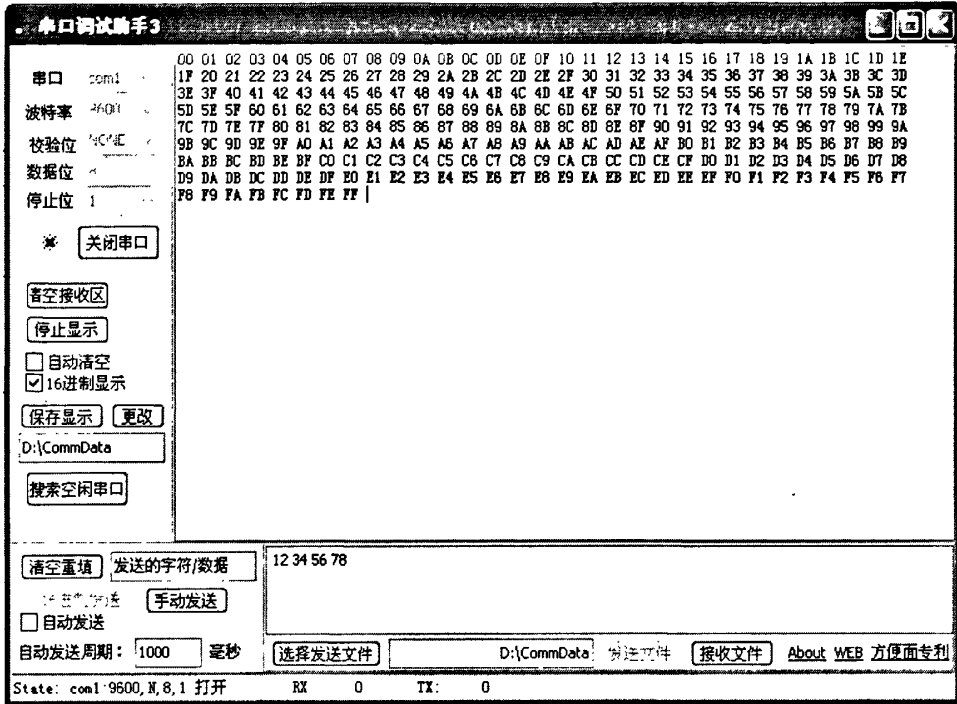


图 4.7 串口调试助手运行结果

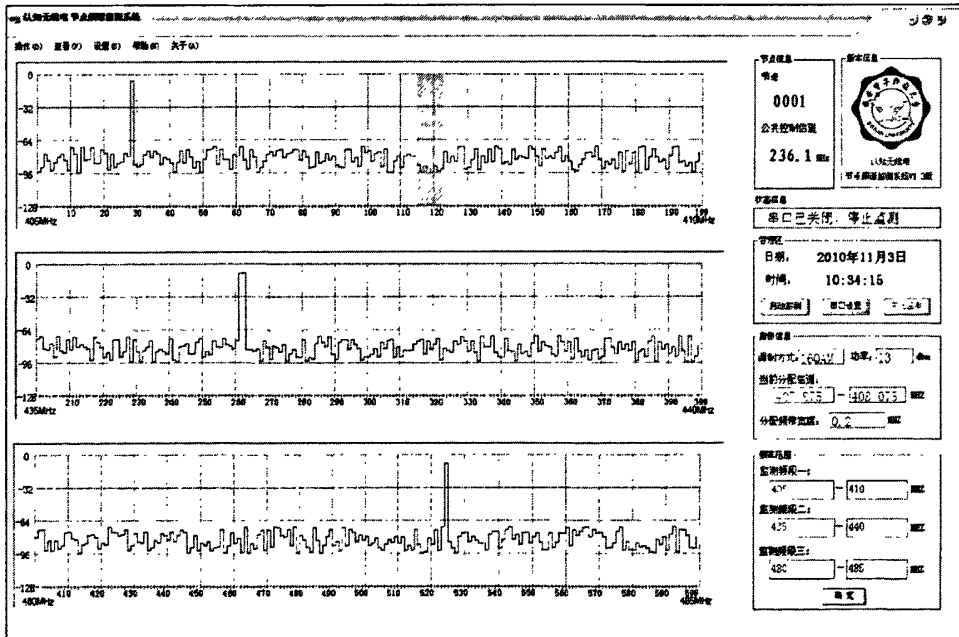


图 4.8 软件界面显示频谱信息

## 4.4 FPGA 与 DSP 的 EMIF 接口实现

DSP 与 FPGA 之间是通过 EMIF 来实现通信的。

外部存储器接口（既 EMIF）

所有 TMS320C6000 系列的 DSP 外部存储器接口（EMIF）都支持与各种外部设备的无缝接口，这些外部设备包括<sup>[15]</sup>：

- 同步突发 SRAM（SBSRAM）；
- 同步 DRAM（SDRAM）；
- 异步器件，包括 SRAM，ROM 和 FIFO；

外部共享存储器设备。

- EMIF 处理的外部总线请求有 2 种来源；
- 片内 DMA 控制器；
- 外部共享存储器设备控制器；

如果多个请求同时发出，EMIF 根据设置的优先级进行仲裁，然后响应各个申请。

EMIF 接口的总线宽度为 32 位，存储空间有 4 个（CE0-CE3）。每个存储空间寻址范围为 256M。

CPU 访问片外存储器必须通过 EMIF，其接口信号图如图 4.9 所示：

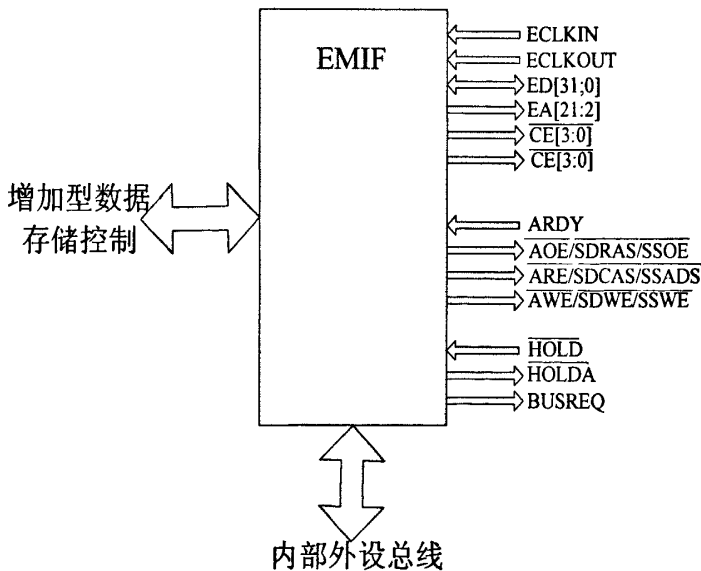


图 4.9 EMIF 接口信号图

图 4.10 是 DSP 与 FPGA 的连线图

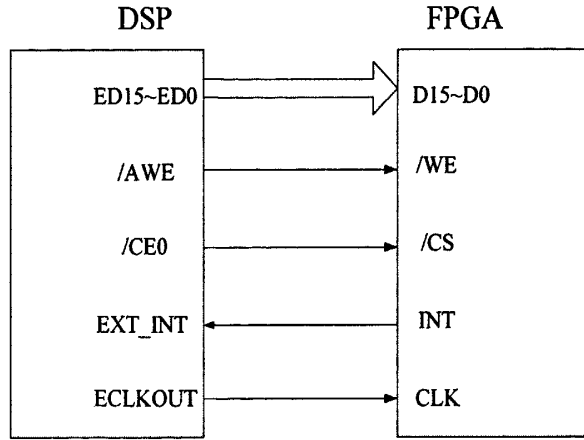


图 4.10 DSP 与 FPGA 的连线图

本设计中 FPGA 中的接受模块采用双口 RAM，那么下面给出 EMIF 与双口 RAM 的写时序图：

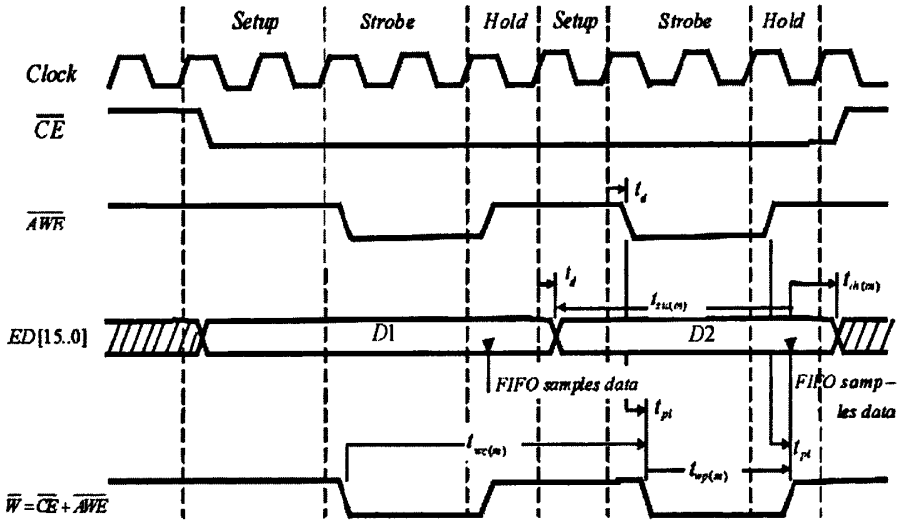


图 4.11 EMIF 与双口 RAM 的写时序

EMIF 口传输是双向的，一方面 DSP 将频率控制字发送给 FPGA，格式已经在 4.2 里具体说明。这里只验证 EMIF 口是否能正常通信。由于 DSP 与 FPGA 的 I/O 链接线是在板子内部封装的所以无法在示波器上显示只能用软件进行仿真。

下图 4.12 中是一个测试程序，功能是在 CCS 下 DSP 将 16 这个十进制数字不断往 FPGA 发送。结果在图 4.13 FPGA 的内嵌逻辑分析仪器中非常清楚的看到是 0x10 也就是 16。

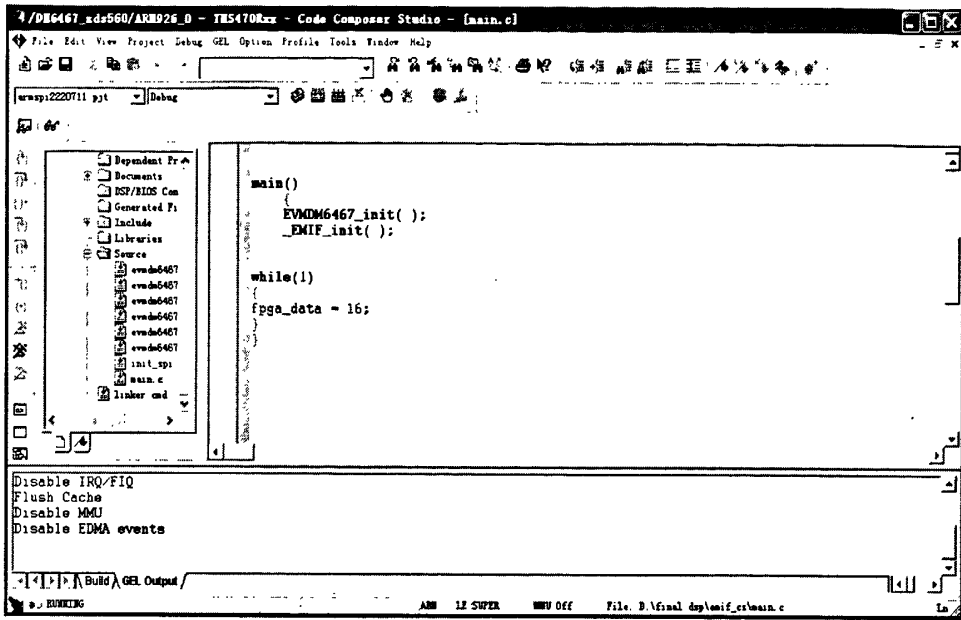


图 4.12 CCS 环境下 DSP 发送的数据显示

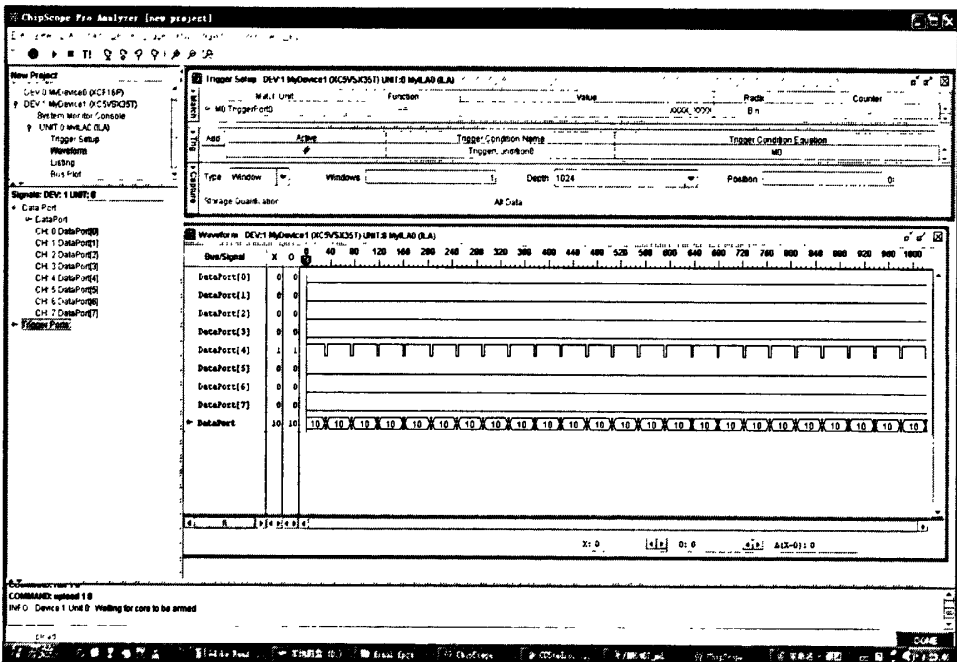


图 4.13 FPGA 内嵌逻辑分析仪的结果

同样的我在 FPGA 给 DSP 也要发送频谱信息。信息的显示在 4.3 的 UART 接口到 PC 机上也直观的显示过，同样这里只是验证 EMIF 口是否能正常通信。

图 4.14 是一个小的测试程序，将一个 8 进制的 123 数据往 DSP 发送，在图 4.15 中可以清楚的看到数据是 16 进制的 7B 也就是 8 进制的 123。

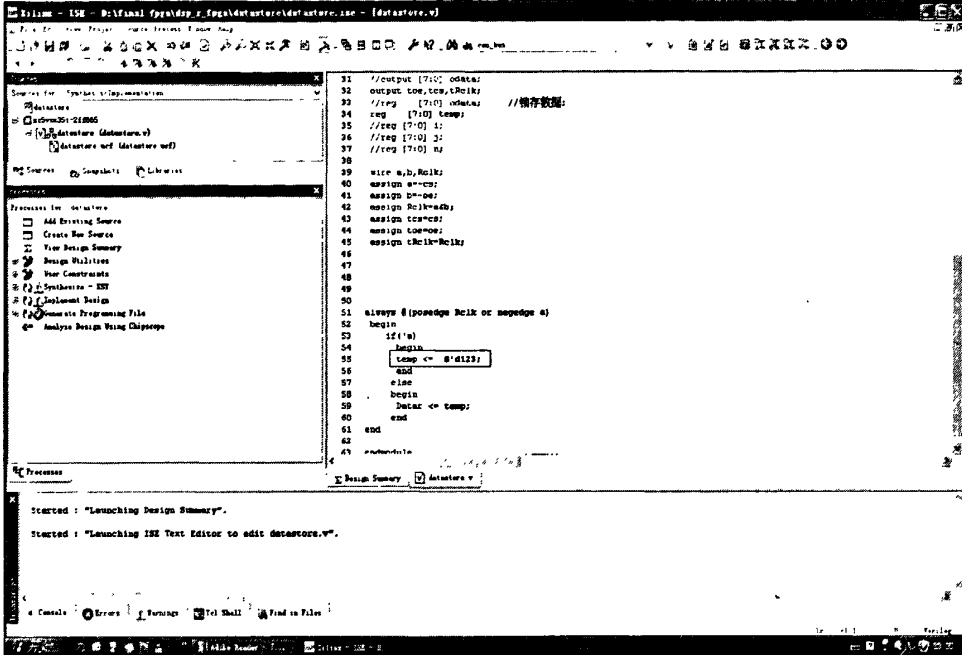


图 4.14 ISE 软件下的测试程序

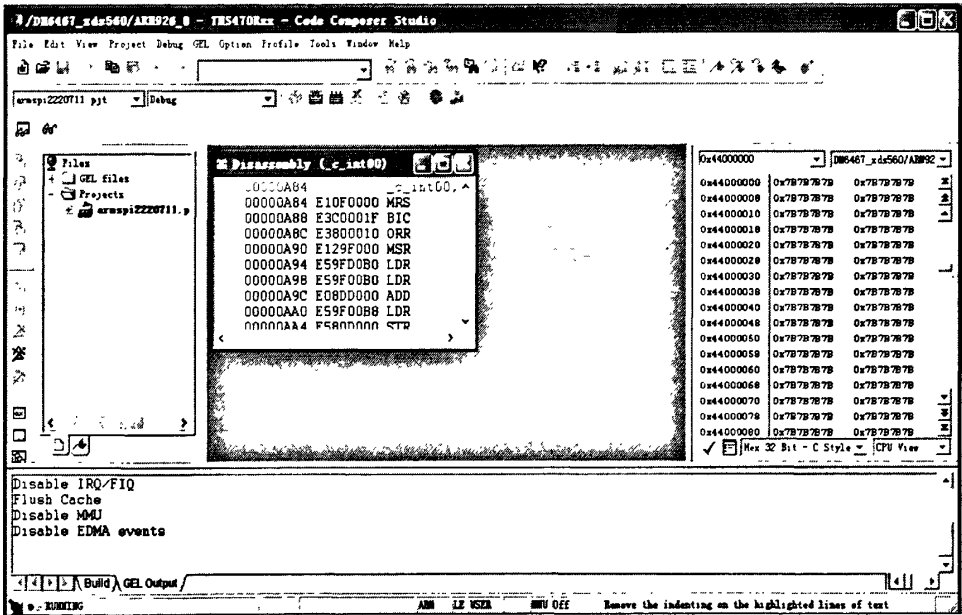


图 4.15 CCS 下的 DSP memory 中的数据

### 4.5 认知板 DSP 与通信板 DSP 的 SPI 接口实现

本平台的 TMS320DM6467 自带有 1 个 SPI 口。SPI 接口是一种高速同步串行输出/输入接口，SPI 口德最高传输速率可达到 10Mb/s 左右，它支持长度可编程（2-16bits）的串行数据以可编程的比特率进行位移输入或输出。由于 SPI 口的协议简单、I/O 资源占用少、传输速度快的优点在工程中得到广泛的应用。SPI

分主从两种设备，并且同一时间内总线上只能有一个主器件。SPI 可以通过三线模式、四线模式和五线模式与其他 SPI 口相连。其中同步时钟（SCLK）由主器件输出。MOSI 线是主器件输出从器件输入。MISO 线是从器件输出主器件输入。EN 是用于从器件的使能。如图 4.16 所示是四线模式的 SPI 口。

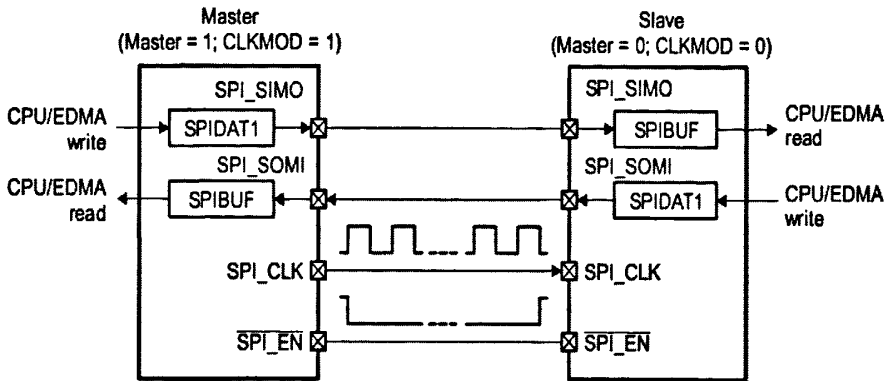


图4.16 四线模式的SPI口

SPI 口的总线结构比较简单，是两个 SPI 口的位移寄存器组成的环形结构，在主端时钟 CLK 的控制下两个位移寄存器 SPIDATA 进行数据交换，如图 4.17 所示。对总线结构有两个主要参数要定义。

- 第一个是循环位移寄存器 SPIDATA 的位宽，DM6467 提供 (2-16) 的位宽。
- 第二个是循环位移的方向。

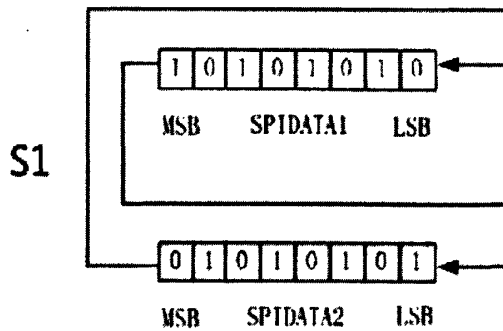


图4.17 SPI的环形总线结构

SPI口的时序图如下图4.18中所示，从图中我们可以看出时序主要由两个参数控制：

- 第一个是时钟的极性。
- 第二个是时钟的相位，即是前沿采样后沿输出，或者是前沿输出后沿采样。

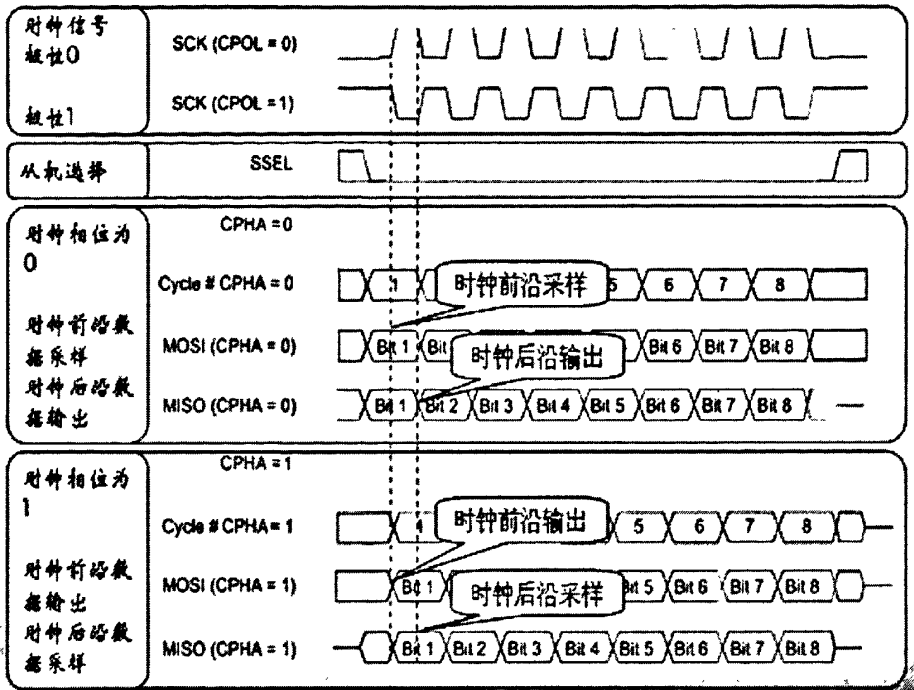


图4.18 SPI时序图

本通信系统中认知板卡和通信板卡之间的 SPI 口通信模式是在 4 线 SPI 模式的基础上进行了一些改进的通信模式。如图 4.16 中所示，由认知板卡的 SPI 口作为从端，而通信板卡的 SPI 口（由 MCBSP 设置）作为主端。由于 SPI 只能由主端发起通信，不能由从端发起通信，而本认知通信系统设计的要求是认知板和通信板都能发起通信。所以我们对 SPI 接口做了一些改进，我们在 SPI 口的基础上添加了一个 GPIO 作为触发通信板（主端）发起通信的中断。由于通信板卡的 SPI 口是主设备，数据的读写操作都是必须由通信板卡发起。当通信板卡要给认知板卡传输数据时，可随时进行对作为从设备的认知板卡 SPI 口进行数据的读写。如果认知板卡要向通信板卡传输数据时，必须先抬高 GPIO 口的电平，触发通信板卡的外部中断 INT0，在中断程序中执行通信板卡对认知板卡的读操作，从而完成通信板卡和认知板卡的数据交互。

SPI 口的参数配置<sup>[18]</sup>：

SPI 的参数配置在初始化程序 `init_spi()` 中完成，认知板卡的 DSP 作为 SPI 的主要配置参数有主从模式、位移寄存器位移方向、时钟极性、相位、时钟频率、位移寄存器位宽等参数。

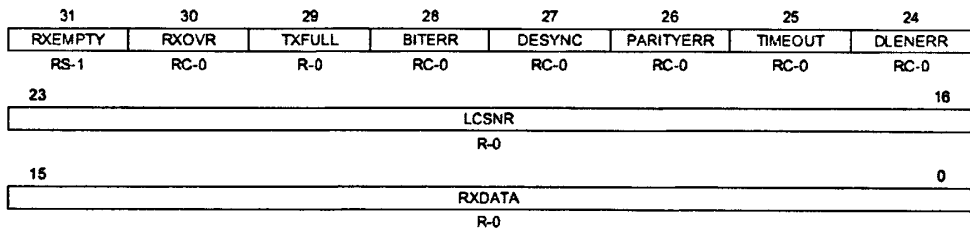
- 其中主从模式的设置在 SPIGCR1 控制寄存器中的 CLKMOD 和 MASTER 两个 bit 位。
- 时钟频率的设置 SPIFMTn 控制寄存器中的 PRESCALEn 位。
- 位移寄存器位宽的设置 SPIFMTn 控制寄存器的 CHARLENn 位。



- 时钟相位和极性的设置在 SPIFMTn 控制寄存器中的 PHASEn 和 POLARITYn 位。
- 位移寄存器位移方向的设置在 SPIFMTn 控制寄存器中的 SHIFTDIRn 位。

认知板卡 DSP 中的 SPI 口的参数是：16bits 位宽位移寄存器、高位先移出、从端模式、时钟由主端提供、时钟极性和相位是 00，即无时钟时 CLK 管脚为高电平并且时钟前沿采样后沿输出。

由于主程序中认知板和通信板之间的通信是循环执行的。即当认知板已经接收到 A 指令时才会接收 B 指令，而如果没有接收到 A 指令则会一直等待 B 指令的出现。所以我们用查询 SPI\_SPIBUF 寄存器的方式来运行 SPI 口。图 4.14 中所示的是 SPI\_SPIBUF 寄存器的 bit 位定义。其中第 31 位 RXEMPTY 位为 0 时表示收到新数据并且已经拷贝到 SPIBUF 的 RXDATA 位 (0-15 位) 中，而当 RXEMPTY 位为 1 时表示没有收到消息。SPI\_SPIBUF 寄存器的第 29 位 TXFULL 位为 0 时表示可以向发送寄存器 SPIDATA1 中写数据，而当 TXFULL 位为 1 是表示不能向发送寄存器中写数据。当主端发送时钟进行通信时从端 SPI 口发送寄存器 SPIDATA1 中的数据就会自动发送。



LEGEND: RW = Read/Write; R = Read only; RC = Clear on read; S = Set; -n = value after reset

图4.19 SPI\_SPIBUF寄存器

所以我们可以采用查询控制寄存器 SPI\_SPIBUF 中相应比特位的方式来对 SPI 口进行读写操作。

为了验证能否正常发送，我编写了一个循环发送 0x7541 的程序，如图 4.20 所示。然后在 SPI 的输出管脚上接一个示波器看其输出波形，如图 4.21 所示。

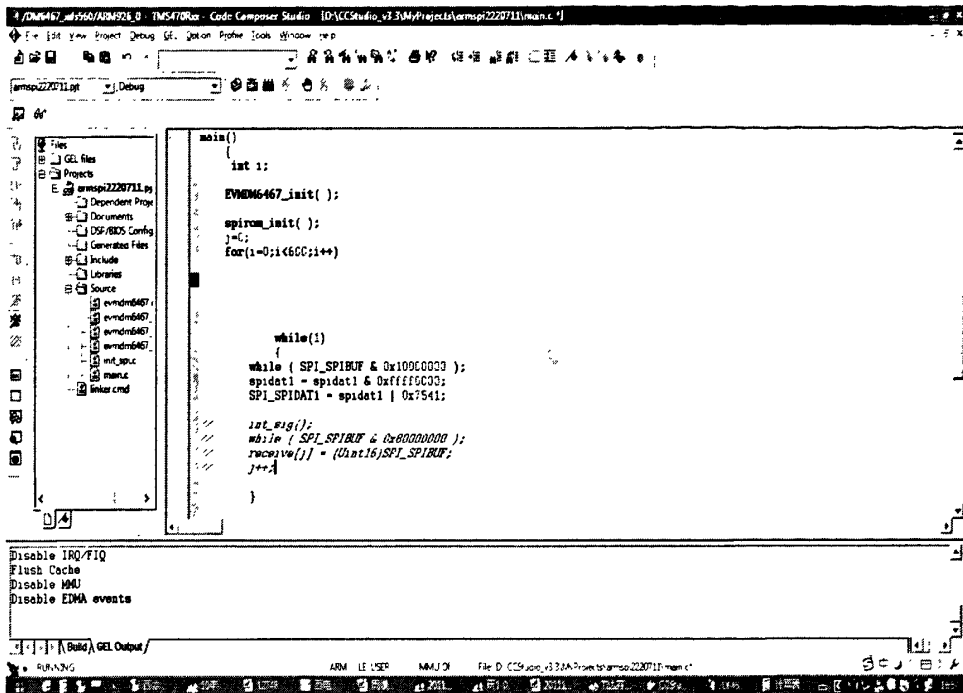


图 4.20 SPI 口发送数据的测试程序

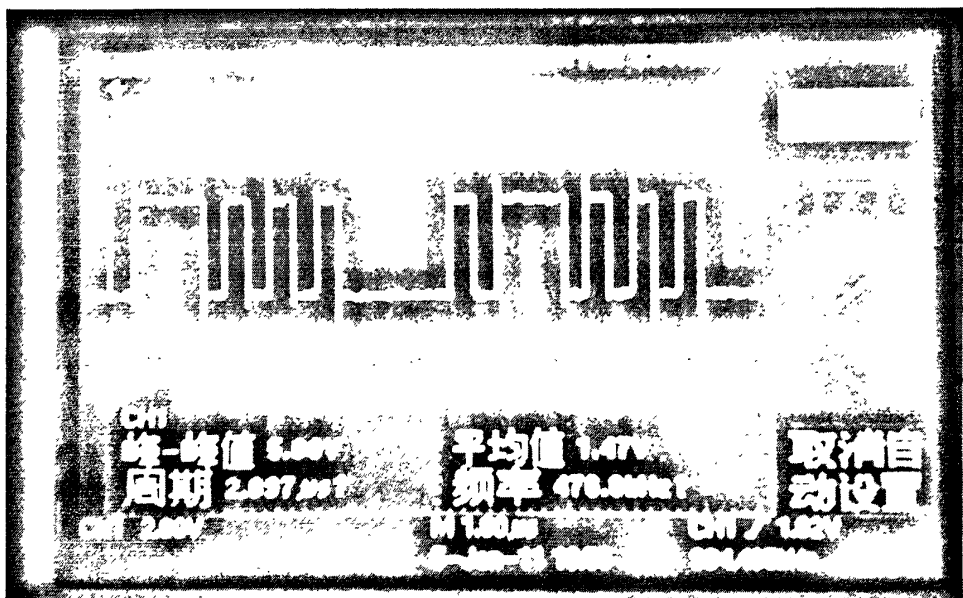


图 4.21 SPI 口输出波形

从示波器上可以读出数据为 01110101010001 也就是 16 进制的 7541。

同时为了验证能否正常接收，本人编写了一个自环程序，从 0x7541 开始，每发送一次数值加 1，然后看 CCS 下 DSP 的 memory 数值，如图 4.22。

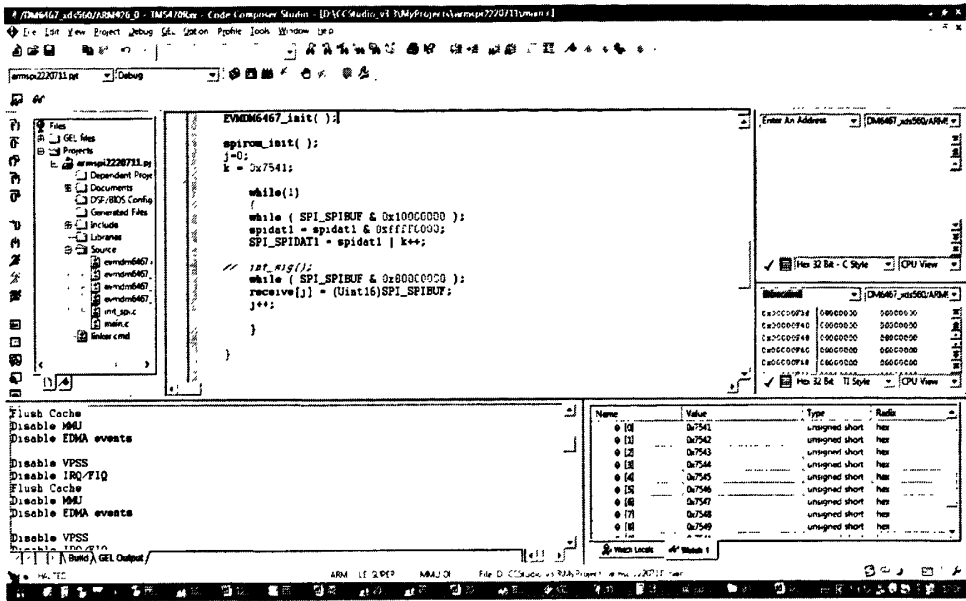


图 4.22 SPI 的自环验证

## 结束语

随着认知无线电理论的不断发展和实现技术的层出不穷,人们希望能够有一个兼容各种不同频段,不同调制方式,不同信道多址方式的硬件平台,来保证认知无线电系统的实现。认知无线电通过由软件编程实现通信功能的方式无疑是实现这一想法的最佳方案。近年来,在数字信号处理技术和大规模集成电路技术巨大进步的推动下,认知无线电得到了飞一般的发展。因此,搭建一个认知无线电平台用于实验具有重要理论意义和实际使用价值。

本文以一块 FPGA 和一块达芬奇系列双核 DSP 为核心器件,设计并实现了一个基于认知无线电的硬件实验平台,并完成了硬件实验平台的调试,为实验室的技术积累和课题研究提供了一个通用的实验平台。



## 致谢

在硕士论文撰写工作结束之际，我首先感谢我的导师刘勤副教授。在整个研究生期间，刘老师为我提供了良好的工作条件和学习环境。刘老师亲自指导我的每一项工作。自进入实验室以来，得到刘老师细心指导和帮助。刘老师知识渊博，待人和善，对待工作认真负责，在项目的进行中，给了我很多建设性的建议和指导。论文的顺利完成离不开刘老师的关心和鼓励。借此机会向刘老师致以深深的谢意！

感谢我研究生期间的辅导员关瑞霞和白岩军老师，坚持在学生工作的第一线，处处为学生着想，感谢西安电子科技大学信息科学研究所的全体老师。

感谢项目组的周续、郑杰、邓燕平同学，在项目设计中给我很多了启发和建议，平时项目之间的讨论使我受益匪浅。使宿舍生活有了家庭的温暖。感谢徐世演、曲晨、王兰花、赵虎辰、杨超、张荣芳等师弟师妹。与同门们的相处是短暂的，更是快乐和难忘的。

最后，我更要感谢我的父母，他们的爱是我永远前进的动力。在我人生的每一个路口，正是父母的默默支持与理解，我才能很好的走到今天，他们给了我人生中最大的恩惠与财富。今天谨以此文献给我亲爱的爸爸妈妈。



## 参考文献

- [1] 李红岩 认知无线电的若干关键技术研究 北京邮电大学 博士学位论文
- [2] [美] Jeffrey H. Reed 等著 陈强 等译 《软件无线电——无线电工程的现代方法》 人民邮电出版社 2004年7月
- [3] 姜 阳, 周锡青 编著《DSP 原理与应用实验》西安电子科技大学出版社 2008
- [4] [美] Texas Instruments Incorporated 著 卞红雨 等译《TMS320C6000的CPU与外设》 清华大学出版社 2008年7月
- [5] 张辉, 曹丽娜 编著《现代通信原理与技术》 西安电子科技大学出版社 2002. 1
- [6] 薛小刚 葛毅敏 编著《Xilinx ISE 9.x FPGA/CPLD 设计指南》2008年12月
- [7] Zoran Salcic and Christoph F.Mecklenbrauker Software radio - architectural requirements, research and development challenges - Communication Systems, 2002. ICCS 2002. The 8th International Conference on
- [8] Virtex-5 User Guide XILINX DS100(v4.4) September 23, 2008
- [9] TMS320DM6467 Digital Media System-on-Chip SPRS403E–December 2007–Revised February 2009
- [10] TMS320C6000 Assembly Language Tools v 7.0 User's Guide Literature Number: SPRU186S February 2010
- [11] TMS320DM6467 Getting Started Guide Literature Number: SPRUF88D December 2008
- [12] TMS320DM646x DMSoC Peripherals Overview Reference Guide Literature Number: SPRUEQ0B November 2009
- [13] TMS320DM646x DMSoC 64-Bit Timer User's Guide Literature Number: SPRUER5A December 2007 – Revised November 2008
- [14] TMS320DM646x DMSoC Enhanced Direct Memory Access (EDMA3) Controller User's Guide Literature Number: SPRUEQ5A October 2008
- [15] TMS320DM646x DMSoC Asynchronous External Memory Interface (EMIF) User's Guide Literature Number: SPRUEQ7C February 2010
- [16] TMS320DM646x DMSoC General-Purpose Input/Output (GPIO) User's Guide Literature Number: SPRUEQ8A March 2009
- [17] TMS320DM646x DMSoC Peripheral Component Interconnect (PCI) User's Guide Literature Number: SPRUER2B November 2009
- [18] TMS320DM646x DMSoC Serial Peripheral Interface (SPI) User's Guide



Literature Number: SPRUER4A March 2010

- [19] TMS320DM646x DMSoC Universal Asynchronous Receiver/Transmitter (UART) User's Guide Literature Number: SPRUER6D May 2009
- [20] AD9230 Analog Device 12-Bit, 170 MSPS/210 MSPS/250 MSPS, 1.8 V Analog-to-Digital Converter 2007 Analog Devices, Inc.
- [21] AD7822/7825/7829 Analog Device 3V/5V, 2MSPS, 8-Bit, 1-/4-/8-Channel Sampling ADCs 2006 Analog Devices.