

摘要

数模混合电路的设计在电路设计中占有非常重要的地位，在信号拾取、射频通信电路中都存在着此类电路。对这一部分电路的设计通常采取模拟电路+数字电路的方法，但是随着芯片尺寸的日益缩小，即使在 PCB 领域，布线密度也在日益增大，设计者不得不考虑数字开关信号对微弱模拟信号线的串扰效应，并最终引发了信号完整性问题。另一方面人们希望设计者的开发速度能够适应来自市场的压力。因此必须探索新的设计方法，并在早期预测数模混合电路中的各种效应。

本文对市场上各种数模混合电路设计的 EDA 工具、其算法、描述语言进行了总结，指出统一的设计语言、统一的设计平台将是未来 EDA 工具的发展前景。在一个智能压力传感器的硬件设计中，通过分析压力传感器的特点，应用 IEEE 协会颁布的 1076.1 标准（VHDL-AMS 语言）建立压力传感器行为模型，进行系统设计，从而探讨了基于 IEEE1076.1（VHDL-AMS 语言）混合信号电路设计方法的应用。由于该方法是在统一的 HDL 语言下设计模拟电路和数字电路，系统设计速度得到了很大提高，并增强了系统设计的可移植性和前期验证的功能。

在前面理论分析的前提下，第二阶段设计了智能传感器硬件电路，并在实际布版中加入了串扰耦合分析的对比电路。串扰噪声是数模混合电路设计中一个关键问题，涉及到电子系统 EMC（电磁兼容）设计的知识，在这个方面研究的内容主要是如何防止电磁干扰。本文针对传感器系统的特点，确立了互连线串扰和地跳是引起数模混合电路信号完整性问题的主要原因。先是在理论分析互连线串扰起因的前提下，建立了互连线串扰的数学分析模型。通过测量实际的布版电路，对模型进行了验证，结果表明此模型在 PCB 布版中是适用的，对造成串扰的各种因素进行了探讨，得出了定量的 PCB 设计数据。然后通过分析模拟器件和数字器件的内部电路特点，建立了地跳的 SPICE 分析模型。通过以上理论分析和实际测量，给出了解决数模混合电路中信号完整性问题的常用方法。

本文最后介绍了利用 32 位微处理器——嵌入式 Arm 板消除模拟电路非线性噪声的方法。

关键词：数模混合电路 VHDL-AMS 串扰 建模 传感器

Abstract

Analog-digital mixed-signal circuit design plays an important role in current circuit designs due to sensor and RF circuit' s demand. Usually, people take design measures for this part circuit of analog +digital ones, that means apart them to design. But with the decreasing of chip dimensions, (even in PCB field, the layout density is increasing yet), people cannot help but think about the crosstalk effects put on the weak analog signal lines by digital lines. All these effects at last cause signal integrity problem. On the other hand, people wish the development speed can adapt to the market pressure. So it is essential to explore new design method and forecast all the effects existing in mixed-signal circuit in the early design.

The summarization of some mixed-signal automatic design tools in the market is presented in this paper with details of methods and description languages employed by those mixed-signal EDA tools. Then the development foreground of mixed-signal EDA tools will be using uniform description language to form a uniplatform. This paper make use of IEEE1076.1 (VHDL-AMS) built a behavioral model for pressure sensor which come into being the system design program. Consequently one mixed-signal circuit design method based on VHDL-AMS is presented. As a result, the system design is fastened and early verified as well as the whole system can replant.

After the theory analysis, the hardware circuit is designed. In actual printed circuit board a group of crosstalk contrast circuits is added. To avoid electronic and magnetic integration, this paper analyzes the causing of interconnects crosstalk, and deduces the math model. By measuring actual printed circuit board crosstalk wires, the math model is verified. Some quantitative design data are got. Through analyzing internal circuit character of analog IC and digital IC, the SPICE model of ground bounce is built. Through all above theory deduce and actual measure, the common ways of solving signal integrity problem are drawn conclusion.

At last, the nerve-network software method to eliminate sensor' s

non-linear noise is introduced.

Keywords: Analog-Digital Mixed-Signal Circuit; VHDL-AMS; Crosstalk; Building Model;
Sensor;

华南理工大学

学位论文原创性声明

本人郑重声明：所呈交的论文是本人在导师的指导下独立进行研究所取得的研究成果。除了文中特别加以标注引用的内容外，本论文不包含任何其他个人或集体已经发表或撰写的成果作品。对本文的研究做出重要贡献的个人和集体，均已在文中以明确方式标明。本人完全意识到本声明的法律后果由本人承担。

作者签名：郭玲

日期：2005年06月15日

学位论文版权使用授权书

本学位论文作者完全了解学校有关保留、使用学位论文的规定，同意学校保留并向国家有关部门或机构送交论文的复印件和电子版，允许论文被查阅和借阅。本人授权华南理工大学可以将本学位论文的全部或部分内容编入有关数据库进行检索，可以采用影印、缩印或扫描等复制手段保存和汇编本学位论文。

保密，在___年解密后适用本授权书。

本学位论文属于

不保密。

(请在以上相应方框内打“√”)

作者签名：郭玲

日期：2005年6月15日

导师签名：秦华权

日期：2005年6月15日

第一章 绪论

1.1 数模混合电路研究背景

20 世纪 80 年代,在电子设计自动化(EDA)工具的辅助下,数字电路的集成度从几十万门的超大规模、向着百万门、千万门的甚大规模飞跃,数字集成电路以前所未有的速度发展。许多传统上用模拟电路形式来实现的功能被转换到数字领域内完成(如各种滤波算法),模拟电路被严重忽视^[1]。

进入 90 年代,市场对模拟电路的需求开始增长,这是因为尽管许多类型的信号处理已转移到数字领域,但是,在现代许多复杂高性能系统中许多模拟电路却无法被数字电路替代,如自然界信号的处理、传感器、无线接收器等,在整个 90 年代,数模混合电路的产品占到了 60%^[2]。

随着专用集成电路(ASIC)应用的增多,90 年代末期,将整个系统集成在一个芯片(System-on-a-chip)的趋势日益明显,但不包括模拟量的复杂系统实在太少,通常这种电路都是数模混合的形式,数模混合电路向着单片化、集成化、微型化发展^[3-4]。在这种情况下,数模混合电路被称为混合 SOC。

要在 SOC 上集成各类数字、模拟 IP 模块,这样一片 SOC 的费用要比板级系统(System-on-board)高得多,同时要组织系统设计人员、硬件设计人员、软件设计人员和元器件设计人员在一起开发 SOC,困难很大。要将数模混合电路实现真正意义上的单片化(SOC),道路还很曲折,除上述开发费用昂贵的因素外,成功率低是另一个主要原因^[5-6]。传统的设计方法显然不适合 SOC 设计,目前的方法所暴露出来的问题越来越多,主要有^[7-10]:

第一,设计语言的问题。在系统设计时描述系统各功能块的语言是高级程序设计语言如 C,而描述硬件的 HDL 或 Verilog 是两种不同的语言,这样就需要将 C 语言转化成 HDL 或 Verilog,增加了额外的工作量和设计时间。问题的根源在于没有统一的语言。

第二,噪声设计。工作频率、集成度的提高,使各种寄生效应明显,信号线间的串扰、共地等电磁干扰变得越来越严重,降噪和隔离技术变得十分重要。

第三,设计验证。验证是 SOC 最大的挑战,如果采用逻辑仿真的方法进行全芯片的功能验证,所用的时间较长,为了尽可能早地找出问题并进行优化设计,必须依赖前期的验证方法,可以采用行为级仿真。对于复杂的 IP,应该抽象出 C 或行为模块,在抽象的行为级仿真后再联到整个仿真平台,同样牵涉到设计语言的问题。

因此,数模混合电路的设计必须探索新的设计方法。混合 SOC 具有更低功耗、

更高性价比的特点，以及可以大大降低系统整机体积和成本的优势，已为业界共识，世界各国无不倾力发展混合 SOC 产品，并投入巨资开展混合 SOC 设计方法的研究。我国的集成电路发展薄弱，落后世界发达国家有几十年，SOC 是一个崭新的课题，它的发展给我们带来了机遇，如果能够在此时切入数模混合电路设计，引入先进的设计理念，我们将在这一领域大大缩短与世界的差距。

数模混合电路的应用很广，无论是在 SOC 还是印制电路板(PCB)中，数模混合电路都是研究的热点和难点。在系统设计方面，二者都需要在抽象级别高的层次上进行系统仿真和验证，在布线方面都存在噪声问题，研究 SOC 系统设计方法可以应用到 PCB 上，而在 PCB 上观察噪声情况可以预测 SOC 状况，二者存在共通点。因此研究数模混合电路设计方法具有现实意义。

1.2 数模混合电路设计方法的进展

1.2.1 数字电路的设计方法

数字电路的设计流程可以划分为：应用设计、系统设计、逻辑实现、电路设计和布局布线五部分，设计过程从上至下，在每层次都利用 VHDL 语言，借助相当成熟的 EDA 软件工具，帮助设计者自动完成从高层到低层的综合。

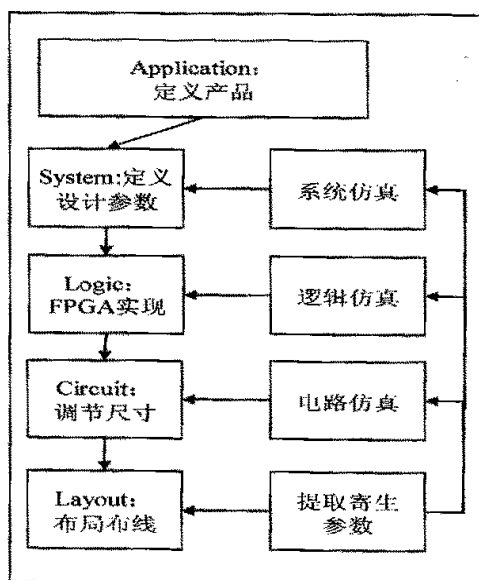


图 1-1 数字电路设计流程

Fig. 1-1 Digital Circuit Design Flow

1.2.2 模拟电路的设计方法

模拟集成电路自动化设计方法的研究远没有数字电路自动化设计技术成熟,除了在电路级有 SPICE 工具进行仿真外,尚无其他的健全的商业化计算机辅助设计工具,设计只局限在电路和布局布线这两个层次^[11]。制约模拟电路自动化设计的难点主要在于行为级综合、电路拓扑结构选择和版图综合,即使是 SPICE 工具其支持的设计方法也是从下而上的方法,即在电路元件的基础上仿真电路功能,与数字电路的 top-down 设计方法截然相反。提高模拟电路的自动化设计水平,是数模混合电路发展的必由之路。

1.2.3 数模混合电路 EDA 工具的新进展

传统的模拟电路和数字电路分开设计的方法已经不适合数模混合电路的发展。要让数模混合电路实现统一设计,加快模拟电路设计的周期,必须有合适的 EDA 工具,实现模拟电路行为级、功能级直至完成物理版图的 top-down 设计过程^[12-14]。

1999 年 IEEE 协会颁布了 VHDL-AMS (Very High Speed Integrated Circuits Description Language for Analog and Mixed Signal) 标准语言。它将 VHDL 标准扩展到模拟和混合信号系统,重点是描述模拟和混合信号系统,并最终实现模拟信号和数模混合信号的描述、仿真和综合。深受工程师青睐的 Verilog HDL 语言也有了相应扩展,最近 Open Verilog International (简称 OVI) 组织公布了 Verilog-AMS 语言参考手册的草案,在这个草案里定义了这种可用于模拟和数字混合信号系统设计的硬件描述语言。

自 IEEE 公布 1076.1-1999 标准以后,EDA 工业界的人士热烈欢迎此项标准的批准,各大公司纷纷加入到开发以 VHDL-AMS 为基础的混合信号模拟环境的行列中,Mentor Graphics、Cadence 等公司相继推出了自己的支持 VHDL-AMS 的仿真软件。越来越多的人相信 VHDL-AMS 的应用将推动模拟和混合信号硬件结构的高层次自动综合。下面列出国外一些公司在数模混合电路方面最新的技术动态:

- 1、Cadence 公司把新出现的 Verilog-AMS 标准和不同的仿真算法与分析工具以及传统的 Spice 网表 (netlist) 表示方法结合起来,这样一个仿真器 (即 Spectre) 就可以在设计流程的不同层次上应用。

- 2、Transcendent 设计技术公司在其产品 TransVerSE 中提供 Verilog-A/AMS 的仿真能力。该产品的目的是仿真复杂的电子机械系统,它针对一些不同的工业领域,其中包括汽车工业、飞机工业、航天工业和消费电子工业。TransVerSE 支持 Verilog-A、新出现的 Verilog-AMS 语言、Spice 及其模型与子电路模型。

- 3、Synopsys 公司开发的 Saber 支持 VHDL-AMS 行为模型,系统和部件仿真。

4、Mentor 公司开发的 System-Vision 支持 VHDL-AMS 的系统仿真和电路仿真。

1.2.4 数模混合电路设计方法的新进展

根据文献[4][5][3]，数模混合电路的设计经历了以下几个阶段：

表 1-1 IC 设计方法演变示意图

Table 1-1 Evolvement Chart of IC Design Method

发展阶段	20 世纪 70 年代	20 世纪 80 年代	20 世纪 90 年代	20 世纪 90 年代末 21 世纪初
特征产品	标准逻辑系列电路	ASIC	ASSP	SOC
设计方法	基于器件设计	基于单元库设计	基于 IP 设计	基于平台设计
原创性	器件级电路	全定制逻辑	各功能块及其接口	系统及其总线及接口
需要优化的地方	人工为主	门级综合及其单元级布局布线	功能构件的综合及其布局布线	系统级的综合及其布局布线

可以看到进入到 21 世纪, SOC 是发展主流, 在该阶段, RTL 级的设计只占很少的一部分内容, 大量工作都集中在系统仿真和验证。基于平台的设计方法被提了出来, 以提高验证自动化, 加快芯片的开发周期。关于“平台”还没有统一的定义, 本文将在第二章探讨一个基于 VHDL-AMS 设计平台的数模混合电路设计方法。

1.3 电磁兼容性

电和磁是客观联系在一起。每当一个电子系统产生时, 电磁干扰 (Electromagnetic Interference-EMI) 就不可避免。为了提高电子系统的电磁兼容 (Electromagnetic Compatibility), 必须从开始设计时就给予足够的重视。世界各国对电气设备的电磁兼容性均制定了相应的标准。在西欧, 凡不符合欧洲 EMC 标准的电器产品, 一律不准进入欧洲市场。对 EMI 和 EMC 的研究已经迅速扩大到与电子电气相关的工业、民用等各个领域。

所谓电子系统的电磁兼容性^[15-17], 是指电子设备在预定的电磁环境中, 能按一定设计要求正常工作的性能或能力, 包括两个方面的含义:

(1) 在给定电磁环境中, 电子设备或系统内部和子系统, 一个系统内部的各台设备乃至相邻几个系统, 在他们自己所产生的电磁环境及在他们所处的外界电磁环境中, 能够按原设计要求正常运行。换句话说, 他们应具有一定的电磁敏感度, 以保证他们对电磁干扰具有一定的抗扰度。

(2) 该设备或系统自己产生的电磁噪声必须限制在一定的电平, 使由他造成的电磁干扰不致对周围的电磁环境造成严重的污染和影响其他设备或系统的正常运行。

构成电磁干扰有三个要素, 即干扰源(噪声)、干扰耦合途径及干扰接收器(被干扰设备)。进行电磁兼容设计主要通过削弱干扰源的能量、隔离或减弱干扰耦合途径、及提高设备对电磁干扰的抵抗能力达到电磁兼容。设计一个好的产品, 必须采用最有效、最简单和低成本的 EMC 方案, 只有熟悉系统工作现场各种可能的电磁干扰源和电磁噪声的耦合途径, 才能提出有针对性的 EMC 设计方案。

电磁兼容设计必须在系统设计时就开始考虑, 如果是在产品后期考虑, 成本将非常昂贵, 因为产品成形后, 供抑制噪声、防止干扰的手段越来越少, 为此付出的代价也越高。

按照电磁干扰的原理, 电磁干扰的作用途径主要可以分为两大类, 即辐射干扰和传导性干扰。辐射干扰是指干扰源比较远, 干扰源发出的干扰以电磁波的形式被接收。传导性干扰是指干扰源距离比较近, 干扰源通过耦合电容、耦合电感和公共阻抗的途径进入被干扰设备。远场与近场之间的区分可以用干扰源到干扰物的距离(r)与电磁波波长(λ)的比值来确定, 如果 $kr \gg 1$, 其中 $k = 2\pi/\lambda$ 时, 将干扰视为辐射干扰, 即远场干扰, 此时电磁场沿矢径方向向外传播且不再返回, 这就是电磁辐射。如果 $kr \ll 1$, 就将干扰视为传导干扰, 即近场干扰, 当干扰源的距离很近时, 干扰源和被干扰设备就要处于同一个由分布电参数, 如电容、电感、电阻连接起来的电路中, 采用解电路的方法来分析干扰强度的大小。当电磁波频率是 300MHz 时, 波长是 1m, 电磁波频率 3000MHz 时, 波长才能到达 10cm, 一块 PCB 或一块芯片, 信号线间距都在厘米甚至微米级别, 由此我们可以判断在信号频率没有达到 10GHz 的情况下, 电子线路出现的都是传导干扰。

在数模混合电路的设计中, 数字电路开关效应对模拟电路的影响不容忽视, 是数模混合系统能否正常工作的关键所在, 本文将就这方面做出详细的讨论, 建立互连线干扰的预测模型。

1.4 课题来源

本课题来源于广东省自然科学基金: 传感器信息获取与处理关键技术研究。研究围绕传感器信息获取与处理中的关键理论和技术开展研究, 主要研究内容包括信号处理、混合电路设计、传感器网络协议、即插即用接口与传感器 IP 复用、SOC 软硬件协同技术, 重点研究传感器集成电路中传感器模拟电路与智能信息处理数字电路的混合电路综合集成方法。对提高广东省的工业自动化技术和政府管理信息化水平具有重要的理论研究价值和巨大的市场前景。

1.5 论文研究内容

通过以上分析我们看到，数模混合电路主要面临两个方面问题：1. 寻找统一设计平台；2. 电磁兼容设计。数模混合电路设计缺乏统一的设计平台，给设计者交流带来了很大困难，延长了设计周期，电磁兼容性使数模混合电路的功能实现变得不可预测。本文将就这两个问题做深入分析。方法是实践的指导，智能传感器是一个典型的数模混合电路，我们将把研究成果应用到传感器设计中，指导实践。

本文第二章介绍数模混合电路描述语言 VHDL-AMS 的特点，基于该语言创建统一设计平台，并结合工程应用建立压力传感器的行为模型。第三章根据前面的理论分析设计了智能传感器硬件电路，实际测量到了串扰、地跳等电磁干扰信号，验证了数字开关效应对模拟信号线的影响在数模混合电路设计中是不可回避的问题。论文第四章在分析数模混合电路中互连线串扰耦合和地跳的起因的情况下，建立了各自的数学预估模型和 SPICE 模型。第五章设计了基于 Arm 的智能传感器软件消除非线性方法。

第二章 基于 VHDL-AMS 的数模混合电路设计方法研究

2.1 模拟电路设计层次的划分

模拟集成电路的设计自动化水平远远落后于数字集成电路，在数模混合电路的设计过程中，模拟电路的比例虽然只占整个电路的 10%~20%，但是其花费的时间却占用了整个设计的 80%以上。为了缩短设计周期，适应来自市场的压力，近年来人们对模拟电路自动化设计工具倾注了巨大的热情，涌现了许多针对模拟电路设计的算法研究文献。普遍的观点是借鉴数字电路分层次抽象的设计特点，将模拟电路抽象成不同级别^[18]，自动化设计工具将从上到下逐层分解电路，直至最后的版图布线。

模拟电路根据自己的特点可以抽象成为行为级（系统级）、结构级、功能级、电路级、版图级五个层次，其中行为级将给出系统的状态方程，约束方程，性能指标等；而结构级给出实现系统功能模块的拓扑结构；功能级给出各个功能模块之间的连接关系；电路级是实现功能模块的子电路单元。

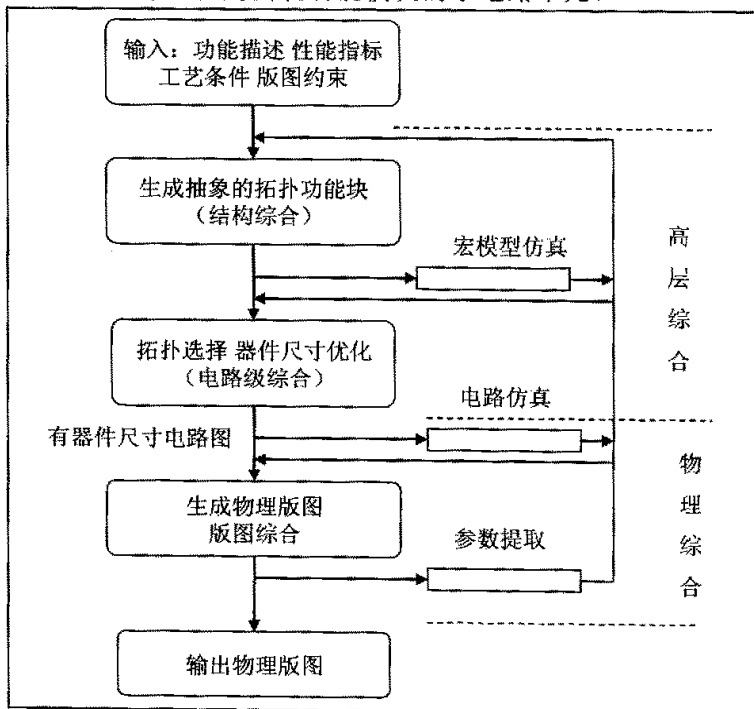


图 2-1 模拟电路设计流程

Fig. 2-1 Analog Circuit Design Flow

按照模拟电路的抽象级别，模拟电路的设计过程如图 2-1 所示。

图 2-1 中包括了两个综合过程：高层综合和物理综合。在高层综合中又可分为结构综合和电路级综合。结构级综合是指由系统的数学或算法行为描述到生成抽象电路拓扑结构过程，电路级综合是指将确定的拓扑结构和器件尺寸进行参数的优化。把器件尺寸优化后的电路图映射成与工艺相关和设计规则正确的版图过程称为物理综合。

在整个设计过程中，对各级抽象级电路的描述和综合是 EDA 工具实现的主要任务。

2.2 混合电路 EDA 工具典型算法

在模拟电路的高层综合中，首先将用户要求的电路性能、性能指标、工艺条件和版图约束条件等用数学或算法行为级的语言描述，然后进行结构综合和电路综合。结构综合是将给定的行为描述转化成用抽象功能块实现的电路结构，电路级综合包括拓扑选择和尺寸优化两个过程。高层综合的结果是产生一个具有器件尺寸的电路原理图。而物理综合的任务是从具有器件尺寸的电路原理图得到与工艺条件有关和设计规则正确的物理版图。在模拟电路自动化设计过程中，有几个代表性的方法，这些方法在一些程序和 EDA 工具中已经有所使用。典型的有基于专家系统的方法、基于符号的方法和基于模拟退火的方法。

1. 基于专家系统/知识的方法：

专家系统是^[19]利用存储知识达到电路的设计目的。这些存储知识包括正式的数学方程式或被设计专家频繁使用的经验性的推理方法。所谓“正式的”是指通过数学程序比如运算法则和系统方程推导出来的诸如此类的知识；而由经验和观察所得的知识被称为“非正式”、“直觉的”或“经验”知识。值得一提的是正确的直觉知识通常都可以由正式的理论所验证。基于专家系统的设计方法既包含了强大的正式知识也包括了被模拟电路设计者广泛使用的经验技巧，目的是创建一个完备的模拟电路设计环境。基于专家系统的设计方法在 BLADES (Bell Laboratories Analog Design Expert System) 中使用^[18]。BLADES 是一个基于综合知识的模拟电路设计环境，根据设计任务的复杂度，它会使用不同抽象级别设计电路。

基于专家系统的模拟电路设计方框图如图 2-2 所示，由三部分组成：综合器，优化器和任务协调器^[19]。综合器使用正式或非正式知识逐级分解电路性能，在不同抽象级别产生各自的电路拓扑结构，电路拓扑结构应该满足行为级给定的各种参数指标。在每一等级水平，各种可用结构按照不同的性能标准排列，以便于选择最合适的拓扑结构。下一步是将拓扑结构转化成更低一级的子电路。综合的

最后阶段就是产生器件级的电路原理图并确定原始器件的规格尺寸。

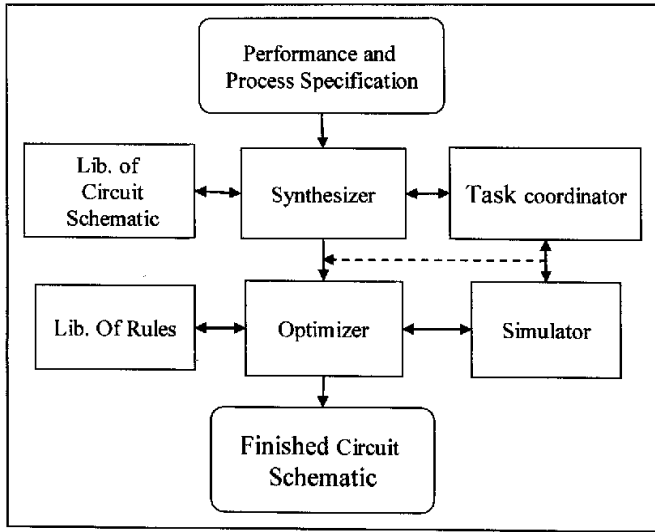


图 2-2 基于知识的模拟电路设计方法

Fig. 2-2 The Analog Circuits Design Methodology

在最初的综合结束后，会使用 SPICE 评估发生的电路。如果发现仿真性能差异巨大，系统就进入优化阶段，以校正电路。

专家系统中优化器所使用的优化方法包括数值优化和基于规则的两种优化方法。在数值优化过程中，求解非线性方程通常使用牛顿-拉夫逊法 (Newton-Rapson)，求解线性方程组则一般使用 LU 分解法。数值优化的第一步是获得一个与电路的规格尺寸相关的增量模型，此增量模型将转化产生一个精确的量化的修正量以校正电路。使用电路仿真器获得该增量模型的参数。当模型确定后，求解线性方程，得到电路器件各种性能（如 W/L）的修正量。在这里因为要使用电路仿真器产生增量模型，速度很慢。

基于规则的优化方法无需耗时的电路仿真器。一个定性的基于规则的电路模型被永久地存储在设计系统中，这些根据电路专家的直觉或经验的规则以“if... then...”的形式出现，通过这些规则，获得电路校正的修正量。整个优化过程效仿数值型的牛顿-拉夫逊方法，但是不是精确的数值，仅仅是定性的“增加”，“减少”，或者是“没有变化”。这种方法很简单但是因为简单的定性模型没有考虑整个电路的复杂性，所以整个优化过程需要反复迭代。并非每一次优化都需要定性模型，但是一旦定性的模型产生了，它就被存储在系统的知识库中，可以重复使用。这些定性的模型是使用电路仿真器获得的定量模块的定性抽象，在整个定性的环节中，只有知识库中没有可用的定性模型时，才使用电路仿真器。随着时间的推移，知识库越来越完备，系统会越来越快，因为电路仿真器使用的频率在减

少，这有点像效仿一个电路专家的学习过程。

专家系统的目的是产生一个电路修正的“推荐意见”（修正值），知识库的结构^[19]如图 2-3。

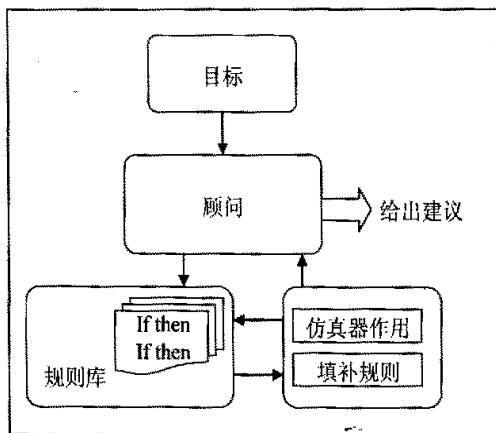


图 2-3 知识库结构

Fig. 2-3 Structure of Knowledge Base

根据不同电路拓扑结构的子电路规格参数，系统检查知识库，如果该状态下的知识存在，那么顾问直接给出电路修正的推荐意见，否则系统首先检查是否可以通过添补机制获得该知识，如果添补不成，则唤醒电路仿真器。

专家系统贯彻了从上至下的设计思路，将电路性能逐渐分解直至获得合适的电路原理图。

2、基于符号的方法

在上述基于专家系统的综合方法中，对电路的定量分析可能要依靠电路专家手工设计完成，采用简化的电路模型，获得电路的解析表达式，然后使用仿真器对电路进行反复的模拟和修正，再手工绘制电路物理版图。对于规模较大的模拟电路，用手工推导电路的交流特性显然是不现实的。符号仿真方法（Symbolic Simulation）可以自动给出电路性能的函数表达式^[20]。符号仿真的成功应用是 ISAAC（Interactive Symbolic Analysis of Analog Circuits）仿真器，它可以推导出模拟集成电路的所有交流特性，对连续时间内、开关电容方式，亦或 CMOS，双极型电路都有效。

通过对电路的传递函数、CMRR、PSRR、阻抗和噪声的符号解析，设计者可以深入了解哪些参数影响了电路性能。一般利用矩阵求解符号方程，可以采用基于直觉的或经验的逼近算法来简化表达式，去除那些对电路影响较小的项，以解决解析函数表达式较长的问题。

一个有源 RC 电路如图所示，假定运算放大器是理想的，由 ISAAC，它的传输

函数 V_{out}/V_{in} 或滤波表达式为式 (2-1), 可以得到其原理图^[21]。

$$\frac{-g_4 g_8 (g_1 g_2 g_9 + g_1 g_3 g_9 + g_1 g_9 g_{11} + g_2 g_6 g_9 + g_2 g_6 g_{10}) + s g_7 c_2 (g_1 g_3 g_9 + g_1 g_3 g_{10} - s^2 (-1) g_2 g_7 c_1 (g_9 + g_{10}))}{g_{11} (g_9 + g_{10}) (g_4 g_6 g_8 + s g_5 g_7 c_2 + s^2 g_7 c_1 c_2)} \quad (2-1)$$

符号仿真器已经被广泛地使用在运算放大器、滤波器和开关电容电路的分析中, 已经证实它是可靠的设计助手, 弥补了现存的数值仿真器的不足。

3、基于模拟退火的优化算法

ISAAC 产生的符号表达式可以作为电路的分析模型使用, ISAAC 通常与 OPTIMAN (OPTIMization of Analog circuits) 结合使用, OPTIMAN 是一个优化设计程序。非固定拓扑结构的模拟电路设计策略如图 2-4 示^[20]。

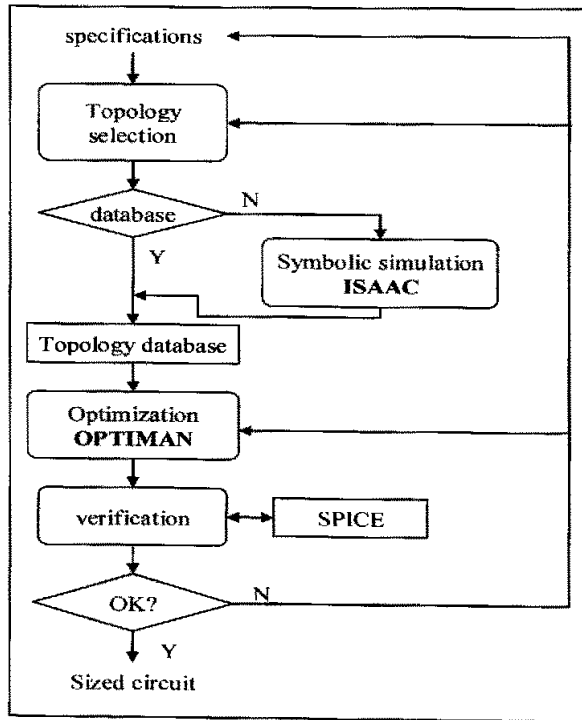


图2-4 非固定拓扑结构的模拟电路设计策略

Fig.2-4 Diagram of the non-fixed-topology analog design strategy

用户首先输入性能规格, 然后分层次建立电路拓扑结构, 在建立拓扑结构的过程中首先在数据库中寻找相应的结构, 并继续寻找电路的分析模型, 如果此结构不存在, 由 ISAAC 自动产生电路的分析模型, 并将其保存在数据库中。OPTIMAN 随后根据这些分析模型和拓扑结构数据对子电路元件进行尺寸优化以进一步满足设计要求。模拟退火算法是 OPTIMAN 使用的最主要的优化算法^[22]。

在模拟电路的综合过程中使用模拟退火方法, 其目的就是在给定电路性能指

标或电路模型条件下,寻找一个拓扑结构或一组器件尺寸,使该模拟集成电路的芯片面积(Area)最小,芯片合格率(Yield)最高。

2.3 建造数模混合电路统一设计平台

从模拟电路设计的流程图 2-1,我们可以看到,在模拟电路的第一步,是要将用户要求的电路功能、性能指标、工艺条件和版图约束等条件用数学或算法行为级的语言描述。另一方面,高级的电路行为描述转化到下级功能子模块、元器件、版图,依靠一系列的映射规则(2.2节),为了准确地执行这些“映射”,必须精确描述每一抽象级的行为。在前面一节中,我们看到在每一综合过程中都使用不同的CAD工具,如果要将这些CAD工具招纳到一个设计体制中,就需要一个统一的描述语言。模拟电路之所以不像数字电路那样有统一的功能描述语言,原因之一就是模拟电路的性能不好定义和分类,在不同的应用环境下,变化也较大。如果模拟电路的功能描述语言开发出来,那么从行为到结构到器件的逐层分解过程就不会那么麻烦^[18]。

1. SPICE 语言

目前,被广泛使用的SPICE语言是元器件和元器件级电路的天然描述语言,但是它不支持行为级建模和结构级的描述。SPICE(Simulation program with integrated circuit emphasis)是最为普遍的电路级模拟程序,各软件厂家提供提供了VSpice、HSpice、PSpice等不同版本Spice软件,其仿真核心大同小异,都是采用了由美国加州Berkeley大学开发的Spice模拟算法。

Spice是以元器件的工作原理为基础,从元器件的数学方程式出发得到的器件模型,模型参数与器件的物理工作原理有密切的关系。SPICE模型的优点是精度较高,特别是随着建模手段的发展和半导体工艺的进步和规范,人们已可以在多种级别上提供这种模型,满足不同的精度需要。缺点是模型复杂,计算时间长,因此SPICE在电路级是最负盛名的仿真程序,但是在高层次描述则无能为力。

2. System C

System C是一个C++库,设计者可以用System C开发工具或在标准C++开发工具中加如SystemC库制作系统级模型,快速地仿真和优化设计,以及研究不同的算法,为硬件和软件设计设计人员提供一个系统设计的可执行规范。其本质是一个C++程序,为使用C的软件设计人员和使用VHDL的硬件设计人员提供了一个设计标准,一般由系统工程师用C语言或C++语言设计出一个系统模型,并在系统级层次上检验概念和算法。当这些概念和算法被检验为正确无误时,C/C++模块被分解为功能相对独立的子模块。这些相对独立的子模块由硬件设计人员手工地转化为VHDL或Verilog语言用以硬件实现。

显而易见, System C 在系统级设计有优越性, 兼顾了软件设计师的习惯, 但是在混合系统有很多缺点。首先人工将 C/C++ 转换为 HDL 程序易产生错误; 同时, C 和 HDL 本就是两个系统, 需要系统间的转换。其次, 系统模块和 HDL 模块间缺乏联系: 当系统模块被转换为 HDL 模块后, HDL 模块成为整个系统设计的焦点, 为适应硬件实现的特点, 硬件设计人员会更改系统设计人员的设计, 但这种更改只是在 HDL 模块中进行, 而系统设计人员设计的 C 模块并没有因此更改。

3. VHDL-AMS 语言

VHDL-AMS 为描述模拟电路和系统提供了一种一致的语法和正式的语法结构(统一平台)。VHDL-AMS 是 IEEE 于 1999 年 3 月正式公布的工业标准数/模硬件描述语言。VHDL-1075.1 标准的出现为模拟电路和混合信号设计的高层综合提供了基础和可能。它是 VHDL 语言的扩展, 重点在模拟电路和混合信号的行为级描述, 最终实现模拟信号和数模混合信号的结构级描述、仿真和综合。除 VHDL-AMS 以外, 其它几种数模混合信号硬件描述语言的标准还有 MHDL (Macrowave/Millimeter-wave Monolithic Integrated Circuits) 和 Verilog-AMS。MHDL 是描述微波器件高频特性的一种硬件描述语言。Verilog-AMS 是 Verilog 向模拟和混合信号领域的扩展。如前所述, 专用集成电路(ASIC)设计特别需要一种模拟设计的标准语言, 因为目前它们遇到一个大问题是, 没有一个模拟器能够提供完整的解决方案, 而使用多种工具, 又会引起句法不同的问题, 因此规范一种标准的 VHDL-A 势在必行。

2.3.1 VHDL-AMS 语言的特点

VHDL-AMS 支持混合信号系统的描述, 但不是单纯地将各自独立描述的模拟电路和数字电路组合连接起来, 而是全面支持自然界离散、连续各种信号的描述。其理论基础是微分/代数方程(DAEs)^[23], VHDL-AMS 支持 DAE 的连续模型, 并由模拟解算器求解。

1. VHDL-AMS 的语法特点

(1) 采用 entity 声明一个设计实体或模块, 实体中包含端口说明, 一个或几个结构体(architecture), 还有可选的配置说明。各信号量之间必须遵守能量守恒定律。

(2) VHDL-AMS 采用“量”(QUANTITY)来承载模拟量值, 分为横量(cross)和穿量(through), 分别对应电压、电流。通过建立关于 quantity 的方程组, 仿真电路性能。同时 VHDL-AMS 采用 break 语句强迫 quantity 的量值重新初始化, 如果某事件或某条件变为真(比如说发生了信号跳变), 就要用 break 语句给 quantity 类型的变量赋初值, 以保证仿真的正确性。VHDL-AMS 语言的基本思想

就是联立关于量的常微分方程来进行电路仿真。

(3)VHDL-AMS采用 terminal 作为端点,其既可以充当模型里各种元件的接口,也可以只是内部的节点,用途比较广泛。Terminal 的主要作用就是在仿真器里建立模拟部分的网表,为建立节点方程做准备。与其它的电路逻辑描述语言相比,terminal 的一个与众不同之处在于它可以属于不同的自然类,如电系统,热系统等。这赋予了 VHDL-AMS 更大的自由度,使它不仅仅局限于单一的系统,从而令混合系统的建模切实可行。

2. VHDL-AMS 的优点

第一, VHDL-AMS 包容了 SPICE,任何的 SPICE 类型的器件模型都可以用此语言描述,这使得 VHDL-AMS 的仿真器可处理实际的集成电路问题。尽管 SPICE 模型不会成为 VHDL-AMS 语言的一部分,但是可以用 VHDL-AMS 语言来描述 SPICE 中的各种器件、宏模型,从而扩大 VHDL-AMS 的应用范围。第二,它是基于方程、数学函数和事件驱动的功能块,而不是局限于一些内建的基本器件,这使得它可以用行为化的语言来构造模型。此时,重要的是如何描述器件或系统行为,而不是如何实现这些行为,因此,在不失精度的前提下对系统行为模拟和验证是非常有价值的。第三,采用 VHDL-AMS 建模,模型独立于模拟器,模拟器只是一种数学运算工具,用 VHDL-AMS 开发的模型都使用语言描述,有利于模型复用、交换和资源共享。

从以上的讨论我们可以看到:VHDL-AMS 支持模拟电路从上至下逐层分解的设计思想。无论是行为级还是元器件级,都可以用该语言进行描述,而模型一旦确定,可以在不同级间交叉复用,为数模混合电路的描述提供了强有力的工具。

一个理想电容的描述可以如图 2-5:

```

entity C is
  generic (C_val: Real :=1.0E-12);
  port (terminal P1,P2: Electrical);
end entity C;

architecture Ideal of C is
  quantity V across I through P1 to P2;
begin
  I=C_val*V'dot;
end architecture Ideal;
    
```

图 2-5 理想电容的 VHDL-AMS 描述

Fig.2-5 VHDL-AMS Description of ideal capacitor

电容的两端定义为 P1, P2, 此分支的电压和电流是微分的关系, 满足 $f(v, i) = 0$ 的守恒定律。

2.3.2 基于 VHDL-AMS 建立数模混合电路系统设计平台

数模混合电路设计的复杂性,使电路设计成本增长越来越快,因此迫切需要一个设计平台解决数模混合电路的协同仿真验证的问题。

1、基于平台的设计

基于平台的设计由 A Ferrari 与 A Sangiovanni 于 1999 年首次提出^[24]后来又经过详细定义与发展^[25],其提出的背景是 IP 复用的设计方法很难在商业中得到实现:

首先 SOC 的规模往往远大于普通的 ASIC,将模拟电路和数字电路集成在一个芯片上,其复杂度大大提高。仿真与验证占了整个设计的 50%-80%,如果用传统方法进行验证,将导致漫长的研发周期;不仅要保证单个模块的功能得到完全验证,同时要从系统的角度,在整个芯片的水平上做软件、硬件的协同验证,因此,迫切需要一个 SOC 仿真验证平台,提供 SOC 验证的方法,加快 SOC 芯片的开发。

其次 IP 模块远非拿来就能用,接口的标准化、IP 与整个 SOC 的协同验证都是亟待解决的问题,这在客观上提出要有一个平台能够很灵活的把这些 IP 集成在一起。

最后人力资源的协调和充分利用是另一个问题,团队的沟通必须有统一的语言,各种 IP 软核、硬核的管理对 SOC 设计平台提出了要求。

为了解决这些问题,提出了基于平台的设计(PBD)。根据虚拟插座接口联盟 VSIA (Virtual Socket Interface Alliance) 给予的混合 SOC 设计平台的定义,片上系统设计平台是由一组具有共同的、可集成的、可控制的功能部件组成,也就是说,基于平台的设计首先要完成大量的应用于该平台的产品设计。

2、已有的平台特点分析

在文献^[26-29]中探讨了基于微处理器核如 Arm 以及 MIPS 的嵌入式设计平台,该方法分别定义硬件平台、软件平台和系统平台。硬件平台由微体系结构系列构成,并支持软件重用;软件平台则通过 API 使用硬件平台的资源,包含了实时操作系统(RTOS)、设备驱动程序等;硬件平台与软件平台共同组成系统平台。

这种方法存在的主要问题就是:(a)试图从系统模型直接跨越到硬件设计和软件设计,但是从系统设计到硬、软件设计跨度很大,实际中难以实现;(b)仅支持通过修改嵌入式软件模块实现新设计所需的新功能,不能改变平台的硬件结构,设计灵活性差;(c)没有将系统性能参数代入到系统仿真中,只是被动地验证某设计步骤是否满足性能要求,这样在性能不满足时就可能出现设计步骤的较大反复。

3、基于 VHDL-AMS 的数模混合电路设计方法

我们提出的基于 VHDL-AMS 平台的设计流程如图 2-6。从系统的角度看,希

望将设计抽象，“抽象”给系统设计带来许多好处，一方面使电路设计实现从上而下的流程，另一方面隐藏底部细节，加速仿真速度。因此数模混合电路系统设计平台将完成如下任务：构建系统行为模块、系统仿真、结构描述、映射到底层电路。构建行为模块、结构描述都是非常抽象的工作，VHDL-AMS 语言描述允许这种抽象级别的描述，另外数模混合电路存在着大量数模接口、数模转换器，VHDL-AMS 亦允许模拟/数字接口的建模。

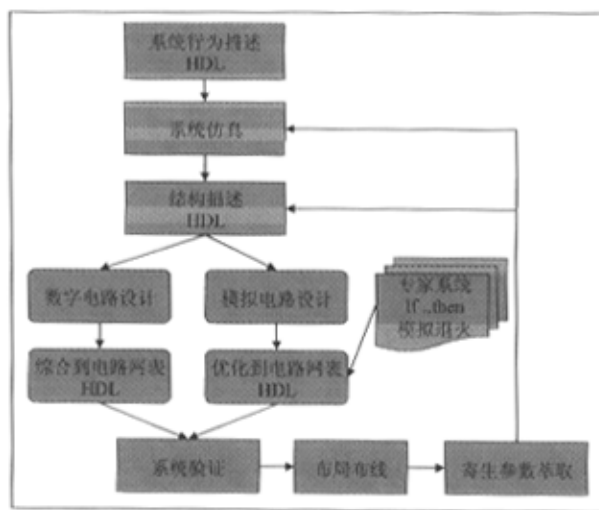


图 2-6 基于 HDL 的统一平台数模混合电路设计

Fig.2-6 Diagram of Analog-digital Mixed-signal Circuit Design Based on HDL Platform

(1) 行为描述，使用前述的 VHDL-AMS 语言建立行为模型，反映电路所实现的终端功能特性，而不是电路的晶体管级的细节特性。使用行为模型进行系统仿真，将加快仿真速度。

(2) 系统仿真，利用前述的行为模型进行系统仿真，在行为模型中包括有各性能约束。

(3) 结构描述，是对行为描述的进一步深化，指明如何实现上述行为目标，结构描述包括硬件和软件，并反映各功能块（包括数字和模拟）的接口特性。采用 VHDL-AMS 语言统一描述，进行再一次的仿真。

(4) 映射，使用 2.2 节所述各种算法映射到 RTL 级（数字电路）和器件级（模拟电路）电路。

(5) 进一步验证和布局布线

(6) 后仿真(post-layout simulation), 从布局布线中提取寄生参数，带入到系统仿真，对行为模型进行修正，继续仿真和验证。

基于 VHDL-AMS 语言的系统设计平台优点在于：可以进行多种信号的混合仿

真和建模，摆脱以往不得不使用多种仿真软件的极不方便的局面；数学方程的描述和电路器件组成的电路的描述可以在同一层次使用，便于系统间接口电路的仿真。

数模混合电路的设计是一项很有挑战性的任务，在日趋复杂的系统中，数字电路的寄存器级设计只占整个设计工作的小部分，大部分的工作是放在系统仿真验证上，正如第一章所述，数模混合电路中包括了 CPU 及微弱信号的模拟电路，高频器件引起的噪声、电磁干扰等决定了数模混合电路的成败，对于数模混合电路接口部分的仿真和验证更加重要。

2.4 数模混合电路设计方法小节

本文研究了数模混合电路的设计流程、典型算法，可以看出数模混合电路的综合离不开设计专家积累的丰富经验，将经过验证过的各种模拟电路经过提炼、分类，并抽象到行为描述，构建丰富的 IP（知识产权核）库，才有可能实现数模混合电路自上而下的自动设计。

介绍了 VHDL-AMS，并和传统的 Spice、新兴的 SystemC 进行了比较。运用 VHDL-AMS 可以对数模混合多信号系统进行统一描述，使得设计过程相对传统方法更加灵活和便捷。HDL 的设计方法已成为数字电路设计的基石，然而在模拟电路和混合电路中 VHDL-AMS 方法的应用却刚刚开始被人们认识，本文提出了一种基于该语言的统一设计平台混合电路设计方法，相信基于 VHDL-AMS 的设计方法将有良好的推广应用前景。

下面我们将把这种设计方法应用到传感器设计中。

2.5 基于 VHDL-AMS 设计方法在压力传感器行为建模中的应用

我们设计的智能传感器系统，是一个典型的多信号系统，既有压力信号，又有模拟信号和数字信号。另外，在传感器系统中，传感器建模一直是一个难点，因为传感器包含了很多物理信号，如温度、压力、磁场、加速度等，信号转换过程比较复杂，通常是多变量的非线性依赖关系，若想正确反映传感器特性，必须具有好的传感器模型。在电路级（以 MOS 等器件为单元）的仿真应用中，会考虑 Spice 建模：用电阻、电容，或者晶体管等器件组成简单的传感器模型。这种建模方法传感器特性不会很准确，只反映某一方面的特点。

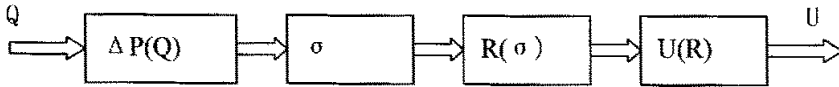
从压力传感器的特点看，扩散硅压力传感器是在半导体材料的基片上扩散电阻，将扩散电阻直接作为敏感元件构成惠斯顿电桥。扩散硅电阻的大小跟随应力变化，其性能受温度变化的影响，很难用简单模型来描述。文献^[30]中作者在 PSpice 下建立了扩散硅模型，因为难以表示一个受温度和应力双重影响的电阻，

只考虑温度和电桥供电电压的影响而忽略应力影响，因此文献^[30]只分析了零点电漂移现象。

利用上章介绍的 AMS 语言进行压力传感器的建模，将实现精确模型的建立。

1. 硅压力传感器的作用原理

硅压力传感器一般使用惠斯顿电桥形式测量压力变化，当外界气体、或液体的压力值改变、硅弹性膜变形时，桥电阻值发生变化，桥的平衡被打破，此时有电压输出。扩散硅压力传感器拾取信号的过程如图 2-7 所示。



(Q—气体或液体， ΔP —压力， σ —膜片应力，R—桥电阻，U—输出信号)

图 2-7: 压力传感器信号转换

Fig. 2-7 Signal Inverter of Pressure Sensor

压力传感器温漂较严重，为了得到高精度的测量值，必须考虑传感器的影响因子。Aljancic.U, Resdik.D 等人认为^[31]，除扩散电阻本身、压阻系数受到温度影响外，弹性膜也会受温度影响，产生额外应力。扩散电阻可以表示为：

$$R(T) = R_0 + \Delta R(T) + \Delta R(\pi(T), \sigma(T)); \quad (2-3)$$

其中： π —压阻系数，一般 $130 \times 10^{-11} m^2 / N$ 有负的温度系数；

σ —膜片应力。

上式 $\Delta R(T)$ 是扩散电阻自身热效应产生的形变； $\Delta R(\pi(T), \sigma(T))$ 是应力的发生所产生的形变，同时应力和压阻系数会受到温度的影响，将 $\Delta R(\pi(T), \sigma(T))$ 展开 $\Delta R(\pi(T), \sigma(T)) = \pi_0 \times (1 - \alpha_\pi(T - T_0)) \times \sigma_0 \times (1 - \alpha_\sigma(T - T_0)); \quad (2-4)$

因此，R 中有关于 T 的二次项。对于惠斯顿电桥，

$$U_{out} = \frac{R_1 R_4 - R_2 R_3}{(R_1 + R_2)(R_3 + R_4)} U_s \quad (2-5)$$

$$R_{i=1,4} = R_0 + R_0 \alpha_i \Delta T + R_0 \pi_0 \sigma_0 (1 + k_i \Delta T)(1 + b_i \Delta T); \quad (2-6)$$

$$R_{i=2,3} = R_0 + R_0 \alpha_i \Delta T - R_0 \pi_0 \sigma_0 (1 + k_i \Delta T)(1 + b_i \Delta T); \quad (2-7)$$

- a_i --电阻的温度系数;
 k_i --压阻系数的温度系数;
 b_i --膜片的温度系数;
 下标0 --温度 T_0 时参数。

电桥输出电压对温度的依赖性可以写成函数:

$$U_{out} = f(\sigma, T) \quad (2-8)$$

2. 硅压力传感器的行为建模

随着信号处理功能的强大,传感器输出失真越来越依赖软件消除,就是在 CPU 中对信号进行数据处理,单纯依靠 Spice 是不能完成这个系统建模的。

VHDL-AMS 支持数学公式的建模,建立惠斯顿电桥的行为模型。实体定义为图 2-8,惠斯顿电桥的 VHDL-AMS 行为描述如图 2-9 所示。

```
entity bridge is
  generic( Vs: voltage:=5.0;
           r0,pai,a1,a2,a3,a4: real;
           k1,k2,k3,k4: real;
           b1,b2,b3,b4: real);
  port (terminal P1, P2: fluidic;
        terminal T1: thermal;
        terminal V1,V2: electrical);
end entity bridge;
```

图 2-8 惠斯顿电桥的行为实体

Fig. 2-8 Entity of Bridge

```
architecture dataflow of bridge is
  quantity P across Pflow through P1 to P2;
  quantity V across I through V1 to V2;
  quantity T across heat through T1 to thermal_ref;
  quantity R1,R2,R3,R4: real;
begin
  R1==r0*(1.0+a1*T)+r0*pai*((1.0+k1*T)*(1.0+b1*T))*P;
  R4==r0*(1.0+a4*T)+r0*pai*((1.0+k4*T)*(1.0+b4*T))*P;
  R2==r0*(1.0+a2*T)-r0*pai*((1.0+k2*T)*(1.0+b2*T))*P;
  R3==r0*(1.0+a3*T)-r0*pai*((1.0+k3*T)*(1.0+b3*T))*P;
  T==heat*(R1+R2+R3+R4);
  P==pflow*(R1+R2+R3+R4);
  V==(R1*R4-R2*R3)/((R1+R2)*(R3+R4))*Vs;
End architecture dataflow;
```

图 2-9 压力传感器的行为描述

Fig. 2-9 Pressure Sensor's Behavioral Description

我们在 Mentor Graphics 公司的 SystemVision 平台下建立 VHDL-AMS 仿真模型，膜片应力和温度直接采用平台下 Hydraulic 和 Thermal 库中的压力源和温度源，组装后的压力传感器结构如图 2-10，我们将在时域分析压力传感器的各种特性。

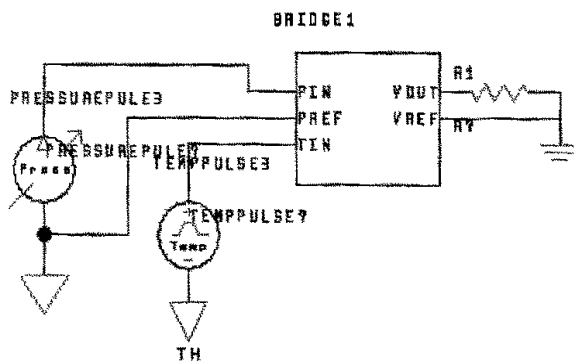


图 2-10: 装配后的模型结构

Fig.2-10 Structure after Assembly

3. 仿真特性

传感器有静态特性和动态特性^[32]，通过传感器模型我们可以考察它的静态响应特性，比如线性度、重复性、灵敏度、分辨率、稳定性等。传感器线性度 (linearity) 是指传感器的输出与输入之间的线性程度，通常要依靠实际标定来确定，在标定过程中，由小变大再由大变小给传感器各种输入值，同时记录传感器的输出值，就得到一系列的以输入值为自变量，以输出值为因变量的数据点。它们反映了输出与输入的函数关系，称为实际工作曲线，然后用某种方法作一条拟合直线去逼近这些数据点。这条拟合直线就是工作直线，测量时就是根据传感器的输出值按这条工作直线来确定其输入值 (被测量)。传感器的线性或非线形误差就是用工作直线和实际工作曲线之间最大的偏差与满量程输出之比来表示。

传感器灵敏度 (sensitivity) 是指传感器在稳态下的输出变化对输入变化的比值：

$$S = \frac{dy}{dx} \quad (2-9)$$

对于线性传感器，它的灵敏度就是它的静态特性的斜率，即：

$$S = \frac{y}{x} = K \quad (2-10)$$

非线性传感器的灵敏度为一变量，一般希望传感器的灵敏度高，在满量程范围内是恒定的，即输入输出为一直线，理想的线性特性具有很多优点，可以为数据处理、电路选择、仪表刻度带来很多方便，但是大多数传感器都是非线性的且

存在稳定性问题。

所谓稳定性是指传感器在一个较长的时间内保持性能的能力，一般有时间漂移和温度漂移两种。时间漂移一般是指在规定的时间内，在室温不变的条件下，传感器输出与起始标定时输出的差异程度；温度漂移用温度每变化 1°C ，输出的变化值来表示。

下面我们将通过硅压力传感器的 VHDL-AMS 模型考察它的线性度、灵敏度以及温度漂移特性。

(1) 温度对线性度的影响

令温度从 $-30\sim 140^{\circ}\text{C}$ 变化，应力在 $0\sim 50\text{kN/cm}^2$ 线性变化，在 System Vision 下得到的仿真结果如图 2-12。横坐标是对时间的扫描，纵坐标分别代表温度、应力和输出电压。随着时间的推进，温度和应力都以直线增长，输出电压虽然也在增长，但呈现出抛物线形式，也就是，随着应力的增长，应力并不是理想的线性增长，而是与应力成非线性的关系，最大值出现在 70°C 左右。

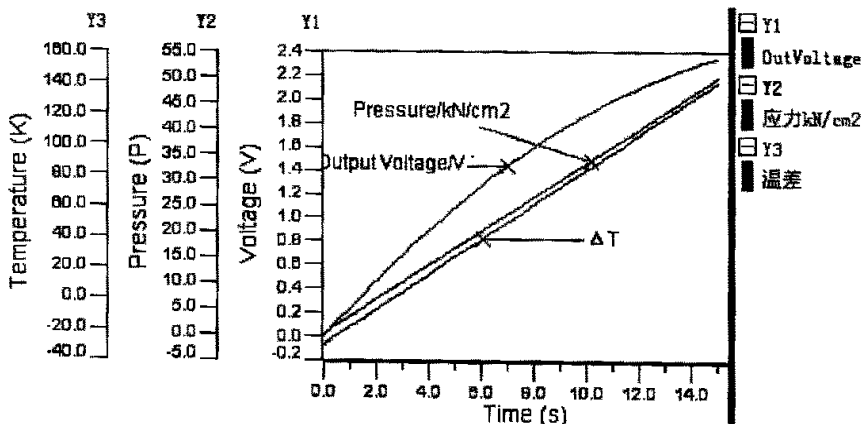


图 2-12 压力与输出电压的对比图

Fig.2-12 Relation between Pressure and Output Voltage

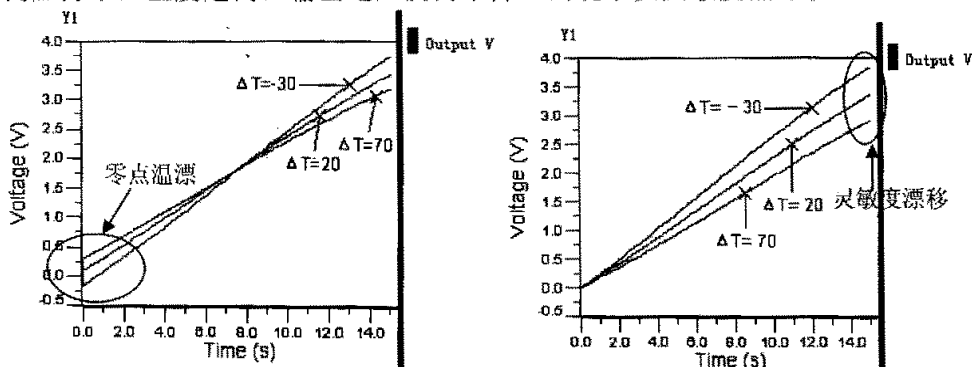
(2) 零漂

零漂表示传感器在零输入状态下，输出值的漂移。压力传感器在四个电阻完全对称的情况下，零点漂移应该为 0，但是这种绝对对称很少能够出现，因此我们考察压力传感器的零点情况和它的零点温漂。电阻的温度系数不等时，电桥失衡。因此令电桥电阻温度系数 a_1, a_4 取上限值， a_2, a_3 取下限值（参数 1），应力依然在 $0\sim 50\text{kN/cm}^2$ 变化，可以看到温度正向变化 70°C 时，零点温漂达到了 0.25V ，温度负向变化时，零点温漂则出现了负值，输出电压如图 2-13(a) 示。

(3) 灵敏度热漂移

灵敏度热漂移是指温度变化，灵敏度也变化的特性，通常用温度变化 1°C ，灵敏度的变化值来表示。图 2-14(b) 表明，当电阻温度系数及膜片和应力的温度

系数相同时，电桥的零点温漂消除，但是不同的温度下输出电压并不一致，在相同应力下，温度越高，输出电压反而下降，出现了负灵敏度热漂移。



(a) $a_1=a_4=0.0035, a_2=a_3=0.0015;$

(b) $a_1=a_4=a_2=a_3=0.0022$

$k_1=k_4=-0.0017, k_2=k_3=-0.0026$

$k_1=k_4=k_2=k_3=-0.0021$

图 2-13 零点温漂(a)和灵敏度漂移(b)

Fig. 2-13 (a) Temperature Float (b) Sensitivity Float

事实上，对于扩散硅电桥，由于应力有负的温度系数，所以即使电桥平衡，灵敏度热漂移依然存在，那么如何对热漂移进行补偿将是系统设计的重点。

4. 结论

搞清了压力传感器的特性，我们设计智能集成传感器系统如图 2-14，系统目标是传感器信号准确传输，必须消除温度带来的零点温漂和灵敏度温漂，即信号必须经过校正，使其输入—输出之间具有线性关系，灵敏度是唯一的。系统包含了扩散硅压力传感器（机械系统）、放大器、A/D 转换器、CPU/DSP 和执行器。

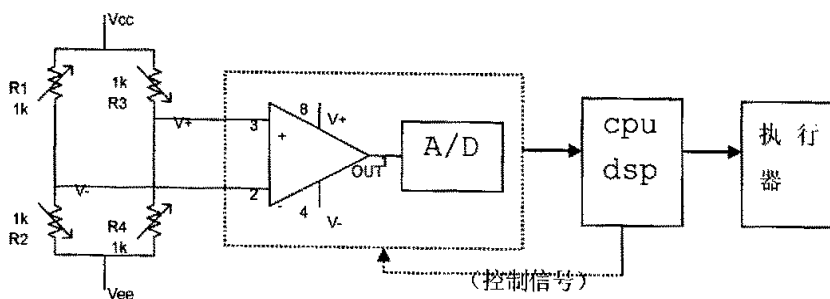


图 2-14 智能传感器系统框图

Fig. 2-14 Design Frame of Smart Sensor System

压力传感器的温漂补偿可以采用硬件补偿，可以在惠斯顿电桥上串并联电

阻,另一方面,放大器、A/D 转换器也存在固有的温漂和转换误差,因此与其思考复杂的补偿电路,不如采用软件算法补偿。系统中的 CPU 不仅是 A/D 转换的控制器,也将进行温漂补偿的算法,此外,如果将模拟电路和数字电路放在一个 board 上或 chip 上,必须考虑信号完整性问题,防止数字开关信号对模拟信号的串扰。因此整个设计分为硬件设计和软件补偿两部分,我们将分别在第三章和第五章介绍。

2.6 传感器建模小结

传感器受温度影响严重,灵敏度有负的温度系数,在系统设计时必须消除这种非线性特性。将高频 CPU 与微弱信号的模拟电路集成在一起,必然引起电磁干扰等信号完整性问题,布局布线时必须采取有效办法防止这些干扰。

比起传统的 Spice 建模,使用 VHDL-AMS 语言进行行为建模快速、高效,为我们的系统设计争取了大量时间。另一方面,利用数模混合设计语言建造模型块,具有移植性好的特点,因此利用 VHDL-AMS 可以构建统一的设计平台,在数模混合电路设计中具有极好的前瞻性。

第三章 智能传感器系统硬件设计

上一章本文提出了智能传感器的系统框图，本章将在此前提下进行传感器的硬件设计，主要包括调理电路、电源和通信接口。系统框图如下：

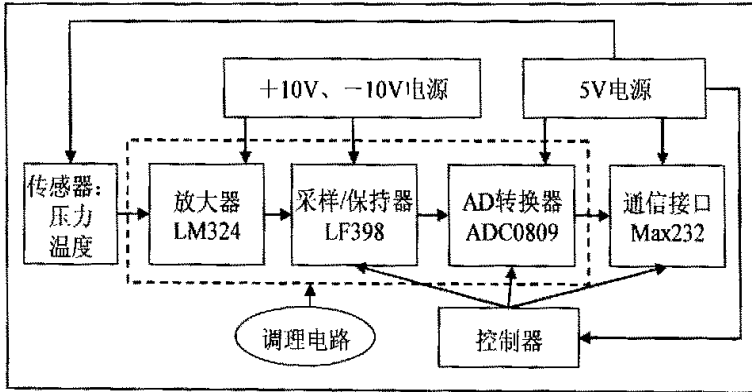


图 3-1 智能传感器功能框图

Fig3-1 Function Block Diagram of Smart Sensor

3.1 调理电路的设计

3.1.1 放大电路的设计

在实际测量技术应用场合，传感器输出的信号往往比较微弱，其中可能还包含了工频、电磁耦合等共模干扰，对这种信号的放大需要放大电路具有很高的共模抑制比以及低噪声和高输入阻抗，习惯上将具有这种特点的放大器称为仪表放大器。通常采用三个单运放组成仪表放大器组成二级并联差动放大器，只要运放性能对称，其漂移将大大减少，对微小的差模电压很敏感。惠斯顿电桥的输出是两个相反方向变化的信号，最适合双端差动放大，因此我们选用仪表放大器。

典型的仪表放大器有 AD521/522/524 系列，但是市场价格每片都在 300 元以上，因此我们考虑利用 LM324 制作简易的三运放仪表放大器。LM324 是一种单片高增益四运放放大器，四个运放一致性好；可以双电源工作。仪表放大器的原理图如图 3-2，其放大倍数为：

$$\frac{V_{out}}{V_{in}} = \frac{R_f}{R_2} \times \left(1 + \frac{2R_f}{R_G} \right) \quad (3-1)$$

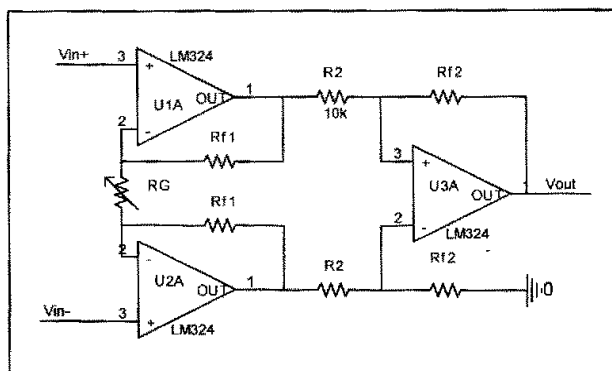


图 3-2 仪表放大器原理图

Fig. 3-2 Instrument Amplifier Schematic

压力传感器 MLX90240 的最大输出电压只有 200mV，通常 A/D 转换的范围是 0-5V，因此放大倍数可以设置为 25 倍。

需要说明的是尽管仪表放大器具有共模抑制能力强的特点，但是对于传感器的零点温漂却没有办法抑制，就像 2.4 节仿真到的结果，零点电压在传感器两端以压差的形式出现而不是以相同的值出现在差动放大器的两输入端，因此零点温漂也被放大了。关于消除零点温漂，可以将传感器与微处理器相结合赋以智能，通过一定的算法，自动消除零点影响。

对于灵敏度温漂同样存在这样的问题，在 2.4 节我们看到，压力传感器具有负的灵敏度热漂移，进行灵敏度温度补偿，就是调整传感器灵敏度，使其不随温度变化，或限制该变化在一定的范围内。一般的方法是在供电电源网络中增加热敏电阻，令供电电源随温度增长而增长，从而抵消灵敏度的负温度特性^[33]，但是这种方法牵涉到复杂的电路计算和匹配问题，因此我们同样利用传感器与微处理器相结合的办法，利用智能算法自动消除灵敏度的热漂移影响。

3.1.2 采样/保持电路的设计

采样保持器的作用是：在采用期间，其输出能跟随输入的变化而变化；而在保持状态，能使其输出值保持不变。因此利用采样/保持器，在启动 A/D 变换时，保持住输入信号，从而避免 A/D 转换孔径时间带来转换误差。

图 3-3 是一个最简单的采样保持电路，在电容值合理的情况下， V_0 随 V_i 的变化而变化；当 K 断开时，由于电容 C 有一定的容量， V_0 保持输入信号在 K 断开瞬时的电平值。因此电容的选择很重要，要选择容量适中泄漏小的电容。

选用 LF398 做采样保持器，保持电容可取 0.01uF，此时采集时间是 20us，

保持建立时间是 8us。采样保持器需一路控制信号。

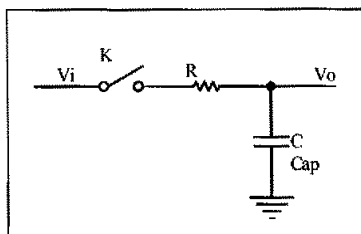


图 3-3 采样/保持原理

Fig. 3-3 S/H Schematic

3.1.3 AD 转换电路的设计

AD 转换器是混合信号系统常用的部件。AD 转换的常用方法有：计数式 A/D 转换、逐次逼近型 A/D 转换、双积分式 A/D 转换、V/F 变换型 A/D 转换。在这些转换方式中，计数器式 A/D 转换线路比较简单，但转换速度较慢，所以现在很少应用。双积分式 A/D 转换精度高，多用于数据采集及精度比较高的场合，但速度更慢。逐次逼近型 A/D 转换器既照顾了转换速度，又具有一定的精度，所以是目前应用较多的一种 A/D 转换器结构。

ADC0809 是八位逐次逼近式 CMOS 器件的数模转换器，转换时间 100us，不必进行零点和满度调整。ADC 的原理图如下：

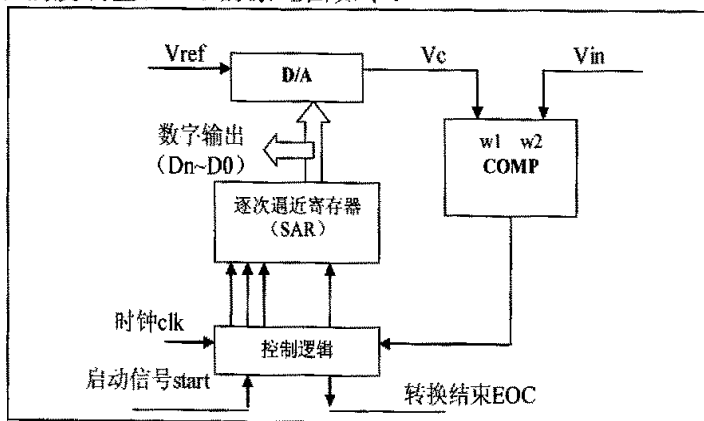


图 3-4 逐次逼近型 A/D 转换原理图

Fig 3-4 the ADC Schematic

由上图可知，ADC 中比较器电路、以及 D/A 转换中的一部分是模拟量信号，而控制逻辑、逐次逼近寄存器则是数字量信号，因此 AD 转换器件中既有模拟地也有数字地，器件使用中应该将这两种地分别分开单独连接。ADC0809 除了时钟

信号、三位地址信号外，还需地址锁存允许、和启动开始、输出使能三路控制信号。

我们所需的压力传感器信号变化频率 1KHz，由采样定理，系统可以采集的最

高信号频率是

$$f_{max} = \frac{1}{2(t_{ac} + t_{conv})} \quad (3-2)$$

其中 t_{ac} 是采样/保持器的采集时间， t_{conv} 是 AD 转换的转换时间，由所选择器件的性能参数，系统输入信号频率最大不能超过 4KHz，因此选择的器件完全满足系统要求。

3.2 控制电路设计

调理电路采用 C51 系列微控制器，完成采样控制和 RS232 通信的功能。如果晶振选 16MHz，则机器周期是 12 个振荡周期即 0.75us。C51 与采样保持器、AD 转换器、地址锁存器的连接如下：

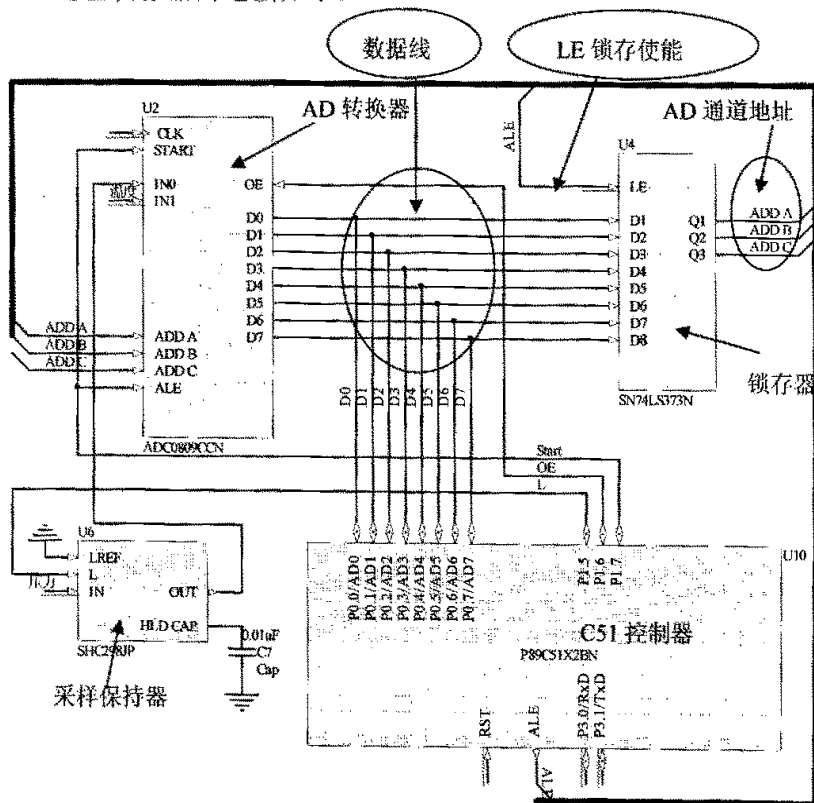


图 3-5 C51 接口电路

Fig.3-5 C51 Connecting Circuit

C51 的 P0 口发挥地址/数据分时复用功能，首先写地址，经 LS373 锁存器锁存连接到 ADC0809 的三位地址选通端，其次启动 AD 转换，AD 转换结束后，读出 P0 口此时的数据。P1 口用作控制口线，P1.7, P1.6 与 AD 转换器的 Start、OE 直

接相连；低电平有效的外部中断 0 与 EOC 经一个反相器相连。在系统设计中，无需访问片外程序存储器，因此可以用地址锁存 ALE 作为 LS373 的外部触发脉冲，另一方面，ALE 的振荡频率是 2.7MHz，不满足 ADC0809 的时钟输入范围，可以考虑通过一个 D 触发器将 ALE 二分频后与 ADC 的 CLK 连接。

通信电路和电源设计：

传感器系统与上位机的通信采取 RS232 串行方式，C51 的串行接口工作在模式 1，传输 10 位：1 位起始（0）、8 位数据（低位在先）和 1 位停止位（1），波特率可调。

系统电源需 +5V 和 ±10V，可以考虑采用 LM317 以及 LM340 或 L7800 系列。

C51 控制器的程序流程图见图 3-6。

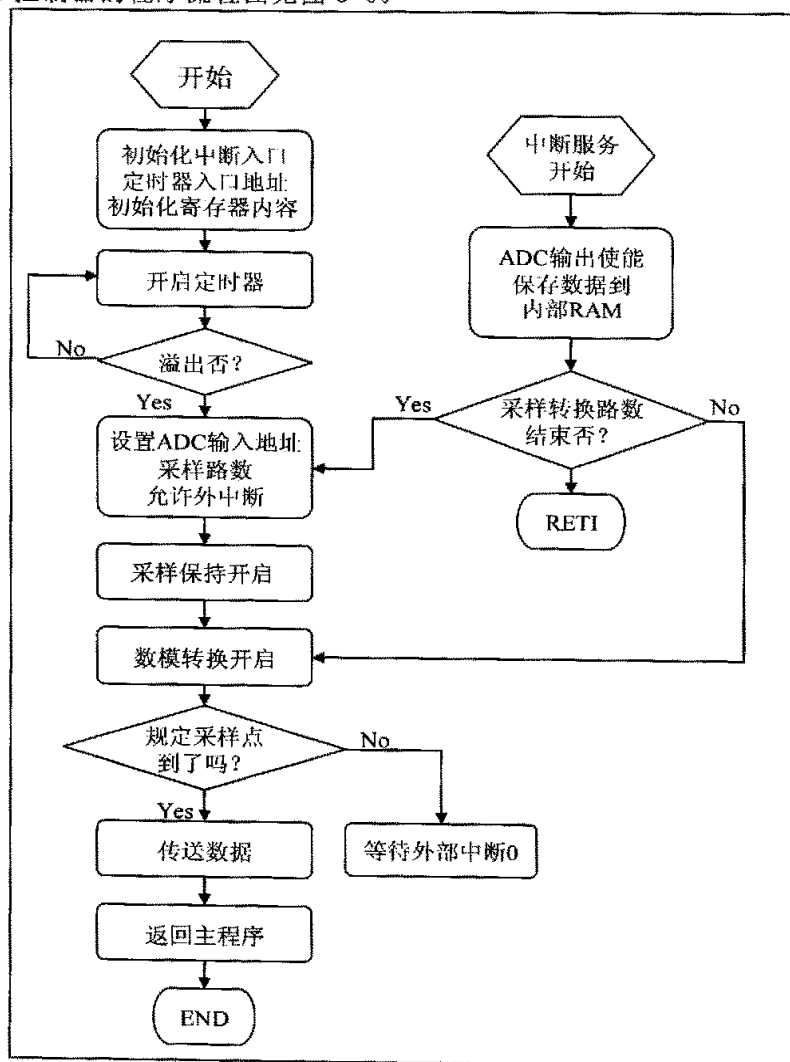


图 3-6 采样和通讯的程序流程图

Fig3-6 Program flow chart for Sample and Communication

3.3 建立测试平台

以上系统工作是否正常,需要测试仪器检测信号来验证。数模混合电路失常,可能是器件不能正常工作,或者数据发生错误,这就要求测试系统能够反映信号幅度,跟踪各种总线上数据流的相对关系以及捕捉干扰或毛刺,并把它们显示出来。选择合适的测量工具十分重要,通常有示波器和逻辑分析仪,以及附属的探头等。

在利用上述仪器建立一个测试平台的时候,必须考虑:测量仪器能否精确地对被测信号取样,取样是否可靠?信号畸变是否也能够观察到?以及仪器是否能够很好地显示信号以方便观察和分析等等。

我们选用以下设备构成测试平台:

——Tektronix 公司的 TDS2024 数字存储示波器;

——Clock Computer 公司的 LA5480 逻辑分析仪。LA5000 系列逻辑分析仪的采样频率可在 1Hz~250MHz 可调,有 80 个通道,每通道采集深度 256KHz,其门限电平-6.4V~6.4V 设置。

——P2200 1X、10X 无源探头;

——数字式万用表以及相关软件。

通过上述的测试平台,我们可以对编写的软件程序和硬件电路进行测试。被测系统中时钟、复位、控制线、数据线、地址总线等是比较敏感和关键的信号线,对这些信号线进行重点调试,发现了如下问题:

- a) 复位后 8051 电位不正确;
- b) AD 转换输入通道的地址编码波形不正确;
- c) 转换后数据与实际测量值误差较大。

对第一种错误通过调整复位电路即可以修正,而后两种错误则难以更正。我们采取了如下措施:

首先设定逻辑分析仪是内时钟触发,观察 AD 转换的起始、转换结束、输出使能等波形是否正确;其次设定逻辑分析仪为外时钟触发,在输出使能的上升沿观察地址线 and 数据线波形。配合示波器,发现了以下错误信号:

1、74LS373 的锁存使能 LE 端波形有振铃,上冲和下冲幅值较大,如图 3-7(a) 所示。

2、74LS373 的输出端 Q1 (ADDA) ~Q3 (ADDC) 信号线上有尖峰脉冲,如图 3-7(b) 所示。在逻辑分析仪上显示的则是许多不应有的“1”逻辑,不断地调整逻辑分析仪的门限值,当阈值在 2.5~3.8 之间,ADDA~ADDB 存在毛刺,当阈值增加到 4.0V 之后,地址线信号趋于稳定。

3、采样保持器与保持电容 Ch 相连的地信号有小幅振荡衰减噪声,如图 3-7(c)

所示。

4、采样保持器的输出端，既连接到 AD 转换器的输入通道上的信号线，其波形叠加有振荡衰减噪声，如图 3-7 (d) 所示。

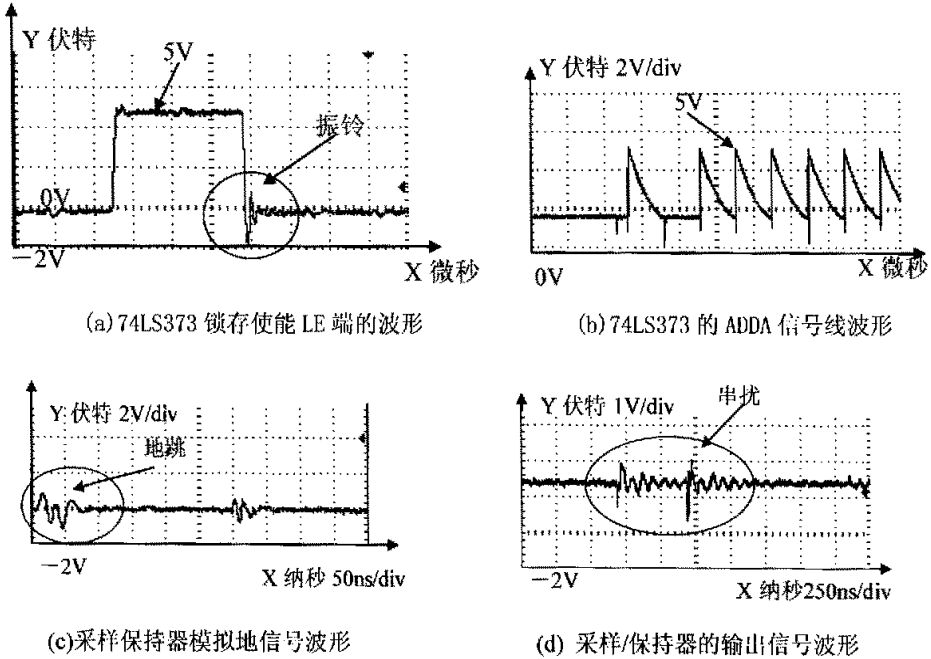


图 3-7 电路中测量到的错误信号

Fig 3-7 Error signals

对以上错误信号的分析如下：

1、74LS373 的工作原理是：LE 为高电平时，输出端 (Q) 信号与输入端 (D) 信号一致。当 LE 的信号不稳定时图 3-7(a)，比如上冲或下冲，会造成锁存器不该打开时却打开，应该打开时却闭合这样的误动作。

2、锁存器的输入端与 C51 数据线/地址线复用，复用的结果是数据线上电压在 0、1、高阻三种状态变化：在 C51 写地址，以及读数据的过程中，数据线上电压在 0 和 1 之间变化；由于 ADC0809 的输出端本身就是个缓存器，在 AD 转换器转换未结束时，AD 转换不发出数据，是处于高阻状态。当锁存器的锁存使能端信号不稳定时，锁存器的输出变化多端图 3-7(b)。

3、AD 转换器只有在“地址锁存允许”ALE 高电平有效时，才会读地址信号。在 ADC 每次转换时，工作顺序是先允许 ALE 有效，同时 C51 写地址，然后令“转换开始”Start 有效，这样会强迫数据线上电压为地址信号，但是如果 C51 中程序指令不正确，如“转换开始”Start 信号有效前，没有写地址，那么 AD 转换的数据则无效。

4、图 3-7(c)和(d)同样表明，信号线上的噪声将使 AD 转换器输出偏离正确

值的结果。

针对这种情况，我们将在第四章进行详细的信号完整性分析。

3.4 本章小结

本章设计了传感器硬件电路，在电路的调试和分析中，测试到了图 3-7 中的噪声信号，这些信号也正是“AD 转换输入通道的地址编码波形不正确”以及“转换后数据与实际测量值误差较大”等问题的根源所在。数字电路的开关效应第一：会引起地网络的电压跳动，第二：会在模拟信号线上叠加振荡衰减噪声，最终导致传感器采集信息质量下降，系统功能失效。在数模混合电路的设计中，必须充分重视数字电路的开关作用对模拟电路的影响，在系统设计时就提出电磁兼容方案，保证信号正确传输。

我们采取的措施是：首先检查 C51 控制器中程序，其输出信号应与采样保持器、AD 转换器的 Datasheet 时序完全一致；其次布局布线时尽量缩短数据线长度；第三，采样保持器地信号单独接地，最终与电源地相连，强迫模拟地信号与地电平一致；第四，在采样保持器的信号输入端、信号输出端并行排放两根地线，隔绝数字开关的影响。

数模混合电路设计一直是电路设计的难点，被称为黑色艺术品，数字开关效应对模拟信号线的影响是不可回避的问题，直接关系到系统能否正常工作，下一章我们将从理论上分析这些噪声信号的根源，并建立合适的预测模型。

第四章 互连线间的串扰分析和建模

在上章我们看到电路布好 PCB 板，信号的传输过程中却出现了很多问题，由于将数字电路和模拟电路集成在一个板上，在低速系统中被忽略的信号线振铃、延迟、反射和串扰等现象在混合信号系统中都有表现，因此必须考虑信号完整性问题。同时互连线在不同的层次上都存在：芯片、封装结构、印制电路板等，互连线效应将是信号完整性问题的主要原因^[34]。在设计阶段如果不考虑互连线问题，当印制电路板或芯片成形后付出的代价将是昂贵的，互连线问题将使数字信号发生逻辑错误，使模拟信号失真。因此预告互连线问题在混合信号系统和高速系统中非常必要。在说明互连线间的串扰现象之前，我们先了解一下信号完整性。

4.1 信号完整性

信号完整性是指信号通过信号线传输后仍保持其正确的功能特性而未受到损伤的一种特性，对于未受到损伤的信号，电路能以正确的时序和电压做出响应。为了正确识别和处理数据，集成电路要求在时钟边沿前后输入的数据保持不变。一旦信号出现错误，通信就变得不可靠。破坏信号完整性的主要因素有：传输线的反射(reflection)、串扰(crosstalk)、地跳(ground bounce)等。

4.1.1 反射

在一般的电路分析中，所设计的网络都是集总参数的，即所谓的集总参数系统。电路的所有参数，如阻抗、容抗、感抗都集中于空间的各个点上，即各个元件上。各点之间的信号是瞬间传递的。集总参数系统是一种理想化的模型，元件之间连线的长短对信号本身的特性没有影响，即信号在传输过程中无畸变，信号传输不需要时间。实际的情况是各种参数分布于电路所在空间的各处，当这种分散性造成的信号延迟时间与信号本身的变化时间相比不能忽略时，就不能再用理想化的集总参数模型来描述系统。这时，信号是以电磁波的速度在信号连接线上传输，信号连接线是带有电阻、电容、电感的复杂网络，是一个典型的分布参数系统，因此，一个标准的脉冲信号在经过较长的传输线后，极易产生上冲及振铃现象。

传输线上的阻抗不连续会导致信号反射，以理想传输线模型来分析信号反射有关的参数。图中，理想传输线 L 被内阻为 R_0 的数字信号驱动源 V_s 驱动，传输线的特性阻抗为 Z_c ，负载阻抗为 Z_L 。理想的情况是当 $R_0 = Z_c = Z_L$ 时，传输线的阻抗是连续的，不会发生任何反射，能量一半消耗在源内阻 R_0 上，另一半消耗

在负载电阻 Z_L 上。如果负载阻抗大于传输线的特性阻抗，那么负载端多余的能量就会反射回源端（欠阻尼），或者负载阻抗小于传输线的特性阻抗，负载试图消耗比当前源端提供的能量更多的能量，故通过反射来通知源端输送更多的能量，这种情况称为过阻尼。最可靠适用的方式是轻微过阻尼，因为这种情况没有能量反射回源端。欠阻尼和过阻尼都会引起反向传播的波形，传输线上的反射系数：

$$\Gamma = \frac{Z_L - Z_C}{Z_L + Z_C} \quad (4-1)$$

其中， Z_L 是负载阻抗， Z_C 是传输线的特性阻抗。

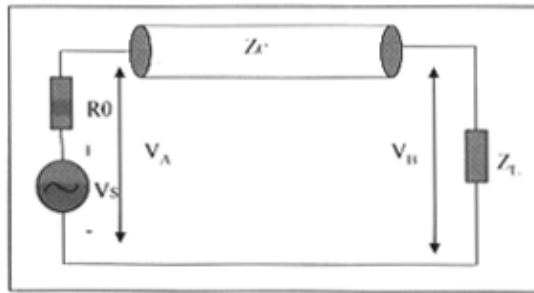


图 4-1 传输线模型

Fig 4-1 Transmission-line model

反射是造成过冲、下冲和振荡的直接原因，是一般信号完整性问题最常见的表现，要消除反射，应在传输线的始端和终端进行阻抗匹配。

由于普通的传输线阻抗通常在 50 欧姆左右，而负载阻抗通常在千欧以上，信号源输出阻抗则比较小，大致为十几欧姆，因此通常采取在源端串联一个几十到一百欧姆的电阻，在负载端并联 AC 网络：一个小电阻和 pf 级的电容。

4.1.2 串扰

串扰是指当信号在传输线上传输时，因为电磁耦合对相邻的传输线产生不期望的电压噪声干扰^[35]。过大的串扰可能引起电路的误触发和信号的误传送，甚至导致系统无法正常工作。电磁耦合分为容性耦合和感性耦合，串扰也分为容性耦合串扰和感性耦合串扰。

(1) 容性耦合串扰 由于干扰源的电压变化，在被干扰对象上引起感应电流从而导致电磁干扰。

(2) 感性耦合串扰 由于干扰源的电流变化，在被干扰对象上引起感应电压从而导致电磁干扰。

4.1.3 地跳

地跳变 (ground bounce) 是指在大规模系统中, 大量芯片同时开启或关闭, 造成在电源和地线上有较大的电流变化, 使电源和地线的电压有较大的波动, 影响系统其它芯片正常工作^[36]。

在第三章我们通过测试平台发现的错误信号就是典型的信号完整性问题。我们将这些信号重新显示如下: 图 4-2(a) 是反射造成的振铃现象; 图 4-2(b) 是地跳噪声引起的错误信号; 图 4-2(c) 是信号线间串扰造成的衰减振荡噪声。

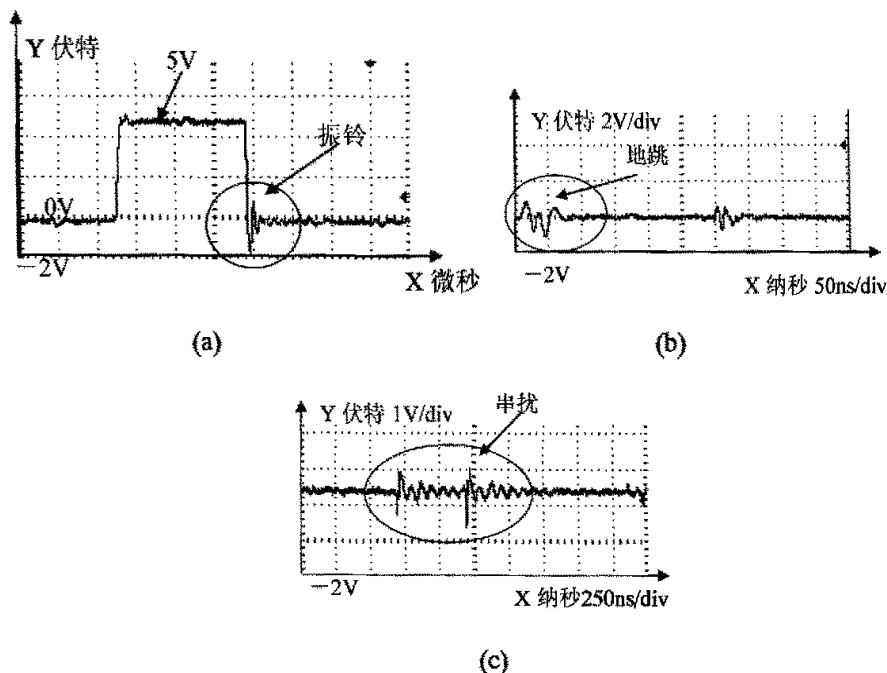


图 4-2 存在信号完整性问题的波形

Fig. 4-2 Waveforms with Signal Integrity Error

反射的分析已经在 4.1.1 中介绍, 其原理简单, 解决办法无非是缩短信号线和端接阻抗两种办法。信号线间的串扰和地跳的分析则比较困难, 寻找彻底解决串扰和地跳的措施并非易事。比较可行的办法是建立互连线串扰模型以及地跳模型, 在仿真的基础上, 通过修改布局布线、增加屏蔽线等措施减小干扰噪声, 再将实际参数带回仿真模型进行进一步验证。

针对本文设计的电路, 数字电路对模拟电路的影响是考虑的重点, 因此数字电路开关效应对模拟信号线的串扰和地跳变是数字信号对模拟信号影响的重要方面, 以下章节将就这两个问题进行详细的讨论。

4.2 串扰的起因和表现

图 4-3 是一个互连线串扰模型图, 影响他人的信号线称为干扰线或发射线 (Aggressor Net), 受影响的信号称为受扰线或接收线 (Victim Net)。在数模混合电路中, 当高频数字信号线靠近微弱模拟信号线时, 由于串扰会使系统数据严重失真, 使系统无法正常工作, 因此数字信号被视为干扰线, 将模拟信号线视为受扰线。

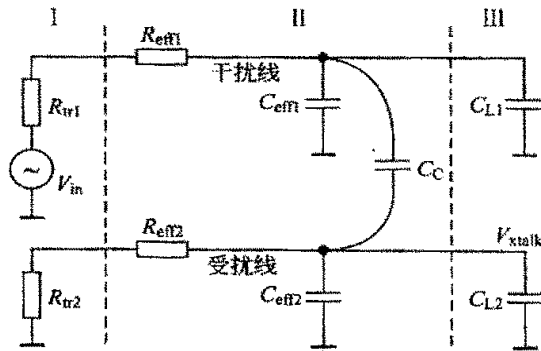


图 4-3 互连线串扰模型

Fig. 4-3 Crosstalk Model of Interconnects

4.2.1 互连线 RCL 模型

通常两导线间的耦合包括电场耦合和磁场耦合两种情况。电场耦合指电路中的两个导体, 当他们靠的比较近且存在电位差时, 一个电路中导体的电场会对另一电路中导体产生电场感应现象, 使这个导体上的电荷分布发生变化, 产生电流变化, 这种现象称为电场耦合。电场耦合宏观上可以用导体间的互耦合电容来分析。磁场耦合是根据电磁感应原理分析的。一个导体回路中流动的交变电流, 会通过交变磁场在另一回路中产生感应电压, 实现能量传输。磁场耦合可通过两导体间的互耦合电感来分析。

另外由电磁场理论我们知道, 电流流过传输线将使导体发热, 这表明导体本身有分布电阻; 电流流过导体其周围将有磁场, 表明导体本身有分布电感; 由于导体间绝缘不完善而存在漏电流, 表明导体间有分布漏电导; 由于导体间有电压, 其间便有电场, 这表明导体间有分布电容。互连线就是一个典型的传输线分布参数系统。

在对互连线进行串扰分析时, 大多数的做法是将互连线等效为 RC 树, 忽略频域的二阶项。在文献^[38]中对 RC 等效的互连线模型进行了时域和频域的串扰峰值分析, 由于忽略了二阶项, 这种 RC 模型对阶跃响应只具备单调上升或单调下

降函数特性，但随着电路布线密度的增高，由电感引起的振荡和过冲效应越来越明显（图 4-2），因此互连线模型必须考虑耦合电感带来的效应。互连线可以视为由图 4-5 若干 Δz RCL 模型串接构成图 4-4 的互连线。

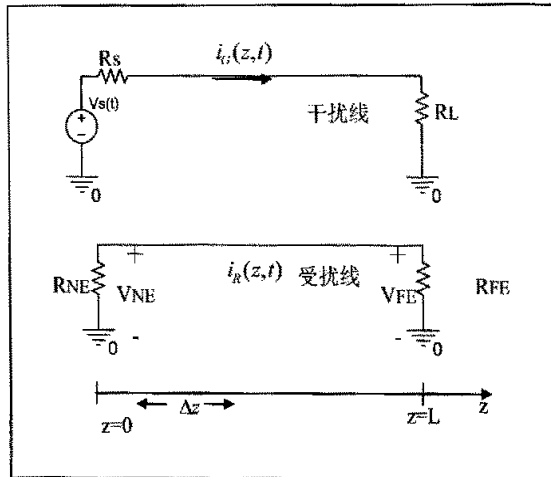


图 4-4 共地平行传输线耦合等效电路

Fig 4-4 Crosstalk Circuit of Parallel Transmission-lines

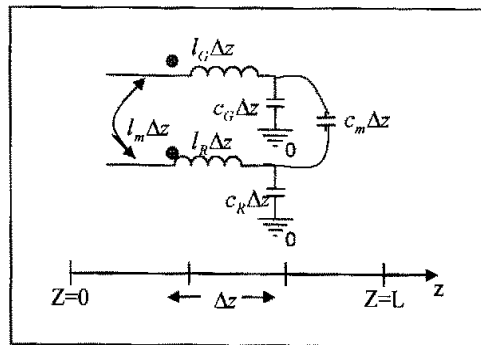


图 4-5 单位长度等效电路

Fig 4-5 Per-unit-length Equivalent Circuit

4.2.2 互连线串扰模型的建立

串扰分析就是给定电路结构和信号源频率下，计算受扰线上的干扰电压。各国研究者都试图建立一个频率范围的模型来预测串扰，文献^[37]建立了一个三导线传输线模型，文献^[44-45]建立 RC 模型，应用网络理论的 S 参数模型和传输线理论分析了微带的串扰情况，以上分析均侧重分析串扰的频率特性，未对电路参数的影响进行分析，本文将弥补这一不足，利用 RCL 模型，对实际的振铃、过冲等现象做出理论解释，通过实验对电路参数做出分析。

根据 RCL 模型，我们列出干扰线和受扰线的传输线方程，并设传输线无损，即传输线自身分布电阻和电导为零。设单位长度的互电容和互电感为 c_m , l_m ，其等效电路如图 4-5 所示，共地平行传输线耦合模型可看成是由图 4-5 若干 Δz 串接而成。下标 G 表示攻击线或干扰线，下标 R 表示受扰线。我们考察其中一小段长度上的情况。对于干扰线，

$$\frac{\partial v_G(z,t)}{\partial z} + l_G \frac{\partial i_G(z,t)}{\partial t} = -l_m \frac{\partial i_R(z,t)}{\partial t} \quad (4-1a)$$

$$\frac{\partial i_G(z,t)}{\partial z} + (c_G + c_m) \frac{\partial v_G(z,t)}{\partial t} = c_m \frac{\partial v_R(z,t)}{\partial t} \quad (4-1b)$$

对受扰线，

$$\frac{\partial v_R(z,t)}{\partial z} + l_R \frac{\partial i_R(z,t)}{\partial t} = -l_m \frac{\partial i_G(z,t)}{\partial t} \quad (4-2a)$$

$$\frac{\partial i_R(z,t)}{\partial z} + (c_R + c_m) \frac{\partial v_R(z,t)}{\partial t} = c_m \frac{\partial v_G(z,t)}{\partial t} \quad (4-2b)$$

从图中我们看到，以上方程具备边界条件：

$$v_G(0,t) = V_s(t) - R_s i_G(0,t) \quad (4-3a)$$

$$v_G(L,t) = R_L i_G(L,t) \quad (4-3b)$$

以及

$$v_R(0,t) = V_{NE} = -R_{NE} i_R(0,t) \quad (4-4a)$$

$$v_R(L,t) = V_{FE} = R_{FE} i_R(L,t) \quad (4-4b)$$

在方程(4-1)中，右边的项反映了这样一个事实：干扰线上的电压和电流产生的电磁场对受扰线有影响，从而使受扰线有了感应电压和感应电流，而受扰线上的电磁场反过来又影响干扰线，这种效应被称为二次效应(second-order effect)。如果不考虑二次效应，那么这种耦合就被称为弱耦合，在这种情况下，方程式(4-1)右边项为零，得到方程式：

$$\frac{\partial v_G(z,t)}{\partial z} + l_G \frac{\partial i_G(z,t)}{\partial t} = 0 \quad (4-5a)$$

$$\frac{\partial i_G(z,t)}{\partial z} + (c_G + c_m) \frac{\partial v_G(z,t)}{\partial t} = 0 \quad (4-5b)$$

对于我们所作的 PCB 板，非常适合这种弱耦合情况。

下面我们开始求解弱耦合情况下的传输线方程，关键是求解方程(4-2)和(4-5)在边界条件(4-3)(4-4)下的解。在这里我们假设干扰线和受扰线的单位电感和电容一致，并且忽略反射效应，令传输线阻抗连续。

$$\text{假设条件 1:} \quad l_G = l_R = l \quad (4-6a)$$

$$(c_G + c_m) = (c_R + c_m) = (c + c_m) \quad (4-6b)$$

在此条件下，两根传输线的特性阻抗和传输速率分别是：

$$Z_c = \sqrt{\frac{l}{c+c_m}} \quad (4-7)$$

$$v = \frac{1}{\sqrt{l(c+c_m)}} \quad (4-8)$$

因此沿着传输线的单向延时是：

$$T = \frac{L}{v} = L\sqrt{l(c+c_m)} \quad (4-9)$$

假设条件 2: $R_S = R_L = R_{NE} = R_{FE} = Z_c$ (4-10)

观察传输线方程，如果实行拉普拉斯变换，较易求解，因此首先在频域求解方程，然后再变换回时域。

A. 频域求解

干扰线对应的拉氏变换：

$$\frac{dV_G(z,p)}{dz} + pl_G(z,p) = 0 \quad (4-11a)$$

$$\frac{dI_G(z,p)}{dz} + p(c+c_m)V_G(z,p) = 0 \quad (4-11b)$$

由边界条件式 (3) 求得解：

$$V_G(z,p) = e^{\frac{pz}{v_s}} \times \left[\frac{Z_c}{Z_c + R_S} \right] \times V_S(p) \quad (4-12a)$$

$$I_G(z,p) = \frac{e^{\frac{pz}{v_s}}}{Z_c} \times \left[\frac{Z_c}{Z_c + R_S} \right] \times V_S(p) \quad (4-12b)$$

现在我们求解受扰线的传输线方程，其对应的拉氏方程如下：

$$\frac{dV_R(z,p)}{dz} + pl_R I_R(z,p) = -pl_m I_G(z,p) \quad (4-13a)$$

$$\frac{dI_R(z,p)}{dz} + p(c+c_m)V_R(z,p) = pc_m V_G(z,p) \quad (4-13b)$$

由于干扰线的电压和电流已知，因此利用微分方程可以求得：

$$V_{NE}(p) = \frac{1}{4} \frac{K_b}{T_G + T_R} [1 - e^{-p(T_G + T_R)}] V_S(p) \quad (4-14a)$$

$$V_{FE}(p) = \frac{1}{4} \frac{K_f}{T_G - T_R} [e^{-pT_G} - e^{-pT_R}] V_S(p) \quad (4-14b)$$

B. 时域求解

应用拉氏变化的逆变换公式，乘以 e^{-pT} 的拉氏函数转换成时域，就延时了 T 时间。因此上式在时域的结果为：

$$V_{NE}(t) = \frac{1}{4} \frac{K_b}{T_G + T_R} [V_S(t) - V_S(t - (T_G + T_R))] \quad (4-15a)$$

$$V_{FE}(t) = \frac{1}{4} \frac{K_f}{T_G - T_R} [V_S(t - T_G) - V_S(t - T_R)] \quad (4-15b)$$

利用极限公式 $\frac{e^{-pT_G} - e^{-pT_R}}{T_G - T_R} \Big|_{\lim T_G \rightarrow T_R} = -pe^{-pT}$ ，将式(15)修改为：

$$V_{NE}(t) = \frac{1}{8} \frac{K_b}{T} [V_S(t) - V_S(t - 2T)] \quad (4-16a)$$

$$V_{FE}(t) = -\frac{1}{4} K_f \frac{d}{dt} V_S(t - T) \quad (4-16b)$$

以上，

$$K_b = L \left(\frac{l_m}{Z_C} + c_m Z_C \right) \quad (4-17a)$$

$$K_f = L \left(\frac{l_m}{Z_C} - c_m Z_C \right) \quad (4-17b)$$

由公式(4-16)，串扰峰值的大小会受到线长 L ，互耦 c_m 、 l_m ，以及信号频率、信号上升/下降时间等因素的影响。在实际设计中，PCB 印制线的线长、线宽、线间距、介质材料决定了 c_m 、 l_m ，下面我们将通过实验考察这些影响因素，进一步分析互连线串扰耦合。

4.2.3 串扰影响因素分析

我们在 PCB 实际布线中做了一组印制线，干扰线是晶振输出，受扰线是采样/保持器的信号输入线，两线平行，其线间距从 10mil 到 250mil 变化，干扰源的频率从 20MHz 到 100MHz 变化，干扰电压 3.3V，线宽均取 10mil。

1. 线间距对串扰的影响

图 4-6 是线间距分别取 10mil (a) 和 50mil (b) 时测量到的串扰波形，受扰电压峰值在间距 $P=10\text{mil}$ 时达到了 1.0V，而在间距 $P=50\text{mil}$ ，则下降到了 0.10V。

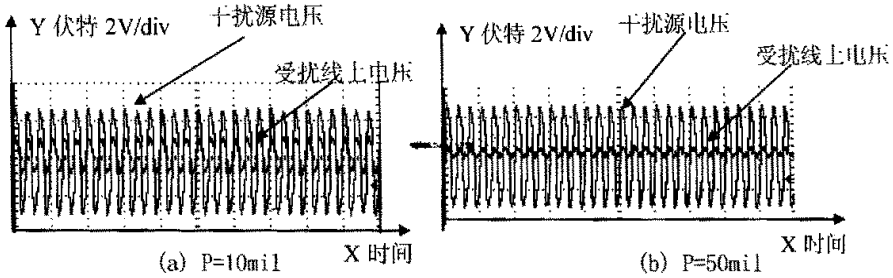


图 4-6 两线间距对串扰的影响
Fig. 4-6 Crosstalk When Different Space between Lines

将频率固定在 500KHz，在线间距为 10、20、30、50、100 和 200mil 时测得受扰线上电压分别为：0.75V、0.5V、0.39V、0.31V、0.26V、0.22V，对这些数据做归一化处理，既每个耦合响应电压除以最大值并取 20 倍对数函数，画出它的趋势曲线图如下：

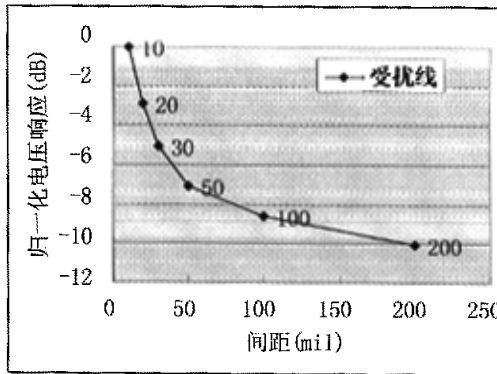


图 4-7 耦合响应与线间距的关系
Fig4-7 Relation between Crosstalk and Space

随着间距的增大，串扰迅速减小，这一点验证了式 (17) 分析结果：P 减小时，两线间的互容增大，造成容性串扰增大，而感性串扰受 P 的影响较小，可以看作不变，因此总串扰增大。在 50mil 范围内串扰耦合噪声下降的最快，一共下降了 7dB 多，其余范围内下降变缓，所以在设计时，在 50mil 范围内两根直导线的间距应尽量大一些。

2. 线长对串扰的影响

由式 (4-17) 我们可以看到，串扰系数的大小与线长成正比，线长越长，串扰峰值越高，因此在实际设计中，应该尽可能减小两根或多根信号线的平行长度，必要时可以采用图 4-8 所示推挤的布线方式（也称 jog 式走线）。

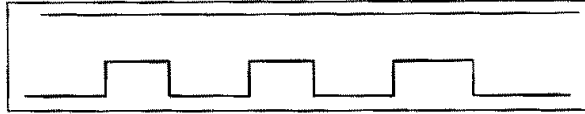


图 4-8 减小串扰的 jog 走线方式
Fig. 4-8 Jog Patten

3. 上升/下降时间对串扰的影响

由公式(4-16)，对串扰影响较大的因素还有干扰源网络中驱动源的上升/下降时间，为了验证这一影响，干扰源电压采用锯齿波，其他条件相同，在上升/下降时间为 0.25us, 0.5us, 1us, 2.5us, 5us, 50us 时，远端测得耦合响应分别为：0.48V, 0.4V, 0.19V, 0.08V, 0.03V。图 4-9 是归一化后的串扰响应。随着上升时间的减小，串扰响应迅速增大。但是当上升时间增加到 50us 以后，串扰噪声将不再减小。因此增加上升时间减小串扰噪声并不是无限的。

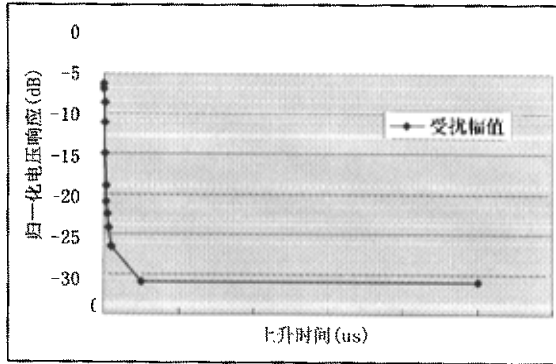


图 4-9 耦合响应与干扰源上升/下降时间的关系
Fig. 4-9 Relation between Crosstalk and Rising/Falling time

3. 频率对串扰的影响

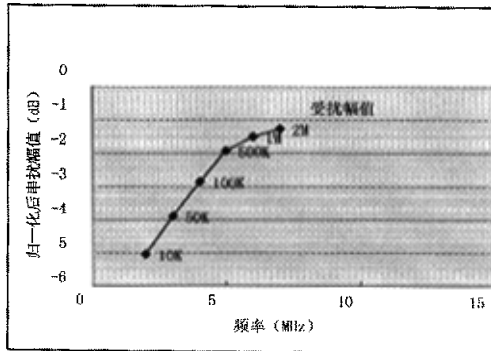


图 4-10 耦合响应与频率的关系
Fig. 4-10 Relation between Crosstalk and Frequency

干扰源电压采用正弦波，以上是我们测到的归一化后的串扰响应。

对于数模混合电路，减小串扰噪声的可靠方法是尽可能令数字电路与模拟电路分开放置，为了进一步消除串扰，可以考虑在模拟电路周围布置地线，以屏蔽数字电路的快速变化影响。

4.3 地跳的起因和表现

地跳噪声 (Ground Bounce)，也称为同步开关噪声 (SSN) 或者 di/dt 噪声，是由于开关电流通过了寄生电感而在电源/地分布网络感应的电压假脉冲信号。电源网络和地网络通常连接了各种电路和器件，同步开关噪声散布到这些电路和器件时，就会产生错误的开关信号，尤其是在低功耗电路，如果大量的芯片内数字门突然同时开关，产生的 SSN 噪声将达到 1.1V，对于供电电源只有 3.3V，噪声容限亦随之下降的系统，SSN 噪声就不容忽视。在数模混合电路中，这个问题尤为突出。模拟电路部分对于电源电压及共地电压的变化非常敏感，高低电平的快速转换在地网络或电源网络中注入大量瞬态噪声，从而在模拟电路中引入不容许的噪声信号，在面对实际的数模混合电路的时候，经常会发现电路设计的连接并没有错误，但整体电路工作仍不正常，除了互连线的干扰要考虑外，另一个必须考虑的问题就是“地跳动”。

地跳动的研究大多数都集中在数字集成电路，文献^[39-40]就对数字电路以反相器为例建立了 GB 模型，文献^[41]对数模混合电路的 GB 问题进行了粗略的探讨，却没有建立出模型。本文将深入到 IC 芯片输出端和输入端器件层次，做出混合电路的地跳模型。

数模混合电路的地跳与 IC 的引线有关，要精确分析地跳动的起因并建立模型，需要深入到器件级进行讨论。在数模混合电路中，数字电路门的开合是引起噪声的源头，而模拟电路是被干扰对象，我们首先看一下数字电路的输出级形式。

4.3.1 数字电路的输出级形式

数字电路的输出级也称之为信号驱动端通常是推挽型 (push-pull) 或者电流驱动型 (current-steering)。Push-pull 型驱动器结构简单，通常功耗很小；Current-Steering 型驱动器显著的特征就是功耗较大，但它会有更好的信号质量。

1. Push-pull 型驱动器

图 4-11 是一个最基本的 CMOS Push-pull (也称为图腾柱) 型驱动器结构。输出端 V_O 由一个增强型 PMOS 管上拉到逻辑“高”电平 V_{DD}，同时通过一个增强

型 NMOS 管下拉到逻辑“低”电平 VSS。当 A 和 B 连接在一起就是一个典型的 CMOS 反相器，无论输出端 V0 是高电平还是低电平始终只有一个 MOS 管工作，电源 VDD 与地 VSS 是没有通路的，因此功耗极低，但是在输入信号变化的瞬间，两个 MOS 管有同时导通的瞬间，就会产生缝隙电流 (crowbar current)。

2. Current-Steering 型驱动器

图 4-12 是 Current-Steering 型驱动器，很显然是一个差分对电路，有恒定的电流通过，输出电压与此电流的大小有关。

在实际的应用中，CMOS 型芯片通常都是 Push-pull 型的驱动器，而 ECL 电路或者双极型电路会使用到 Current-Steering 型驱动器，但是在大功率输出时也会采用推挽结构。

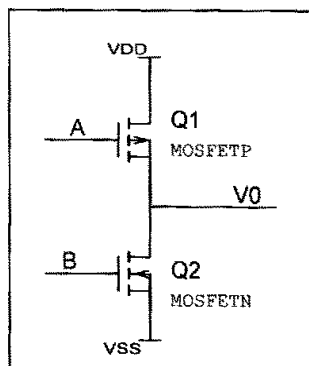


图 4-11 Push-Pull 驱动结构
Fig. 4-11 Push-Pull Driver

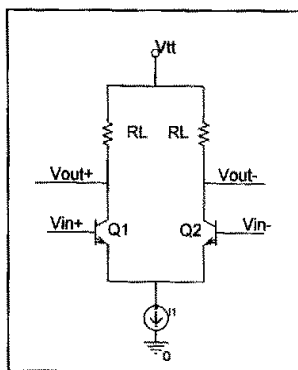
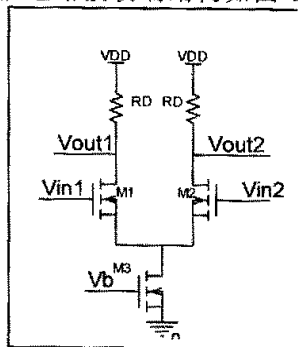


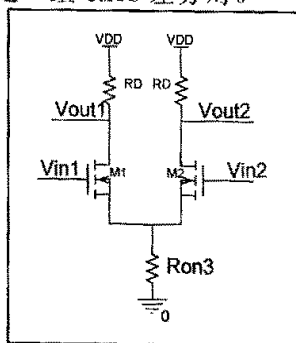
图 4-12 Current-Steering 驱动结构
Fig. 4-12 Current-Steering Driver

4.3.2 模拟电路的接收端结构

模拟电路接收端结构如图 4-13 所示，是一组 CMOS 差分对。



(a) 模拟电路接收端结构



(b) M3 管在深线性区时的等效电路

图 4-13 基于 CMOS 管的模拟电路差分对电路

通常一个模拟电路功能块主要由运算放大器外接电阻、电感、电容等无源器件组成。而运算放大器的输入级通常是差动放大电路，基于 CMOS 的差动对电路如上图所示。

4.3.3 混合 SOC 地跳模型

1. 数字电路输出端的等效模型

数字电路的 CMOS Push-pull 型驱动器的等效模型在文献^[46]中有讨论，这是一种理想的等效模型。但是在集成电路封装的过程中，引入了寄生电感，图 4-14 是这种寄生效应引入的示意图，从芯片上的焊点到封装引脚的连线必然要产生引线接合电感和电阻，示意图如下。

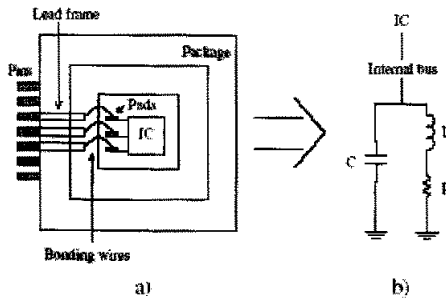


图 4-14 封装引线引起的寄生等效电路
Fig 4-14 parasitic equivalent model

因此我们可以做出实际的数字电路输出驱动器等效电路，如图 4-15 所示。

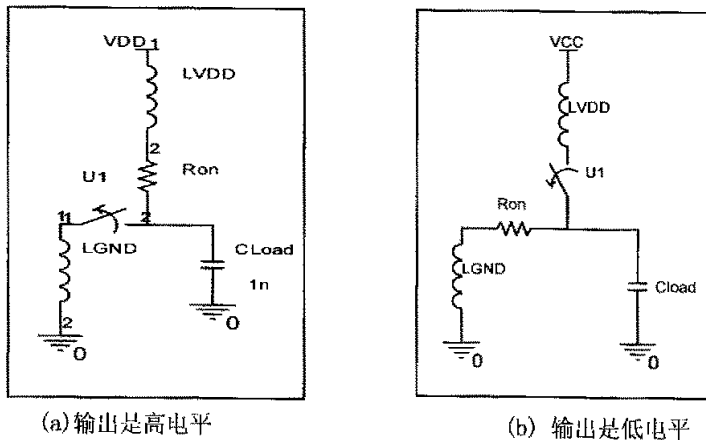


图 4-15 地跳的等效电路

Fig.4-15 Ground Bounce Equivalent Circuit

在电源和地引线上都接有等效封装电感 LVDD、LGND。当 CMOS Push-pull 型

驱动器输出是高电平时，上拉晶体管将是一个等效电阻，下拉晶体管是一打开的开关，对电路不起作用；当输出是低电平时，开关与等效电阻的位置正好相反。

C_{LOAD} 是各种寄生效应的总电容。因此等效电路是一个无源 RLC 电路，初始条件是电路中具有开关瞬时电流浪涌。在此电流的驱动下，RLC 做阻尼振荡。

振荡频率：

$$f_{osc} = \frac{1}{2\pi\sqrt{L_{GND}C_{LOAD}}} \quad (4-18)$$

衰减时间：

$$\tau = \frac{R_{ON}}{2L_{GND}} \quad (4-19)$$

一个推挽型的数字电路驱动端，在开关的过程中，本来是直接跳变到 VDD 或者 VSS，但是由于通过引线电感连接到了外部电源和地，反相器门中的电流浪涌也流过了寄生电感，造成电源网络线和地网络线上电压有一个短暂的“跳动”，这个跳动的波形是一个阻尼正弦波，并叠加到了电路输出端，直到其衰减结束，如图 4-2b 所示。地跳对系统的影响如下：

(1) 输出有电压下冲，最大幅度会达到正负 2V，当此电压输出连接到其它电路时，会造成错误的响应。

(2) 输出响应有延时，从而限制了系统运行速度。

(3) 模混合电路中，电源和地线上的跳动会耦合到模拟电路。

2. 混合电路地跳耦合 Spice 模型

在我们做的数模混合系统中，地网络分为模拟地和数字地，放大器、S/H 采样保持器和 A/D 转换中模拟信号的接地端是系统的模拟地，而系统的数字地主要是 CMOS 反相器、译码器、CPU 芯片等数字电路的地端。当将这些模拟电路和数字电路集成在一个芯片上时，数字开关效应将通过共同的基底耦合到模拟电路，因此也被称为衬底耦合噪声，在许多文献中都有论述分析和消除混合芯片中衬底耦合噪声的方法，印制板与芯片构造有相似之处，那就是引线都埋在绝缘介质中，当绝缘介质存在漏电流时，各种寄生效应不容忽视。

在 PCB 印制板中，数字电路的地跳动将通过封装 pin 之间的杂散电容耦合到模拟电路，干扰模拟电路的正常输出。假设数字电路的输出驱动器是推挽型的，模拟电路是一差分接收器，数字电路对模拟接收器的噪声影响将通过三种途径进行耦合，耦合途径的示意图 4-16。

(1) 通过差分对输入端引线。由于差分器有双端输入和单端输入两种，在双端输入的情况下这种共模噪声将被抵消。

(2) 通过电源引线。电源引线的噪声将对输出有影响，但是如果差分对是双端输出，噪声在两输出端同向变化，被抵消。

(3) 通过接地引线。我们知道在进行差分电路分析时，差分对的直流偏置电源是一恒流源，一旦恒流源叠加了地跳二阶振荡波形，运算放大器的静态工作点不再稳定，造成输出电压的跳动。

模拟电路接收器耦合路径如下所示：

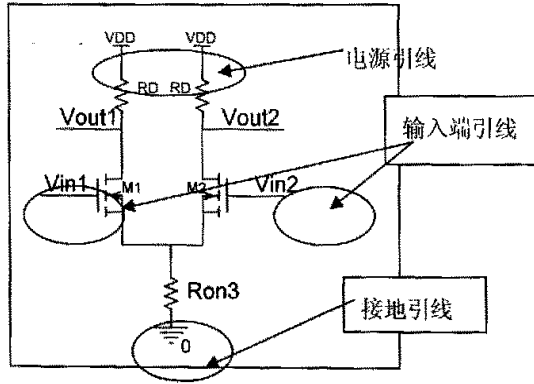


图 4-16 模拟接收器引入噪声途径分析
Fig.4-16 Noise Path Analysis of Analog receiver

综上所述，数字开关噪声通过接地引线耦合到了模拟接收器。

做出混合电路地跳耦合的 Spice 分析模型如图 4-17 所示，由三部分组成：数字输出驱动器、印制板杂散电容 C、模拟接收器接地引线。

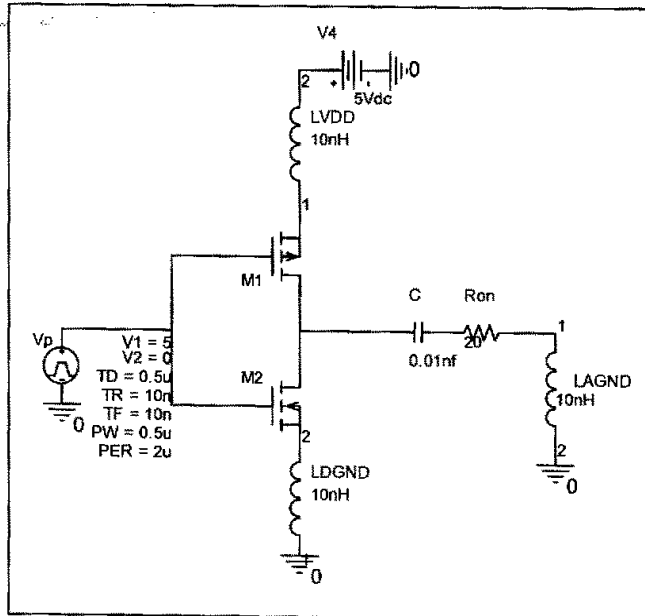


图 4-17 混合电路地跳模型
Fig.4-17 Ground Bound Model of Mixed-signal Circuit

引线电感取 10nH，MOS 管在深饱和导通状态的源漏等效电阻估计 20 欧姆，图 4-18

是该电路在 PSpice 下的仿真结果: (a) 是数字电平叠加地跳响应后的波形; (b) 是模拟接收器地网络波形。

仿真波形与实际测量波形图 4-2(b) 基本一致, 证明该地跳模型是正确的。

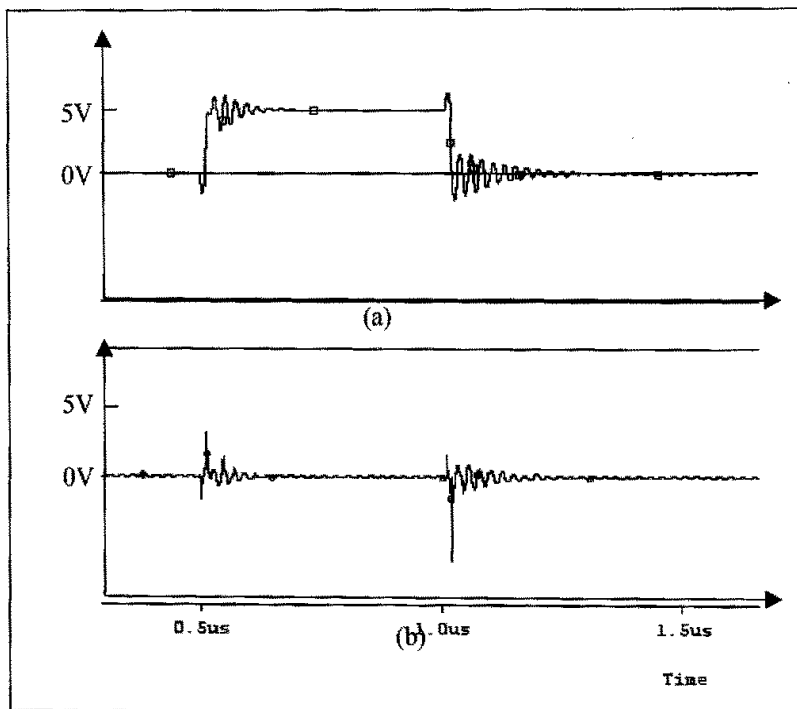


图 4-18 地跳效应
Fig.4-18 Ground Bounce Effect

为了减小 PCB 布版中的地跳影响, 最重要是消除引线电感和杂散电容, 因此芯片的封装形式非常重要, 应尽量采用表面贴片的形式而非直插式的封装。同时对整个系统而言, 为了使模拟部分受到干扰的程度最小, 应该将模拟地和数字地分开走线, 最后与供电电源的地相连, 以使两地平面的电压一致, 削弱杂散电容的影响。同时芯片的电源引脚和地引脚可以并联旁路电容, 将地跳的高频波旁路掉。

4.4 本章小结

至此, 本章分析了数模混合电路中影响信号完整性的两个最主要问题——互连线串扰和地跳。我们知道模拟信号大多反映自然界的自然变化, 如果信号处理后的数据不能还原这种变化, 那么该电路设计是失败的, 在设计中应该尽力避免电磁干扰所带来的信号完整性问题。本章在建立互连线 RCL 模型的基础上, 利用传输线电报方程, 得出了互连线串扰的数学估算模型。深入到数字电路和模拟电路的

输出、接收结构器件级，得出了数模信号干扰的地跳模型，该模型仿真后的结果与实际测量的波形一致。

本文的主要目的是研究数模电路设计方法，通过这章的分析，可以得出混合SOC防止噪声干扰的设计方法，其步骤如下：

1. 除了在第二章建立模块内部结构的行为模型外，还要建立各模块的接口模型，反映其对外的电阻、电容、和电感特性。这类似于IBIS模型，IBIS是Input/Output Buffer Information Specification的简称，如果直接购买芯片，厂商通常都会提供该芯片的接口模型。IBIS模型有Spice形式和图形两种描述，对于Spice本文前已论述过，不适合系统仿真，基于VHDL-AMS的统一设计平台建立模块接口的行为模型势在必行。

2. 建立互连线的行为模型。利用本章互连线串扰估算模型估计互连线串扰大小。在VHDL-AMS仿真器下仿照压力传感器建模方法可以为建造互连线的行为模型。正如第二章所述，VHDL-AMS允许各种数学函数的出现，因为它的仿真器是独立的。

3. 建立电源和地网络跳变模型。利用本章第三节的地跳模型对地网络的跳变信号进行预估算。

4. 在上面行为模型的基础上进行系统仿真。

5. 在布局布线完成后，提取实际设计的参数，带入行为模型，进行进一步的仿真验证。

以上步骤都可以在基于VHDL-AMS的环境下实现，也只有在一个统一平台下才能实现模块内部结构、接口特性、互连线行为的统一仿真。通过定义接口特性的允许值，和互连线的规则，就可以实现从系统的行为描述到电路级的综合和优化。因此基于VHDL-AMS的统一设计平台为数模混合电路的设计带来了无限憧憬。

在数模混合电路的设计中，只有对串扰效应进行充分考虑，才能使我们的设计更加完善。

第五章 基于神经网络算法的传感器非线性补偿及其 Arm 实现

在第二章传感器的硬件设计中，我们提到硬件电路设计后得到的输出电压与压力之间并不是线性的关系，因此从测量电压不能直接乘以一个系数换算得到压力值，在第一章的模型中我们也看到温度的影响比较严重。本章将通过改进的 BP 多层前馈神经网络算法对传感器交叉灵敏度进行补偿，并在 Arm 芯片上实现了该数据融合算法。将软件算法与硬件电路相结合，从而大大提高了传感器的性能和智能化程度。

5.1 引言

扩散硅压力传感器对温度有一定的敏感度，这样就使得传感器的零点和灵敏度发生变化，从而造成输出值随环境温度的变化而变化，导致测量出现附加误差，因此温度补偿问题一直是传感器精确输出的关键环节。常用的补偿方法有硬件补偿和软件补偿，硬件补偿要考虑传感器本身及其调理电路的温漂问题，因此硬件补偿很少能够做到全程补偿且存在补偿电路的硬件漂移问题。高级的传感器系统都采用软件补偿方法，一是采用单片机查表法，这种方法是将曲线多次取折线，但是如果曲线的曲率较大，则需要密集的数据标定点，误差较大；二是采用曲线拟合法，当传感器受到多个非目标参量影响时，该算法复杂且拟合精度常常受限。三是神经网络校正法，这是近几年兴起的新算法，但是都拘囿于软件仿真，并没有应用到硬件电路中，使得神经网络算法的实用性大打折扣。当然，市场上也有专业的神经网络芯片，但是价格昂贵，不能满足传感器的成本要求。本文提出了一种在通用 ARM 芯片上应用神经网络技术进行传感器数据融合的解决方案。32 位的 ARM (Advance RISC Machines) 微处理器，以其低成本、低功耗、高性能的特点在嵌入式领域被广泛使用，本文利用 PHILIPS 公司的 Arm2106 上成功地实现了神经网络逆向算法，在不增加传感器硬件成本的基础上，自动剔除了环境参量对传感器系统的影响，大大提高了传感器的智能化程度和精度水平。

5.2 神经网络 BP 算法

在使用神经网络实现传感器传输特性的非线性校正之前，我们看一下要采用的 BP 算法。BP 算法也叫误差反传算法^[43]属于有导师学习一类，其学习过程分为两个阶段：第一阶段（正向传播过程），给出输入信息通过输入层经隐含层逐层处理并计算每个单元的实际输出值；第二阶段（反向过程），若在输出层未能得

到期望的输出值，则逐层递归地计算实际输出于期望输出之差值（即误差），以便根据此差调节权值。BP 算法的推导如下：设给定 N 个样本 $(x_k, y_k) (k=1, 2, \dots, N)$ ，任一个节点 i 的输出为 O_i ，现在研究第 l 层的第 j 个单元，它的输入 S_j 是前一层各个单元的输出总和：

$$S_j^l = \sum_i w_{ij} O_i^{l-1} \quad (5-1)$$

它的输出：
$$O_j^l = f(S_j^l) \quad (5-2)$$

上标 l 表示第 l 层，如果任意设置网络初始权值 w_{ij} ，那么对每个输入模式 p ，网络输出与期望输出一般总有误差。定义网络误差为：

$$E_p = \frac{1}{2} \sum_j (d_{pj} - O_{pj})^2 \quad (5-3)$$

其中 d_{pj} 表示 p 样本输出单元 j 的期望输出，令网络误差最小，利用求最小值原理，对 O_{pj} 求导，一阶导数有等于 0 的点。在求导数的过程中，设定：

$$\delta_{pj}^l = \frac{\partial E_p}{\partial S_j} \quad (5-4)$$

以下将上标 l 省略，不特定说明都表示第 l 层，于是：

$$\frac{\partial E_p}{\partial w_{ij}} = \frac{\partial E_p}{\partial S_j} \frac{\partial S_j}{\partial w_{ij}} = \frac{\partial E_p}{\partial S_j} O_i^{l-1} = \delta_{pj} O_i^{l-1} \quad (5-5)$$

当节点 j 为输出单元时， $O_{pj} = y_{pj}$ ，

$$(5-6)$$

当节点 j 为隐层单元时，

$$\delta_{pj} = \frac{\partial E_p}{\partial S_j} = \frac{\partial E_p}{\partial O_{pj}} \frac{\partial O_{pj}}{\partial S_j} = \frac{\partial E_p}{\partial S_j^{l+1}} \frac{\partial S_j^{l+1}}{\partial O_{pj}} f'(S_j) \quad (5-7)$$

式中 O_{pj} 是送到下一层的输入，因此回到 $l+1$ 层计算，设 $l+1$ 有 m 个单元，则

$$\frac{\partial E_p}{\partial S_j^{l+1}} \frac{\partial S_j^{l+1}}{\partial O_{pj}} = \sum_m \delta_{pm}^{l+1} w_{jm}^{l+1} \quad (5-8)$$

将 (5-8) 式代入 (5-7)，得到

$$\delta_{pj} = \sum_m \delta_{pm}^{l+1} w_{jm}^{l+1} f'(S_j) \quad (5-9)$$

因此，BP 算法的权值修正可以表示为：

$$W(t+1) = W(t) - \alpha \Delta W = W(t) - \alpha \frac{\partial E_p}{\partial w_{ij}} \quad (5-10)$$

其中 $\alpha (>0)$ 是步长。在计算每一个单元的输出时都用到了函数 $f(\cdot)$ ，并且要求函数的一阶导数存在，这个函数被称为激活函数，最多用的有两个函数，一个是 Sigmoid 函数，另一个是双曲线正切函数。在调节权值的过程中，从输出层

依次往输入层反推，输出层与期望输出之间的误差也被逐级传递，因此 BP 算法也被称为误差反传算法。

利用 BP 网络学习算法，我们可以将传感器的一组输入输出数据对（训练样本）顺序地加到神经网络，用学习迭代方法对权值进行修正，如果其中正向传播输出的误差平方和达不到预期的精度，则沿误差的负梯度方向修正各层神经元的权值和阈值。如此反复，直至网络全局误差平方和达到预期精度，训练完成。权值一旦确定，无需改变，直接调用即可。

传感器传输线的非线性过程正好可以利用 BP 网络来纠正。采用 BP 网络及其改进算法实现传感器温度补偿的原理框图如下，网络结构为：一个输入层，一个输出层，若干个隐层，一般隐含层取 1，每层由多个神经元组成。

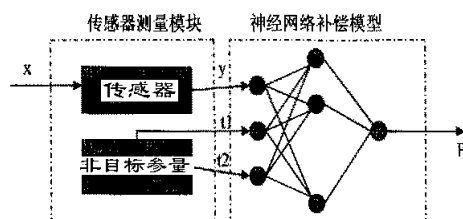


图 5-1 传感器神经网络模型
Fig. 5-1 Sensor ANN model

传感器的非线性过程如第二章所述，受到温度影响严重 $y = f(x, t)$ ，其中， x 是被测目标参量气体压力， y 为传感器输出电压， t 为环境温度。若 y 和 t 均为 x 的单值函数，则上式的反函数存在： $x = f^{-1}(y, t)$ 。

为了校正传感器灵敏度，在其输出端串联一个补偿环节，如图 5-1 所示，补偿环节的特性函数： $z = f(y, t) = x$

式中的 z 为补偿后的输出，显然， z 等于被测量 x ，从而实现误差校正。但是 f^{-1} 相当复杂，很难用具体函数来描述，可用 BP 网络来逼近这种非线性关系，将目标参量测量传感器输出及各种非目标参量敏感元件的输出作为 BP 网输入，经 BP 网络处理后的输出即为消除了各种非目标参量影响的被测目标参数。本文设计的网络结构如图 5-1 所示。

5.3 方案设计

神经网络的学习训练过程需要的内存大，需要反复迭代，耗时多，因此这部分工作应该交给 PC 机完成，而仅把用户使用的神经网络逆模型在嵌入式系统中实现，于是，可以把整体工作分为两部分：第一部分包括网络的建立、学习训练以及检测。这部分应该在 PC 机上实现，当网络经过训练，收敛后，计算得到了

合适的各网络参数，将这些参数存入一个文件。第二部分包括重新复原网络、建立逆模型，用户使用界面及其它对用户进行各种服务的应用程序。这部分程序将在嵌入式系统上运行。需要注意的是，在嵌入式系统使用神经网络处理问题之前，必须把预先在 PC 机上经过长时间学习训练得到的网络参数文件先装入嵌入式系统。因为嵌入式系统要根据这些网络参数在嵌入式系统中重新复原出结构合理的神经网络。也可以直接把网络参数文件与第二部分的应用程序一起编译生成在 ARM 芯片上运行的可执行代码，然后下载到嵌入式系统中运行。

5.3.1 训练样本的建立

1) 标定实验

在第三章的电路下，在不同工作温度 T，对压力传感器的输入-输出特性进行标定，传感器压力采用活塞压力计，采用体积作为计量单位，测量传感器经调理电路（第三章）后的电压值，U 表示压力传感器的输出电压，Ut 是温度传感器的输出，实验标定数据列于表 5-1：

表 5-1：不同工作温度下传感器输入输出标定值

Fig.5-1 Token Value of Sensor with Different Temperature

标定值	T=21.5℃		T=44.0℃		T=70.0℃	
	U/V	Ut/V	U/mV	Ut/mV	U/mV	Ut/mV
25	0	1.33	0.5	2.06	0.9	2.89
24	0.4		0.9		1.3	
23	0.9		1.25		1.6	
22	1.2		1.7		2.0	
20	2.1		2.6		2.7	
19	3.0		3.2		3.18	
18	3.6		3.56		3.5	
17	4.2		4.15		4.1	
16	5.0		4.93		4.82	

2) 神经网络训练样本数据的归一化

神经网络输入输出数值应是归一化的数值，在-1和1之间。为此，依据公式(5-1)将上表中的实验标定数据进行归一化处理，对于压力计最大值取 100ml，最小值取 0；压力传感器输出电压最大值取 5.0，而温度传感器最大值取 4.5，最小值取 0。

$$X = \frac{X_{im} - X_{i\min}}{X_{imax} - X_{i\min}} \quad (5-11)$$

经归一化处理后就建立了神经网络输入输出标准样本库。样本库中有 27 组样本数据。

5.3.2 神经网络的建立

神经网络选三层结构， i 、 j 、 k 分别是输入层、隐层和输出层神经元序号。同一层内各神经元互不连接，相邻层之间的神经元通过连接权值 w_{ij} 、 w_{jk} 相联系。选输入层节点数 2，输出层节点数 1，故 i 的可能值为 1 和 2； $k=1$ ；隐层节点数 $j=1, 2, \dots, l$ ， l 值根据网络训练结果而定。网络的激活函数选择 Sigmoid 函数：

$$f(x) = \frac{1}{1+e^{-x}} \quad (5-12)$$

$$\text{其一阶导数:} \quad f'(x) = f(x)(1-f(x)) \quad (5-13)$$

训练目标是使网络期望输出与标定值之间的均方差最小，即：

$$e = \sqrt{\frac{\sum_{p=1}^m (d_{pj} - y_{pj})^2}{m}} \quad (5-14)$$

式中， m 是训练样本个数，我们令 $e < \varepsilon = 0.01$ 。

训练过程及算法流程有如下步骤：

- (1) 网络初始化：随机设定连接权值 w_{ij} 、 w_{jk} ，设定隐节点数 l 、步长 α 。
- (2) 向具有上述初始值的神经网络按输入模式提供样本数据。
- (3) 计算隐层单元输出值 $f(S_j)$ 。隐层单元输出值采用 S 型函数，其计算式为

$$f(S_j) = \frac{1}{1+e^{-S_j}}, S_j = \sum_{i=1}^2 x_i W_{ji} - \theta_j \quad (5-15)$$

式中， $f(S_j)$ 为隐层第 j 个神经元的输出， w_{ij} 是第 i 个神经元至隐层第 j 个神经元的连接权值。

- (4) 计算输出单元的输出值 $f(S_k)$ 。输出单元的输出值 $f(S_k)$ 即网络的输出 y_k 。输出值仍采用 S 型函数，计算式为

$$f(S_k) = \frac{1}{1+e^{-S_k}}, S_k = \sum_{j=1}^l f(S_j) W_{kj} - \theta_k \quad (5-16)$$

式中， $f(S_k)$ 为输出层第 k 个神经元的输出值； W_{kj} 为隐层第 j 个神经元至输出层第 k 个神经元的连接权值； θ_k 为阈值，本例中 $k=1$ 。

- (5) 计算输出层和隐层训练误差 δ_k, δ_j 。

$$\delta_k = f(S_k)[1 - f(S_k)][d_k - f(S_k)] \quad (5-17)$$

$$\delta_j = f(S_j)[1 - f(S_j)][\sum_k \delta_k W_{kj} - \theta_j] \quad (5-18)$$

式中， d_k 是神经网络的理想输出值，即压力传感器系统目标参数的标定值。

(6) 修正权值：

$$W_{ji}(t+1) = W_{ji}(t) + \eta \delta_j x_i + \alpha [W_{ji}(t) - W_{ji}(t-1)] \quad (5-19)$$

$$W_{kj}(t+1) = W_{kj}(t) + \eta \delta_k f(S_k) + \alpha [W_{kj}(t) - W_{kj}(t-1)]$$

式中， η 和 α 分别为步长和势态因子。

(7) 判断均方误差 e 是否满足给定允许偏差 ϵ 。当满足时，则转到(8)，否则转向(5)、(6)和(7)。

(8) 结束训练。

在matlab下对上述神经网络进行了训练，隐层节点数分别取9、18、30做试验，经过比较最后取30，网络训练结果令人满意，均方误差小于0.04。训练后得到的权值、网络各参数如下：

表5-2 输入层到隐层的权值

Table 5-2 the Weight Value from Input to Hide

Wji	J							
	j=1	2	3	4	5	6	7	8
1	-9.4514	-8.6053	-9.4999	-8.6870	-9.4824	-9.4038	-8.4703	-6.2334
	-9.8254	-8.8114	-9.8634	-9.0395	-9.8261	-9.7570	-8.9485	-1.8234
	j=9	10	11	12	13	14	15	16
1	-8.9523	-9.4660	-9.4662	-8.8570	-9.4889	-9.4329	-7.8085	-9.3640
2	-9.3548	-9.9130	-9.9102	-9.1017	-9.8802	-9.8043	-7.6331	-9.7844
i	j=17	18	19	20	21	22	23	24
	1	-9.2145	-8.6801	-8.6002	-7.9257	-0.9581	-9.4464	-6.0344
2	-9.5004	-9.2012	-9.0042	-8.1563	-5.9836	-9.8751	-7.3659	-9.8551
	j=25	26	27	28	29	30		
1	-9.0802	-9.4162	-9.4819	-8.4328	-8.4343	-9.0760		
2	-9.5002	-9.8601	-9.8881	-8.9168	-9.0014	-9.3462		

表5-3 隐层到输出层的权值

Table 5-3 the Weight Value from hide to output

W _{kj}	J						
	j=1	2	3	4	5	6	7
K=1	-0.9301	-1.5021	-0.9799	0.6981	-1.1735	-0.9707	1.4126
	j=8	9	10	11	12	13	14
	-18.6893	-0.5464	1.0334	1.0367	-1.3617	-0.7931	-0.9213
	j=15	16	17	18	19	20	21
	-2.8602	1.1112	-1.2351	1.6891	-0.3990	-1.0966	10.6984
	j=22	23	24	25	26	27	28
	1.0674	2.4056	-1.1660	1.1849	1.2716	0.8455	1.4353
	j=29	30					
	1.9063	-1.2761					

表5-4 隐层的阈值

Table 5-4 the Threshold Value of hide

θ_j						
j=1	2	3	4	5	6	7
0.7256	0.1628	0.9562	0.1962	0.7762	0.6133	0.1623
j=8	9	10	11	12	13	14
0.0311	0.2886	.9711	0.9505	0.2280	0.9585	0.6799
j=15	16	17	18	19	20	21
0.0550	0.5998	0.3931	0.2154	0.1824	0.0768	0.0074
j=22	23	24	25	26	27	28
0.7888	0.0178	0.8779	0.3525	0.7221	0.9685	0.1557
j=29	30					
0.1630	0.3134					

输出层的阈值: $\theta_k = 0.0294$

5.3.3 Arm 实现方案

在嵌入式系统中, 只对网络进行前向运算, 所以运算量相当小, 瞬间即可完成。对于处理较复杂的非线性问题, 这种处理方法会比普通算法快, 并且因为它使用了第一部分在 PC 上训练好的神经网络, 所以具有相当高的准确率和普通算

法不具备的容错、联想、自适应能力，而且整个应用具有非常好的健壮性。

神经网络的逆模型只需上一部分步骤的(1)~(4)步。由于LPC2104没有装操作系统，没有文件系统支持，所以无法把网络参数文件BpResult.bp以文件的形式下载到嵌入式系统中。因此，可以在网络训练完毕后，把训练好的网络各参数(各层节点数目、节点间连接权值)作为数组或链表存入一个文件，例如BpConstruct.h，以便在应用时利用它来复原已训练好的网络。该文件也描述出了网络的结构。在嵌入式系统中执行的应用程序，当需要使用该神经网络时，先从网络参数文件BpConstruct.h中提取网络结构信息，重建该网络，然后再利用网络解决问题。网络参数文件BpConstruct.h要放在把第二部分的整个工程里与应用程序用编译器(例如ADS1.2)一起编译连接，生成嵌入式系统中的可执行代码。可以使用AXD Debugger进行在线调试。该方法与有操作系统的嵌入式系统相比，当处理的问题发生改变而需要变化网络时，都要在计算机上重新编译应用程序，然后再重新下载映像文件，比较麻烦。不如在移植有嵌入式操作系统的嵌入式系统中应用时只重新下载网络参数文件BpResult.bp方便。

基于Arm的硬件接口电路如下：

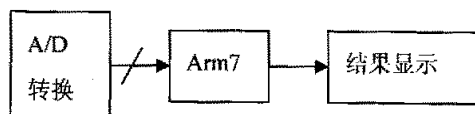


图5-2 基于Arm的硬件接口电路

Fig.5-2 Arm Based Hardware Connection Circuit

由于Arm体系结构是典型的RISC(Reduced Instruction Set Computer)处理器，只有加载和存储指令可以访问存储器，数据处理指令只对寄存器的内容进行操作，加快了数据处理的执行速度，可以执行32位Arm指令或16位Thumb指令。LPC2104除带有一个支持实时仿真和跟踪的Arm7TDMI-S CPU外，并嵌入了128KB高速Flash存储器和16K的静态RAM。带有双UART，I2C，SPI串行接口，两个定时器，看门狗定时器，通用I/O口，两个低功耗模式：空闲和调电；由于LPC2104具有较大的缓冲区规模和强大的处理能力、多个I/O控制口线，因此功能强大，完全可以满足一般工业控制和低端的音视频产品需要。

根据我们的需要，基于Arm的系统需要完成以下功能：AD转换后数据的接收、数据的神经网络算法处理、数据的发送和显示。将系统设置为空闲模式功耗模式，当要接收数据时，接收中断唤醒CPU。数据的接收选用UART0，数据的发送亦采用双工口RS232形式。我们使用了ADS1.2作为开发工具，并调用了指数函数，使得程序开发的复杂度锐减。整个程序的编辑、编译、链接等工作均在PC机上完成，通过JTAG仿真器下载调试。调试成功后，将程序固化在片内flash。

首先对系统进行初始化，系统的初始化将包括各状态寄存器、串口中断、系统变量的设置，初始化变量及主程序如下：

```

/*-----定义常量-----*/
#define INNUM    2        //BP神经网络的输入层数
#define HIDNUM   30       //隐层节点数
#define OUTNUM   1        //输出节点数

/* 定义串口模式设置数据结构 */
typedef struct UartMode
{
    uint8 datab;          // 字长度, 5/6/7/8
    uint8 stopb;          // 停止位, 1/2
    uint8 parity;         // 奇偶校验位, 0为无校验, 1奇数校验, 2为偶数校
    验
} UARTMODE;

/*预定义神经网络的权值, 单元和及输出向量*/
float w1[2][30];        //预定义输入到隐层的权值
float w2[30];           //预定义隐层到输出层的权值
float fail[30];         //预定义隐层单元的阈值
float fai2=0.0294;     //预定义输出单元的阈值
float x[INNUM];         //输入单元
float Sj[HIDNUM];       //隐层单元的和
float Yj[HIDNUM];       //隐层单元的输出
float Sk=0.0;           //输出单元的和
float Yk=0.0;           //输出单元的输出
uint8 rcv_buf[8];      // UART0数据接收缓冲区
uint8 rcv_new;         // 接收新数据标志

int main(void)
{
    UARTMODE uart0_set;
    uint16 lnt0;
    rcv_new = 0;
    uart0_set.datab = 8;        // 8位数据位
    uart0_set.stopb = 1;       // 1位停止位
    uart0_set.parity = 0;      // 无奇偶校验

```

```

UART0_Ini(9600, uart0_set); // 初始化串口模式
UOFCR = 0x81; // 使能FIFO, 并设置触发点为8字节
InitRcv() // 初始化UART0, 并允许RBR中断, 即接收中断

while(1)
    { PCON = 0x01; //系统进行空闲模式, 等待中断

/* 当系统被唤醒后, 进行中断处理和数据计算*/
    if(1==rcv_new)
        { uint8 j;
          uint8 m;
          for (j=0;j<8;j++)
              y[j]=((float)rcv_buf[j]/(float)255.0); //对AD转换后数据进行归一化处理

          for (m=0;m<8;m=m+2)
              { z[m]=Bpnetwork(y[m], y[m+1]); // 调用神经网络计算
                Int0=z[m]*10000;
                ISendBuf(Int0); // 将接收到的数据发送回主机
              }
          rcv_new = 0;
        }
    }
return(0);
}

```

经过校正后的数据消除了温度的影响。

5.4 本章小节

本章讨论了基于神经网络的传感器非线性补偿算法, 并在 Arm 硬件中实现该算法。传感器的非线性表现在其灵敏度是随温度的变化呈现出的一致, 另外经过了调理电路, 传感器信号中掺杂了运算放大器的各种非线性噪声。运用神经网络进行非线性补偿有一个显著优点, 就是在对网络参数进行训练的过程中, 拿标定值与测量值做了对比, 从而可以消除调理电路带来的误差。传感器的另外一个特点是具有时变性, 随岁月的流逝, 传感器特性与最初标定时会有些不同, 重新标

定后，调用神经网络运算过程，可以自动更改网络参数，这种软件补偿避免了硬件电路的修改。

总之，神经网络的方法可以自动剔除环境参数的影响。但是神经网络的运用有一个要求，这就是：传感器的非线性具有重复性，因此对传感器的标定试验要尽可能详细和准确。

本文利用神经网络的软件算法补偿传感器的非线性，是在传感器行为模型建立后，对其仿真后提出的补偿办法，因此建立合适的行为模型是系统设计的第一步，也是关键的一步，对系统设计中的交流、系统仿真和验证都有重要意义。

结束语

通过前五章的理论分析和实际应用,我们详细探讨了数模混合电路应用统一描述语言进行系统设计的方法,提出了基于VHDL-AMS构建系统设计平台的想法,并以一个智能传感器的设计为例,应用该方法为传感器建立行为建模,从而构建整个系统的框架,定义各个系统模块的功能。其次在传感器硬件设计中,验证了数字开关信号对模拟信号线的干扰是数模混合电路设计中不可避免的问题,这是整个数模混合电路设计的难点亦是重点,本文对这些干扰信号进行了详细的理论分析和实验验证,建立了分析模型。

回顾前面五章的内容,论文做了如下工作:

a) 提出了基于VHDL-AMS系统设计平台的数模混合电路设计方法,利用该平台设计了压力传感器的行为模型。随着数模混合电路的不断增长,对数模混合电路设计方法的研究越来越重要,由于数模混合电路存在多种信号,很难进行统一仿真和验证,而基于IP复用的设计方法又被证实很难实现,本文在分析IEEE1076.1标准(VHDL-AMS)特点、EDA工具典型算法的基础上,提出了基于VHDL-AMS系统设计平台的数模混合电路设计方法,解决了模拟电路难以建模、难以系统仿真、不好综合的难题,提高了混合SOC设计效率。

b) 设计了智能传感器的硬件电路,建立了数模混合电路中数字信号线与模拟信号线间的串扰预测模型。在调试传感器硬件电路的过程中,本文测试到了各种噪声信号波形,这些噪声波形正是影响数模混合电路正常工作的根源所在,从而引发了信号完整性问题。本文利用互连线RCL模型,建立了数字信号线对模拟信号线的二阶串扰分析数学模型,并通过实际测量验证了该模型中各种电路参数对串扰的影响作用,从而弥补了互连线只能利用RC电路建立一阶分析模型的不足。

c) 建立了数模混合电路的地跳分析模型。数字电路的开关效应会通过地网络耦合到模拟电路,本文在分析数字电路地跳模型的建立过程后,将数字电路视为发射器,将模拟电路视为接收器,从而建立了数模混合电路的地跳模型,经Spice仿真后波形与实际测量到波形相近,该模型对预测“地跳”的数值大小极有帮助。

d) 传感器在信号传输过程中有非线性特性,本文利用神经网络算法进行非线性补偿,编写了适用于嵌入式Arm运行的程序,并在Arm7TDMI内核的LPC2104上实现该算法。神经网络具有自学习能力,只要输入训练样本,通过自学习过程,就可以自动剔除环境参数的影响,提高传感器的智能化水平。

随着市场对模拟电路需求的不断增长,对数模混合电路设计方法的研究正方兴未艾,其工程应用前景生机勃勃,拥有许多机会,同时亦面临许多挑战。本文

在这方面做了有益的探索。限于时间仓促，还有一些研究没有展开，对数模混合电路中典型电路（AD器件等）都可以构建行为模型，传感器数据亦可以增加网络传输，在数模混合电路设计平台下实现网络传输的算法和硬件设计。

参考文献

- [1] 毕查德.拉扎维. 模拟 CMOS 集成电路设计. 陈贵灿等译. 西安交通大学出版社, 2002.12, P1-7
- [2] 赵建忠. SOC 与 IP: IC 设计发展引擎. 中国电子报, 2005 年 3 月 4 日
- [3] 于宗光. 关于 SOC 面临的问题及发展展望. 微电子技术, Vol.29, No.1, P1-5
- [4] 林学龙. SOC 技术的现状、水平和发展趋势. 单片机与嵌入式系统应用. 2002 vol.5, P9
- [5] Chatterjee A, Cressler J D. Foreword Special Issue on Device Integration Technology for Mixed-Signal SOC. IEEE Transactions on Electron Devices, Vol.50, No.3, March 2003, P543-546
- [6] Landry R. Cost trade-offs in mixed-signal SOC designs. Electronics Systems and Software, Vlo.2, Issue 1, March 2004 P16-19
- [7] Ahnad Bahai Dowlatabadi. Challenges in CMOS Mixed-Signal Designs for Analog Circuit Designers. Proceedings of IEEE on Circuits and Systems, Vol.1 Aug. 1997, P47-50
- [8] K. Wayne Current. Considerations for an Analog and Mixed-signal Computer-aided design Tool. Southwest Symposium on Mixed-signal Design, 2003, P15-20
- [9] Georges G. E. Gielen. Computer-aided Design of Analog and Mixed-signal Integrated Circuits. Proceedings of the IEEE, Vol.88, No. 12, December 2000, P1825-1827
- [10] 李儒章. 模拟集成电路的特点及设计平台. 微电子学, 2004 年 8 月 Vol.34, No.4, P356-363
- [11] 来新泉, 高德远. 模拟 CMOS 集成电路设计工具综述. 微电子学, 1998 年 2 月, Vol.28, No.1, P1-5
- [12] 罗柏平, 姚立真. 模拟集成电路设计工具的研究进展. 固体电子学研究进展. 2000 年 5 月, Vol.20, No.2, P180-190
- [13] Steven L Drager, Dr. Harold W Carter. A VHDL-AMS Mixed-Signal, Mixed technology Design Tool. Proceedings of the IEEE 1998 National, July 1998, P552-556
- [14] Kundert K. Design of mixed-signal systems-on-a-chip. IEEE Trans

- Actions On Computer-aided Design of Integrated Circuits and Systems, 2000, VOL.19, NO.12, P1565-1571
- [15] 吴良斌, 高玉良, 李延辉. 现代电子系统的电磁兼容性设计. 国防工业出版社, 北京: 2004, P1
- [16] 区健昌, 林守霖. 电子设备的电磁兼容性设计. 电子工业出版社, 北京: 2003, P10-19
- [17] 李绪益. 电磁场与微波技术. 广州: 华南理工大学出版社, 2000, P8
- [18] Fatehy El-turky, Elizabeth E.Perry. BLADES: An Artificial Intelligence Approach to Analog Circuit Design. IEEE Trans on Computer-aided Design. 1989 Vol.8, No.6, P681-691
- [19] V R Babu, B Mazhari, M M Hasan. An Expert System Approach for Analog Circuit Synthesis. IEEE 10th International Conference on VLSI Design, Jan.1997, P426
- [20] Georges G E Gielen, Herman C C Walscharts. Analog Circuit Design Optimization Based on Symbolic Simulation and Simulated Annealing. Solid-State Circuits, IEEE Journal. 1990 VOL.25, P707-713
- [21] Sansen W, Glelen G. Symbolic Simulator for Analog Circuits. IEEE International Solid-State Circuits Conference, 1989, P204-205
- [22] Brian A A Antao. Techniques for Synthesis of Analog Integrated Circuits. IEEE Trans on Design and Test of Computer, Mar. 1992, P8-20
- [23] Hss, Sorin A. Model engineering in mixed-signal circuit design: a guide to generating Accurate behavioral models in VHDL-AMS. Boston: Kluwer Academic Publishers, 2001, P200
- [24] A Ferrari, et. System Design: Traditional concepts and new paradigms. ICCD' 1999, International Conference on, P2-12
- [25] L P Carloni, et. The art and science of integrated systems design. Proceedings of the 28th European Solid-State Circuits Conference, 2002 P25-36
- [26] K Keutzer, et. System-level design: Orthogonalization of Concerns and Platform-based design. IEEE Transactions on Computer-Aided Design of Integrated Circuits and Systems, Vol.19, Dec.2000, P1523-1543
- [27] 马忠梅. 嵌入式应用设计模式. 单片机与嵌入式系统应用. 2001年01期
- [28] Peter Bishop. 基于嵌入式 Arm 片上系统仿真平台. 世界电子元器件. 2004年03期
- [29] Sasongko Arif, Baghdadi Amer. Towards SoC validation through

- prototyping: A systematic approach based on reconfigurable platform Design. Automation for Embedded Systems, vol. 8, June/September, 2003, P155-171
- [30] 孙以材. 压力传感器的设计制造与应用[M]. 冶金工业出版社. 2000年, P158
- [31] U. Aljancic, D. Resnik, M.. Temperature Effects Modeling in Silicon Pizeoresistive Pressure Sensor. 2002 IEEE [DB/CD], Electro technical Conference, P36-40
- [32] 何道清. 传感器与传感器技术. 北京: 科学出版社, 2004, P7-9
- [33] 苏铁力等编著. 传感器及其接口技术. 北京: 中国石化出版社, 1998, P68
- [34] Achar R, Nakhla M S. Simulation of High-speed Interconnects. Proceedings IEEE, Vol. 89, Issue 8, Aug. 2001, P693-700
- [35] Yungseon Eo, William R. Eisenstadt. A New On-chip Interconnect Crosstalk Model and Experimental Verification for CMOS VLSI Circuit Design. IEEE Transactions on Electron Devices, Vol. 47, No. 1, January 2000, P129
- [36] Frank Y. Yuan. Signal Integrity Analysis of Simultaneous Switching Noises and Decoupling Capacitors in Digital Packages and PCB Systems. Electrical Performance of Electronic Packaging, 1996, IEEE 5th Topical Meeting, Oct. 1996, P132-135
- [37] Gordon C. C., Roselle K. M. Estimating Crosstalk in Multiconductor Coupled Transmission Lines. Electrical Performance and Electronic Packaging, IEEE 1994.
- [38] 杨华中, 罗嵘等. 面向微系统芯片的建模方法. 北京: 清华大学出版社, 2002, P127-136
- [39] L Yang, J. S. Yuan. Modeling and Analysis of Ground Bounce due to Internal Gate Switching. IEEE proceedings of Circuits Devices System, Vol. 151, No. 4, August 2004, P300-307
- [40] Mary Sue Haydt, Robert Owens. Modeling the Effect of Ground Bounce on Noise margin. IEEE International Test Conference 1994, P279-286
- [41] 王少卿, 徐其迎. 数模混合电路中的“地跳动”问题研究. 信息技术. 2003年12月, Vol. 27, No. 12. P61-64
- [42] Antonio Zenteno. Analysis and Attenuation Proposal in Ground Bounce. Proceedings of the 13th Asian Test Symposium, 2004 IEEE, P460-463
- [43] 袁曾任. 人工神经网络及其应用. 北京: 清华大学出版社, 2002年, P66

- [44] 陈彬, 杨华中. 互连线延时和串扰的估算方法. 电路与系统学报, 2003年12月 Vol.8, No.6, P100-106
- [45] 赵骏, 刘凌志等. 一种新的集成电路互连线串扰模型和估计公式. 电子与信息学报, 2003年4月, Vol.25, No.4, P543-550
- [46] Jan M Rabaey. Digital Integrated Circuit Design—A Design Perspective. 华南理工大学教材供应中心, 2002, P120

在学期间发表论文

序号	作者(全体作者,按顺序排列)	题目	发表或投稿刊物名称、级别	发表的卷期、年月、页码	相当于学位论文的哪一部分(章、节)	被索引收录情况
1	郭玲 秦华标	新型无刷直流电机控制 IC 的原理与设计	中国电子学会电路与系统学会第十八届年会论文集	2004年4月	第二章	
2	郭玲 秦华标	基于 VHDL-AMS 混合 SOC 设计方法研究及其应用		已投出	第二章	
3	郭玲 秦华标	数模混合电路中的“地跳动”模型建立与仿真		拟投稿	第四章	

致 谢

首先，我要向我的导师秦华标老师致以最诚挚的感谢，在研究生三年的学习、生活中，秦老师都给予了我极大的支持和关怀。在论文实验、撰写、完成阶段，他都进行了悉心指导，付出了很多劳动。三年中跟秦老师的讨论一直伴随着我，没有秦老师的精心指导，就没有这篇论文的顺利完成。秦老师尊重事实的严谨学术作风，在专业领域孜孜不倦的探索精神给我留下了深刻印象，他开明民主的学术做派亦是我学习的典范。

其次，我要感谢赖声礼教授和许尊宝老师，赖老师渊博的学识、敏锐的学术造诣令我受益匪浅。许老师对纪律要求严格并在生活上给予了我很多关怀，在此向赖老师和许老师致敬。

我还要感谢实验室的谢泽明老师，谢老师踏实的学术作风，严密的思维亦是我学习的典范，偶尔跟谢老师请教问题，他都是非常认真作答，并极尽详细。

感谢我的同学丁付刚、李明月、黄双萍、肖梨华、倪天龙、张贤高、师姐覃玉蓉博士，及吴泽海、张翔、刘卓曦等同学和朋友，在三年的求学过程中，我们互相勉励，互相学习，结下了深厚的友谊，并以此文作为我们友谊的纪念。

在论文完成的过程中，师弟王飞、霍清泉在实验研究中给予了我很多帮助，同时感谢其他师弟师妹们对我的鼓励和支持，在此不一一列名，论文的完成离不开他们热情的帮助和互相切磋，在此向他们表示衷心的感谢和祝福。

最后要感谢我的父母、兄姊，他们一直是我坚强的后盾，最重要感谢我的先生张贵峰，三年来他倾力支持我的学业，相信这篇论文将是献给他们的最好礼物。