

## 摘 要

本文介绍了线性调频连续波雷达的工作原理及特点,分析了系统差频信号与目标距离之间的线性关系,提出了线性调频连续波近程探测系统的总体实现方案,将线性调频连续波近程探测原理和数字信号处理相结合,进行了信号处理系统的软硬件设计与实现。

以 TMS320VC5410 DSP 芯片为核心完成了系统的硬件设计。具体包括:基于 DDS 芯片 AD9833 实现的三角波调制信号发生器;带通滤波及放大器,用于对采样前的差频信号预处理;基于 TLC5510 A/D 转换器及 FIFO 构成的差频信号数据采集模块;SST39LF400A 实现程序及数据存储。另外还包括系统电源、时钟等 DSP 外围电路设计。

根据探测系统对信号处理的要求,设计完成了系统及应用软件。具体包括:调制信号产生,数据采集,信号的时域和频域分析,FLASH 烧写以及 Bootloader 自举程序。介绍了小波变换在信号处理中的作用,对小波阈值去噪进行了相关的仿真分析,并给出了小波变换检测信号频率的方法,从而实现了近程测距的功能。

最后,对系统进行软硬件联合调试,并进行调试结果分析,验证了所设计的信号处理系统方案是可行的。

**关键字:** 调频连续波, DSP, DDS, A/D 转换器, 小波变换

## Abstract

This dissertation introduced the work principle and characteristics of FMCW (frequency modulated continuous wave) radar, deduced the linearity relation between difference frequency signal and target distance, specify the whole scheme of FMCW short measure distance system. Combined the principle of FMCW and digital signal processing, it has carried out signal processing system software and hardware design.

In the hardware design, the digital signal processor of TMS320VC5410 is the core of the system. It includes in details that AD9833 finishes the modulated signal producer, filter and amplifier finish the preprocessing of difference frequency signal, AD convertor TLC5510 and FIFO accomplish data sampling, SST39LF400A is made use of programme and data memory. Besides that it also includes system electrical source, clock and other periphery circuits design.

According to the system of the signal processing request, this design completes the overall system software which includes producing modulated signal, data collection, signal analysis in time field and frequency field, FLASH burned and Bootloader programme. This paper does some simulates and analysis in wavelet denosing of threshold. And bring forward wavelet transform to measure signal frequency, achieve the function of short range detection.

Finally, combine software and hardware and debug the whole system, analysis the result of the debug. Validate the signal processing system design scheme.

**Key Words:** FMCW, DSP, DDS, AD convertor, wavelet transform

## 声 明

本学位论文是我在导师的指导下取得的研究成果，尽我所知，在本学位论文中，除了加以标注和致谢的部分外，不包含其他人已经发表或公布过的研究成果，也不包含我为获得任何教育机构的学位或学历而使用过的材料。与我一同工作的同事对本学位论文做出的贡献均已在论文中作了明确的说明。

研究生签名：\_\_\_\_\_ 年 月 日

## 学位论文使用授权声明

南京理工大学有权保存本学位论文的电子和纸质文档，可以借阅或上网公布本学位论文的部分或全部内容，可以向有关部门或机构送交并授权其保存、借阅或上网公布本学位论文的部分或全部内容。对于保密论文，按保密的有关规定和程序处理。

研究生签名：\_\_\_\_\_ 年 月 日

# 1 绪论

## 1.1 课题背景和研究概况

毫米波<sup>[1]</sup>在电磁波谱上位置处于微波和红外之间,通常是指波长为10mm~1mm范围内的电磁波,其相应的频率范围为30GHz~300GHz。与普通微波相比,毫米波有三个重要的物理特性,即波长较短、工作频带宽以及与大气成分有选择性的相互作用。正是这些特点使得毫米波在工程应用中呈现出一些优、缺点,因而是系统应用综合考虑的基础。

毫米波技术的研究不断向前发展,日趋成熟,其应用领域也不断扩大,在雷达、通信、精密制导、遥感、医学、生物学等领域都有着广泛的应用,在雷达方面尤其活跃。

毫米波雷达可用于精确测距,其最小作用距离比厘米波和米波小得多。毫米波雷达窄的波束宽度、有选择的大气传播特性、大的系统带宽和大的多普勒频率非常有利于增强对电磁波干扰的抗干扰能力,有利于系统采取扩谱工作方式,有利于提高系统的低截获概率性能,有利于提高系统的距离和速度分辨能力,有利于目标识别处理,这些都为毫米波雷达系统的发展提供了巨大的潜力。

由于非大气窗口频段内的毫米波在大气中传输时,受到的大气吸收和散射比较强烈,所以其传输距离较短。近程毫米波雷达恰好利用以上特点,将其工作频率选择在非大气窗口频段,以使得雷达系统可以具有较好的抗干扰能力、保密性,以及隐蔽性等特点。

毫米波LFMCW雷达<sup>[2]</sup>结合了毫米波雷达和LFMCW雷达的优点,日益受到世界各国的重视。与微波雷达相比,毫米波LFMCW雷达可以实现更宽的调频带宽,获得更高的距离分辨率,即使用较小的天线,也能产生很高的角度分辨率;与传统的脉冲雷达相比,LFMCW雷达要求较低的发射峰值功率,它采用连续波体制消除了距离盲区,采用大的带宽获得高的距离分辨率和测距精度,而且该雷达的信号处理系统更为简单,因而毫米波LFMCW雷达具有体积小、重量轻的优势;与激光和红外等光学系统相比,毫米波雷达受云、雨、雾等天气条件的影响相对较小,因而可全天候工作。

近年来,毫米波LFMCW雷达以其独特的优点在精确制导武器系统、导航与交通管制、搜索与目标截获、汽车防撞系统等领域得到广泛应用。世界发达国家已研制出了一系列高性能的毫米波LFMCW雷达,如美国的机载高分辨率多传感器系统,法国的直升机防撞雷达等。因此,开展此项研究无论对于实际应用需要,还是追赶世界先进水平都势在必行。

## 1.2 论文主要工作及结构安排

论文的主要研究内容是：基于TMS320VC5410 DSP的调频连续波近程探测系统的研究与设计，实现信号的检测与处理，从而完成测距功能。

本文共七章，第一章为绪论，阐明了本课题的背景和研究意义，通过介绍毫米波及毫米波雷达的特性引出毫米波LFMCW雷达。

第二章主要介绍了线性调频连续波雷达的工作原理及特点，给出了线性调频连续波近程探测系统的总体实现方案，对采样前的差频信号进行预处理。

第三章主要完成了信号处理系统的硬件设计与实现。包括数据采集电路，FIFO 缓存电路，FLASH 闪存电路，TMS320VC5410 芯片及其外围电路等各个部分的原理图和PCB 板设计。

第四章主要完成了调制信号发生器的设计。概述了多通道缓冲串口的特点与应用，对 AD9833 的结构功能以及内部寄存器做了简单的介绍，完成了三角波调制信号发生器的设计。

第五章主要完成了系统的软件设计与实现。采用相应的软件编程完成设计所需的功能，包括调制信号产生，数据采集，信号的时域、频域分析，FLASH 烧写以及 Bootloader 自举程序。通过小波变换对小波去噪进行了相关的仿真分析，并给出了另一种检测信号频率的方法。

第六章主要进行了系统调试与结果分析。通过软、硬件调试，发现并解决了一些设计存在的问题。联合实际系统，进行系统性能测试，基本达到设计要求。

第七章给出了全文的总结。概括了本文所完成的工作，并说明了需要进一步研究和改进的内容。

## 2 LFM CW 近程探测系统的原理及方案设计

### 2.1 LFM CW 雷达的工作原理

典型的 LFM CW 雷达系统框图如图 2.1 所示：

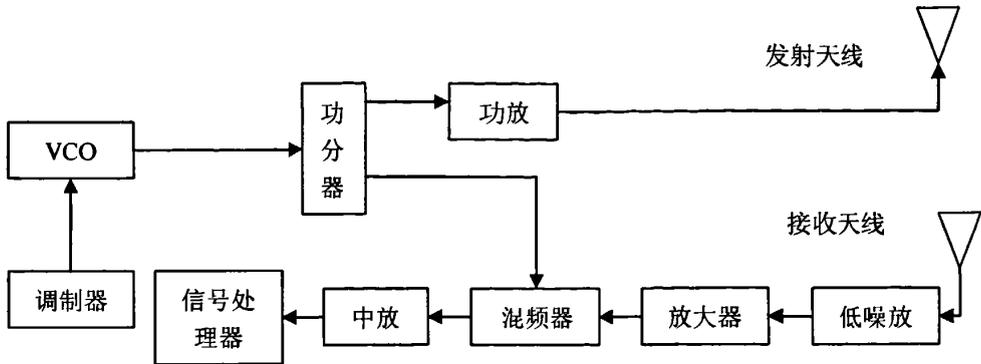


图 2.1 典型 LFM CW 雷达的系统组成

LFM CW 雷达工作时，调制器产生一定波形的调制信号，调制 VCO 产生射频信号的频率，形成调频连续波。由发射天线将调频信号辐射到空间。当发射信号遇到目标时，部分能量被目标反射，并被接收天线接收。在电波传播到目标和返回到天线的这段时间内，发射信号的频率与回波信号的频率相比已有了一些变化。将回波信号放大后与来自发射机振荡器的本振信号进行混频，在混频器输出端得到差频信号。差频信号经过中频放大器后进入信号处理器进行信号处理，可对信号进行时域频域分析，从而达到所需的功能。

调频连续波雷达<sup>[3]</sup>的发射信号是一个调频周期  $T$  远大于作用距离处目标回波时延  $\tau$  的线性调频信号，线性调频连续波雷达发射波形的幅度固定不变，但频率随时间线性变化，目标回波包括一个发射信号的复制波形。LFM CW 调制有两种：三角波调制和锯齿波调制。三角波调制系统的时频曲线如图 2.2 所示，图中(a)为三角波调制发射信号与回波信号的瞬时频率特性，其中实线为发射信号频率；虚线为回波信号频率(b)为混频器输出的差频信号的时频特性，其中  $f_b$  表示差频频率。

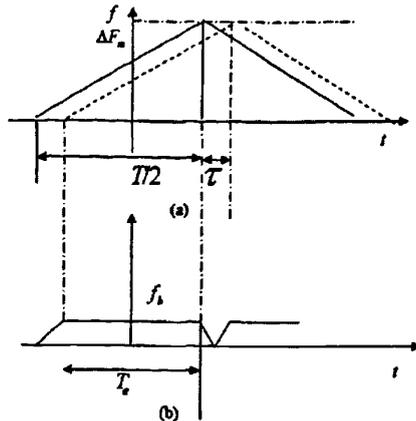


图 2.2 三角波调制系统的时间频率曲线

从图中可以看出,不同的延时 $\tau$ 对应不同的差频频率 $f_b$ ,对应关系如下:

$$\frac{f_b}{\Delta F_m} = \frac{2\tau}{T} \quad (2.1)$$

其中 $\Delta F_m$ 为扫频带宽(最大频偏), $T$ 为调制信号周期。

且延时 $\tau$ 与距离 $R$ 满足关系式

$$R = \frac{C\tau}{2} \quad (2.2)$$

其中 $C$ 为电磁波传播速度(与光速相同)。

结合式(2.1)和式(2.2)可得的关系

$$f_b = \frac{4\Delta F_m}{CT} R \quad (2.3)$$

由上式可见差频信号频率 $f_b$ 与距离 $R$ 成线性关系,测出固定点目标回波信号和发射信号的频差就能算出目标距离。这种载有距离信息和频率信息的信号被称为差频信号,又称频差。在 $f_b$ 恒定的有效时段 $T_e$ 进行采样,可通过FFT运算便可以得到相应的信号的功率谱,通过计算功率谱所在位置便可以测得目标距雷达的径向距离。

与三角波调制类似,锯齿波调频的差频为

$$f_b = \frac{2\Delta F_m}{TC} R \quad (2.4)$$

但上述的关系式并不是准确的,只是近似的。由上述的差频信号的时间-频率曲线可以看出,在三角波(或锯齿波)调频时,存在一些不规则区间,在这些不规则区间内,差频频率不能由差频公式求出,它们与距离 $R$ 也无直接的关系,出现了与差频公式的 $f_b$ 完全不同的频率,使得差频信号频率不是单一的,而是存在不同的频率,这样导致差频频率也随时间按一定规律周期性的变化。可以通过对调制规律及其参数进行选择的方法,减

小由于差频公式的近似性所带来的误差。三角波调频时，可以增大 $T$ ，使得 $\tau \ll T$ ，减小不规则区，就能提高差频公式的精确度。实际上， $\tau \ll T$ 这个不等式一般来说是可以得到相当的满足的。因此这种时域分析法及其差频公式还是经常采用的。而且本系统用于近程探测， $\tau = 2R/C$ 的值很小，所以这种方法同样适用于本系统。

由于锯齿波有一跳变，在整个系统中产生很强的调制周期信号，影响系统的灵敏度。所以本次设计选用三角波调制，这样突变小了一点，因此系统中调制周期信号大大减弱，提高了系统性能。

## 2.2 LFMCW 雷达的特点

由线性调频连续波雷达的工作原理可以归纳出其独特的优越性<sup>[2]</sup>，主要表现为：

(1)容易实现极高的距离分辨力，根据雷达系统理论，雷达的理论分辨率由雷达信号带宽决定。在线性调频连续波雷达中，易得到大带宽信号，而接收机视频部分的带宽却远远小于信号带宽，因此易于工程实现；

(2)不存在距离盲区，由于调频连续波雷达的发射机和接收机是同时工作的，不像脉冲雷达那样需要在发射机工作期间关闭接收机；

(3)收发系统相对简单，因此具有尺寸小、重量轻、成本低等优点；

(4)信号能量大，带宽时宽积大。在噪声功率一定的情况下，雷达的检测能力由信号能量决定，LFMCW雷达采用的是超大时带积信号，其持续时间在毫秒量级，所以它具有远大于同样信号电平和信号带宽的脉冲信号能量；

(5)LFMCW的噪声带宽比脉冲雷达小，故LFMCW接收机灵敏度高；

(6)相比普通的脉冲雷达，它工作电压低，发射功率小，减少了发射源的制造难度。

表2.1将调频连续波方式和另一种测距体制脉冲方式在关于距离测量方面的性能进行了对比。

表2.1 性能比较

参数	脉冲体制	调频连续波
测距精度	优	一般
距离分辨率	一般	优
测距盲区	有	无
峰值功率	高	低
抗截获能力	弱	强

由上面的分析可以看出，若采用脉冲法，则脉冲宽度较窄，制作难度较大，而且脉冲发射功率较大，会增加发射机末级功率放大器及散热装置设计的难度，同时也增加了功耗。调频连续波的波形参数对微波部件和调频连续波信号源的设计要求较低，发射功

率较脉冲法也较小,降低了系统对末级功率放大器1dB压缩点的要求,这也增加了器件芯片的选择范围,降低了整个系统的设计难度。因此选择调频连续波作为系统测距的方法,为了使差频信号频率与距离成正比,不随时间变化,所以选用线性调频连续波。

除上述优点外,线性调频连续波雷达也存在一些缺点,主要表现为:

#### (1)作用距离有限

LFMCW 雷达属于连续波体制,发射机和接收机是同时工作的。但要求的作用距离增大时,所需要的信号功率也随之增大,在单天线结构的 LFM CW 雷达中,由于环形器隔离度的因素,发射机泄漏到接收机的功率也增加,影响到接收机的正常工作,甚至损坏接收机。所以,单天线结构的 LFM CW 雷达作用距离通常比较小。但若在 LFM CW 雷达中采用双天线结构,则收发隔离性能可以提高,其作用距离也随之可以提高,但同时也增加了系统的体积。

限制线性调频连续波雷达作用距离的另一个重要原因,是接收机信号处理设备的规模和实时处理的能力。可以证明,差拍信号的采样点数等于作用距离与分辨率之比的两倍,当分辨率要求一定时,作用距离增大,采样点数将呈线性增长,在数字处理结构中,DFT 处理运算量按快于线性的规律增长,所需存储空间也大大增加。

#### (2)距离-速度耦合问题

线性调频连续波雷达采用的是大时宽带宽积调频信号,根据雷达信号模糊函数理论,它必然存在距离与速度耦合的问题,这不仅导致系统的实际分辨率下降,而且引起运动目标测距误差一个距离雷达为  $R$  以径向速度  $v$  运动的目标的差频信号频率变成  $f_R \pm f_d$  ( $f_R$  对应的测量距离为  $R$ ,  $f_d$  对应的测量距离为  $\delta R$ ),这样运动目标回波差频信号频率偏离实际距离对应的频率,所以雷达无法分辨位于  $R \pm \delta R$  处的固定目标与位于  $R$  处径向速度为  $v$  的目标。虽然在脉冲雷达中有类似的问题存在,但脉冲雷达的时宽相当小,同时考虑到线性调频连续波雷达的应用通常都注意它的高分辨率和高测量精度,所以因为距离与速度的耦合而引起的问题就更为严重,特别是在为了获得方位高分辨率而使用较高工作频率的场合更是如此。

## 2.3 调频连续波近程探测系统总体实现方案

该调频连续波探测器原理框图如图2.3所示。探测器由调制器、振荡器、定向耦合器、收发天线、环流器、混频器、滤波放大器以及信号处理器组成。其工作原理如下: DSP 联合 DDS 产生频率为 75kHz 的三角波调制信号,用它来调制 VCO 产生频率为 60.0GHz~60.2GHz(频偏为 200MHz)的线性调频连续波信号,经定向耦合器和环流器,由发射天线将调频连续波信号辐射部分出去。经过  $t$  时间后,当发射信号遇到目标时,部分能量被目标反射回来,被雷达天线接收,发射信号的频率较之回波的频率已有了变化。将回波信号与来自定向耦合器的本振信号进行混频,在混频器输出端得到差频信号。差

频信号经放大、滤波后送入信号处理器进行信号检测与处理,就能获取目标的特征信息。由前面分析可知,差频信号频率  $f_b$  与雷达和目标间的距离  $R$  成正比。测定差频  $f_b$  就可以确定相应的距离  $R$ 。在雷达与目标的接近过程中,差频  $f_b$  也相应的变化。

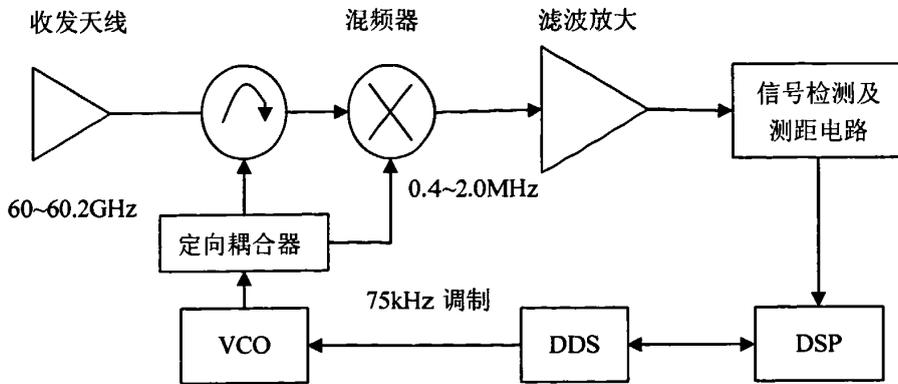


图2.3 调频连续波近程探测器原理框图

在进入信号处理器之前设置带通滤波器和放大器等,其目的是让所需的差频信号通过,抑制其他频率的信号。系统参数指标如下:

- 工作波段为5mm,三角波调频体制;
- 调制频率为75KHz;
- 发射信号频率范围为60.0000~60.200GHz;
- 混频器差频信号频率范围为0.4~2.0MHz;
- 有效探测距离为2~10m。

## 2.4 差频信号预处理

差频信号中掺杂着噪声,所以需要先进行信号预处理,预处理电路由三部分组成:LNA、BPF、中频放大器。

(1)低噪声放大器以低的噪声系数提供合适的增益。低噪声放大器的主要作用是放大接收到的微弱信号,降低噪声干扰,以供系统解调出所需的信息数据。降低噪声系数有利于提高系统的灵敏度。为了有效的提取差频信号,这里选用低噪声宽带放大器 X363 对差频信号进行放大。

(2)带通滤波器选用无源 LC 滤波器<sup>[4]</sup>。在低频范围,LC 滤波器给人们的强烈印象是由于价格高而落后于时代。但是当截止频率提高到 10kHz 以上时,与有源滤波器相比较,LC 滤波器在体积、价格以及特性方面的优势在扩大。特别是因为它不需要电源,在节省电力方面具有突出的优势。

根据有效探测距离  $R$  为 2~10m,  $f_b = 4\Delta F_m R / CT$ , 可得差频信号  $f_b$  为 0.4~2.0MHz。所以设置通带截止频率为 0.4~2.0MHz。运用 ADS 仿真软件,采用 Chebyshev 逼近方法

设计该带通滤波器，为保证电路体积较小，所以该滤波器的阶数不能太大，综合 BPF 的性能和体积等因素，选用 5 阶 T 型网络，设置滤波器的参数为： $A_p=0.5\text{dB}$ ， $A_s=20\text{dB}$ ， $F_{sl}=300\text{kHz}$ ， $F_{pl}=400\text{kHz}$ ， $F_{ph}=2.0\text{MHz}$ ， $F_{sh}=2.5\text{MHz}$ 。

通过设置优化控制器(optimization controller)和优化目标(goal)来对该滤波器进行优化，经过多次优化后得出该带通滤波器如图 2.4 所示，S 参数特性如图 2.5 所示。

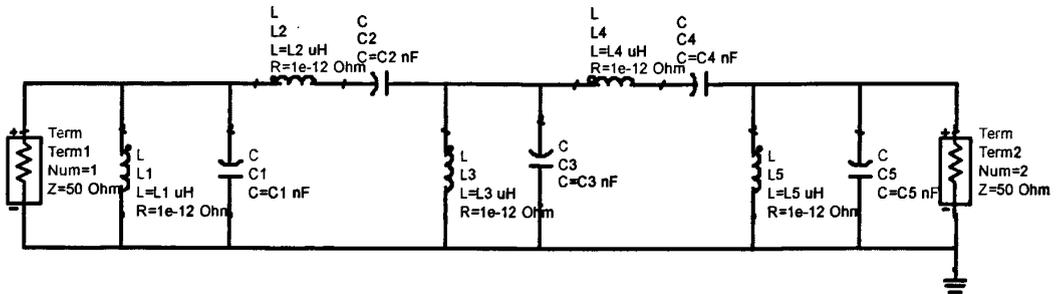


图 2.4 带通滤波器电路

上图中 LC 参数为：

$L1=12.6906\mu\text{H}$ ， $L2=6.945\mu\text{H}$ ， $L3=7.46817\mu\text{H}$ ， $L4=6.92226\mu\text{H}$ ， $L5=11.8157\mu\text{H}$ ；  
 $C1=2.53663\text{nF}$ ， $C2=4.50431\text{nF}$ ， $C3=4.22816\text{nF}$ ， $C4=4.53513\text{nF}$ ， $C5=2.61964\text{nF}$ 。

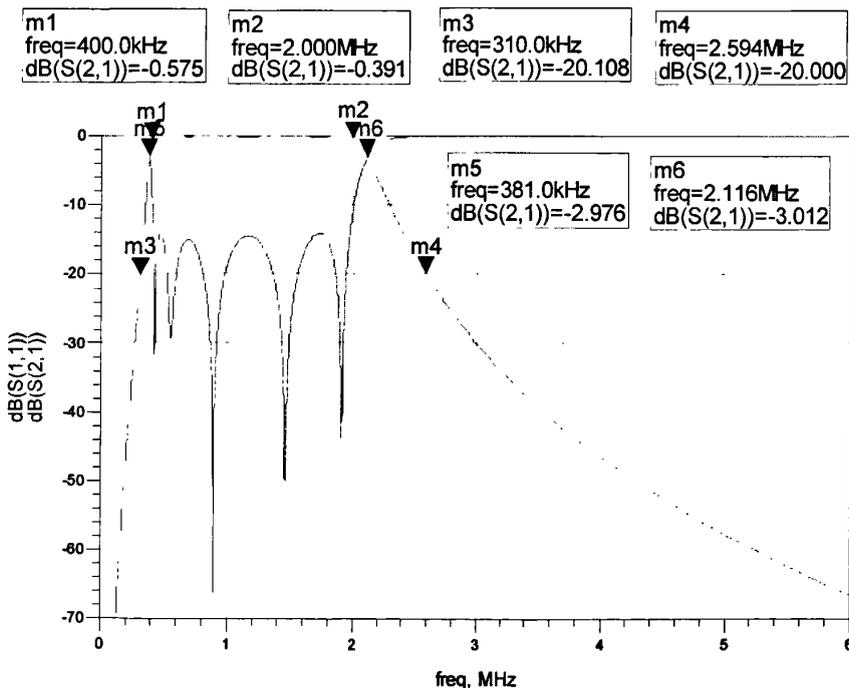


图 2.5 BPF 的 S 参数特性

该滤波器的 LC 参数为理想的精确值，在实际应用时，需把理想元件值转换成标称值，例如， $C1=2.53663\text{nF}$  换成  $2.5\text{nF}$ ， $C2=4.5043\text{nF}$  换成  $4.5\text{nF}$ ，再通过 ADS 仿真得出 S 参数特性，如果修改之后发生突变，即说明该滤波器阶数不够，易受电感、电容的影

响,可增加滤波器的阶数,提高性能指标。多次调整标称值得到最优的传输系数,修改后的 S 参数特性如图 2.6 所示,并没有发生突变。

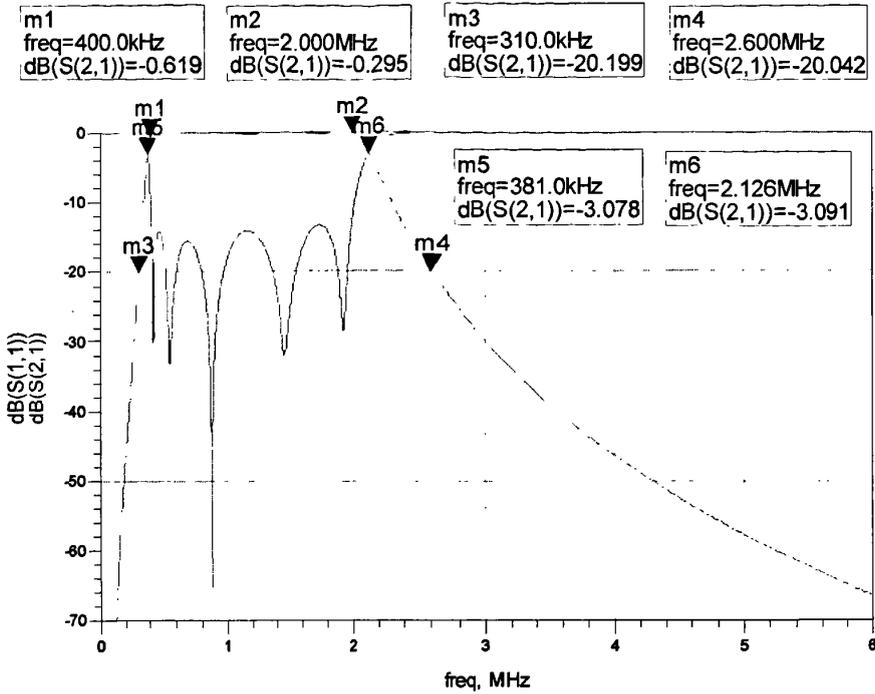


图 2.6 修改为标称值后的 S 参数

-3dB 截止频率  $F_{cl} = 381\text{kHz}$ ;  $F_{ch} = 2.126\text{MHz}$

中心频率  $F_m = \sqrt{F_{cl}F_{ch}} \approx 0.9\text{MHz}$

带宽  $BW = F_{ch} - F_{cl} = 1.745\text{MHz}$

品质因数  $Q = F_m / BW \approx 0.516$

品质因数值越大损耗越小,谐振电路的频率选择性越强。T 型带通网络的品质因数对负载电阻  $R$  过于敏感,不适合使用在负载电阻  $R$  幅度变化比较大的场合。在负载电阻越大的情况下,它的品质因数会变小,滤波效果会变差,所以尽量不要在空载下运行,否则会导致不必要的干扰。

(3)滤波之后的信号接入高增益低功耗的窄带放大器(可用两片 AD844 芯片组成两级反向放大),即可得到所需的放大信号。放大电路中有很多电容,电容可让电流更纯净,没有杂波。电容作用很多,如旁路,去耦,滤波等作用。放大后的信号可通过 AD 转换进入 DSP 进行信号处理。

差频信号预处理电路如图 2.7 所示。

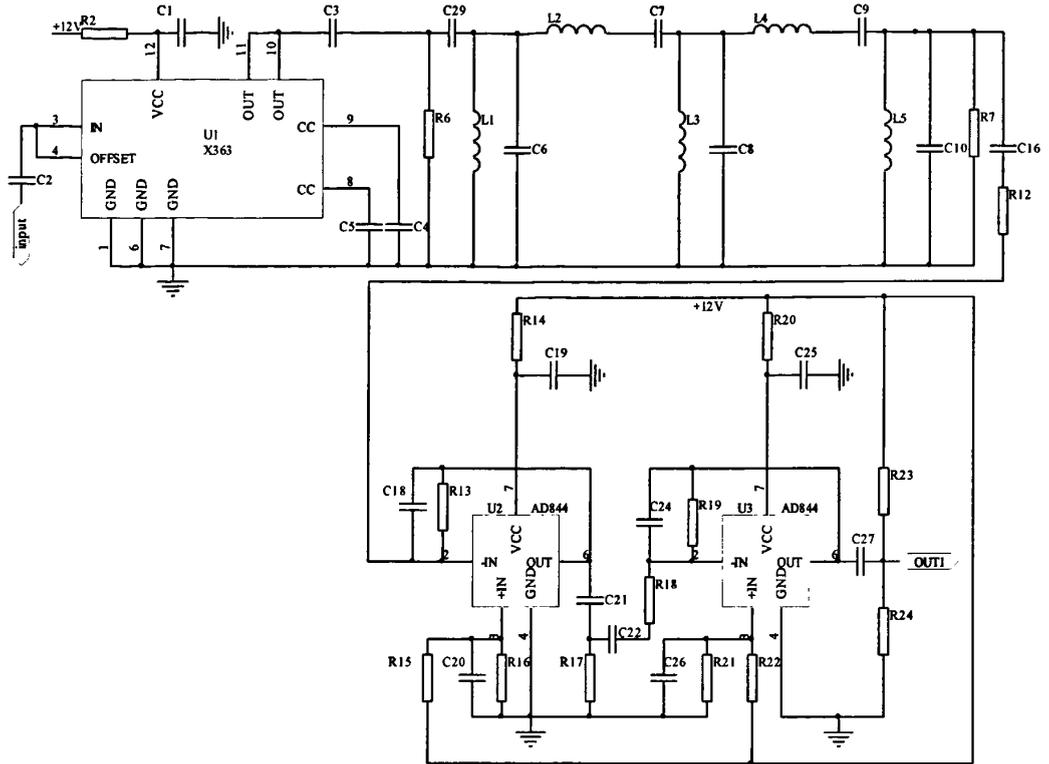


图 2.7 差频信号预处理电路图

### 3 信号处理系统的硬件设计与实现

#### 3.1 DSP 性能特点

本次设计采用 DSP 实现信号处理功能,设计使用了 TI 公司生产的数字信号处理器 TMS320VC5410。

TMS320VC5410 芯片<sup>[5,6]</sup>是美国德州仪器公司推出的低功耗、高性价比的定点数字信号处理芯片。具有改进的哈佛结构,丰富的指令集、较大的存贮空间和较快的运算速度,多流水线操作等优点。本系统采用了 TMS320VC5410 芯片,使得系统的集成度大大提高,硬件电路的体积小,系统功耗低,本系统的主要运算、控制功能均由 DSP 芯片完成。

TMS320VC5410 有如下功能特点:

(1)CPU:片内总线采用哈佛结构,片内具有三条 16 位数据总线 CB、DB、EB 和一条程序总线 PB 以及对应的地址线 CBA、DBA、EBA、PBA(4 条总线可以同时操作);1 个 40 位算术逻辑单元 ALU;1 个并行乘法器和一个 40 位的专用加法器;比较/选择/存贮单元(CSSU)有助于实现 Viterbi 算法;指数译码功能;两个地址产生器,包括 8 个辅助寄存器(AR0~AR7)和两个辅助寄存器算术单元(ARAU0 和 ARAU1)。

(2)存储器:192K×16 位可寻址的存储器空间(64K 字数据空间,64K 字程序空间和 64K 字 I/O 空间)。片内 16K×16bitROM;8K×16bit 的双存取 RAM(DARAM);56K×16bit 单存取 RAM(SARAM)。23 条地址线,16 条数据线,采用分页扩展存储器的方法,最大可访问 8M 字(128 页)的外部程序存储器空间。

(3)片内外设:1 个用于程序、数据、I/O 内存空间的软件可编程等待状态发生器、数据组间切换可编程选项;片内锁相环;分频和倍频功能;3 个多通道缓冲串口 McBSP,一个 8 位的增强型并行主机接口 HPI, HPI 可与外部标准的微处理器直接接口;1 个 16 位软件可编程的定时器;6 通道 DMA 控制器;通用 I/O 口。

(4)指令系统:单指令重复或指令块重复功能;程序空间和数据空间的数据块移动指令;可对 32 位的长字操作;一个指令内可以读后 2~3 个操作数;6 级流水线指令操作;预取指、取指、译码、访问、读数、执行;运算指令和存取指令并行执行;条件存储指令;延迟跳转和快速返回;软件堆栈等。

(5)低功耗:核工作电压 2.5V, I/O 设备工作电压 3.3V,工作电流平均值为 75mA,其中核 47mA, I/O 约 22mA(电流消耗的大小跟 I/O 的激活程度有关)。

(6)指令速度:10ns 的单周期定点指令执行时间,100MIPS,每秒百万条指令。

(7)其它:片上 JTAG 仿真口;144 脚 LQFP 或 176 脚 BGA 封装,体积小,成本低。TMS320VC5410 的功能结构如图 3.1 所示。

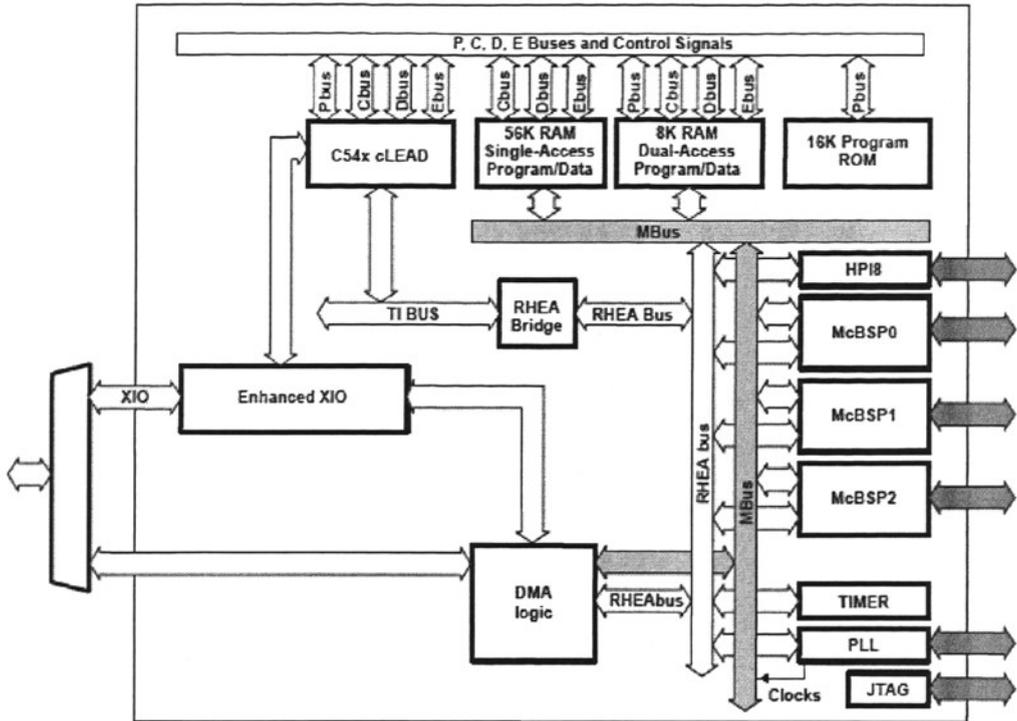


图 3.1 TMS320VC5410 的功能结构图

TMS320VC5410 的存储器的配置比较灵活, 主要由模式状态寄存器 PMST 里的 OVLY、DROM 和 MP/MC 位进行配置。

其中, OVLY 和 DROM 上电复位均为 0。OVLY 可使片内 RAM 映射到程序空间, 若 OVLY=0, 片内 RAM 可在数据空间访问, 但不能在程序空间访问; 若 OVLY=1, 片内 RAM 可映射到程序空间和数据空间, 数据空间第 0 页(地址为 0h~7Fh)不能映射到程序空间。DROM 允许片内 ROM 映射到数据空间, 若 DROM=0, 片内 ROM 不能映射到数据空间; 若 DROM=1, 片内 ROM 的一部分可以映射到数据空间。MP/MC 决定配置 DSP 为微处理器/微计算机模式。复位时, MP/MC 引脚上所接的逻辑电平被传送到 PMST 寄存器中的 MP/MC 位, MP/MC 位决定是否使能片内 ROM。若 MP/MC=1, 器件被构造成微处理器, 片内 ROM 被禁止; 若 MP/MC=0, 器件被构造成微计算机, 片内 ROM 被使能。需注意的是 MP/MC 引脚仅在复位时才被采样, 在非复位期间改变引脚 MP/MC 的状态, 并不改变 MP/MC 位, 这一位不受 RESET 指令影响, 但可用软件对该位设置或清除。

由 OVLY, DROM 和 MP/MC 共同配置的存储器映射如图 3.2 所示:

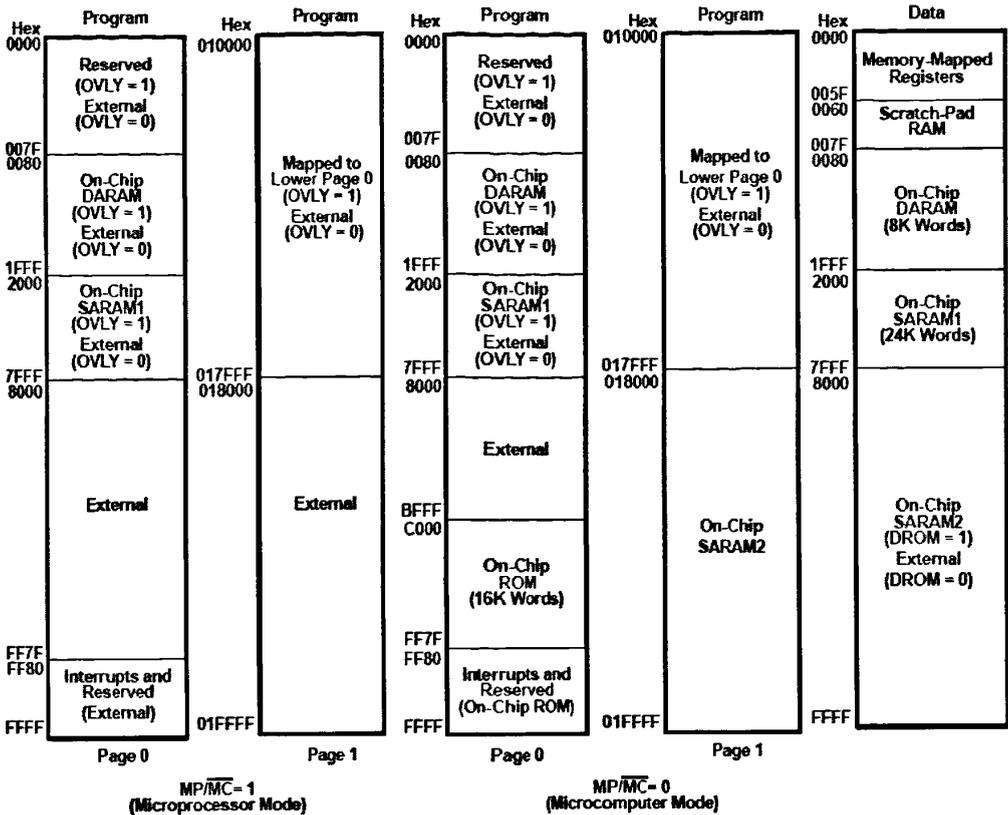


图 3.2 TMS320VC5410 存储器映射

### 3.2 信号处理系统的硬件设计

#### 3.2.1 系统硬件结构

系统的硬件原理框图如图 3.3 所示，本系统以 TMS320VC5410 处理器为核心，根据工作需要设计了外围电路，包括电源、晶振、仿真接口、存储器、AD 采样以及与 DDS 的接口等模块。整个系统的硬件原理图和 PCB 电路图如图 3.4 和 3.5 所示。

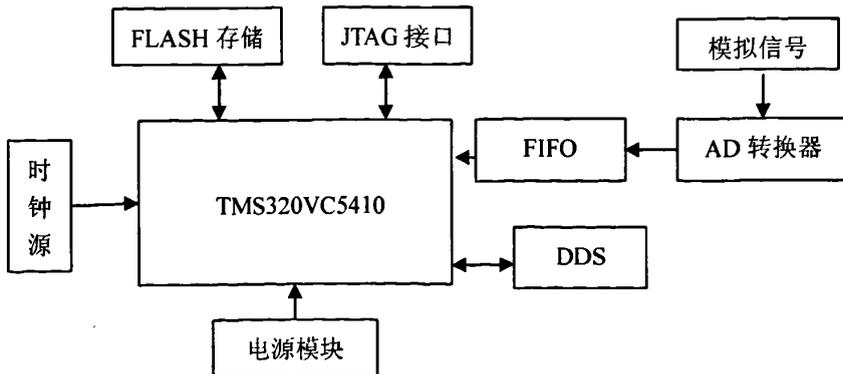


图 3.3 硬件原理框图

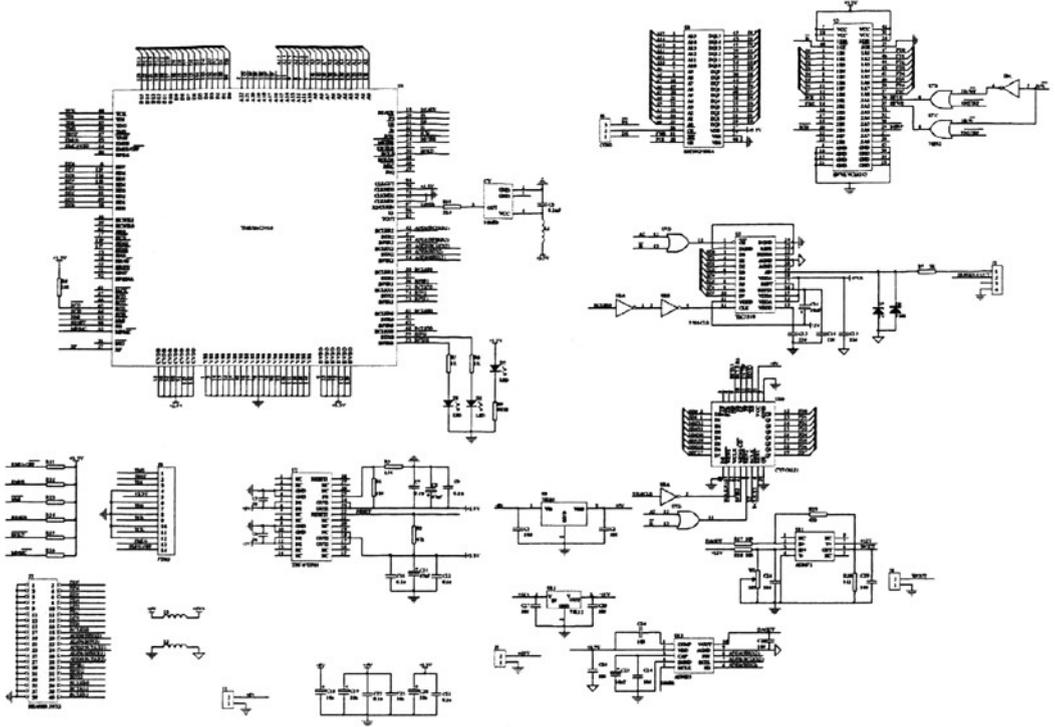


图 3.4 系统硬件原理图

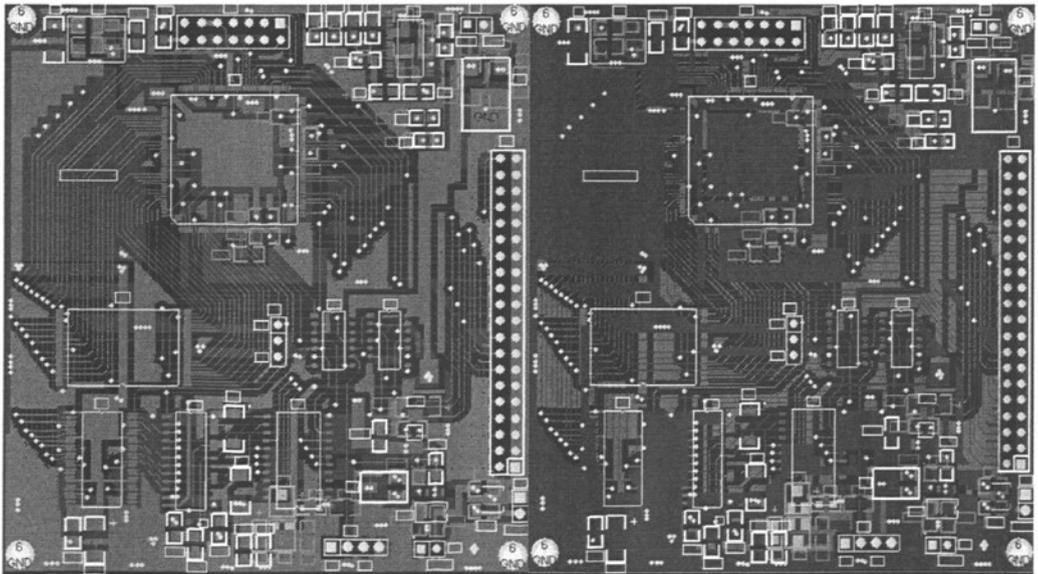


图 3.5 PCB 电路板电路图

### 3.2.2 电源电路

电源是系统设计中首先需要考虑的问题，本系统涉及到的芯片所需要的电压为 5V、3.3V 和 2.5V。图 3.6 中采用 78L05 芯片能实现从 +8V 转换为 +5V。图中的电容起到滤波

的作用，芯片 78L05 输入电压的范围一般为+7V 到+25V。+5V 作为电源芯片 TPS767D301<sup>[7]</sup>的输入电压。

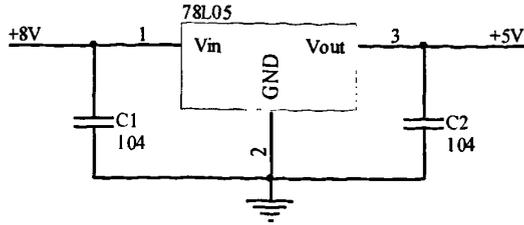


图 3.6 78L05 模块

现在大多数 DSP 芯片为了兼顾外围驱动和功耗，往往采用双电源供电，即内核电压  $CV_{DD}$  和 I/O 电压  $DV_{DD}$ 。本次设计中的 DSP 也采用双电源供电<sup>[8]</sup>，TMS320VC5410 是一款低功耗芯片，它采用双电源供电以获得更好的电源性能，其工作电压分别为 3.3V 和 2.5V，其中 3.3V 为 I/O 电源  $DV_{DD}$ ，主要供接 I/O 口使用，通常情况下可以直接和外部低压器件进行接口，而不需要额外的电平变换电路；2.5V 为内核电源  $CV_{DD}$ ，主要为芯片的内部逻辑提供电压，包括 CPU、时钟电路和所有的外设逻辑。与 3.3V 电源相比，2.5V 可以大大降低芯片功耗，更适用于对功耗要求比较严格的嵌入式应用场合。由于存在两个电压，使用时应考虑加电次序问题。理想情况下，这两个电压应同时供电，但有些场合很难实现，所以在工程实践中要注意加电的次序。要先对  $DV_{DD}$  加电，然后对  $CV_{DD}$  加电。根据其内部保护电路可知  $DV_{DD}$  应不超过  $CV_{DD}2V$ ， $CV_{DD}$  不能超过  $DV_{DD}$  的电压为 1 个二极管压降(约 0.5V)，否则有可能损坏器件。

由于 DSP 芯片对电源的稳定性、静态电流等要求较高，一般的稳压电源供电难以满足要求，由于 DSP 芯片的内核电压为 2.5V，因此在设计中采用了专门的电源芯片：TI 公司的 TPS767D301，系统的电源电路如图 3.7 所示。

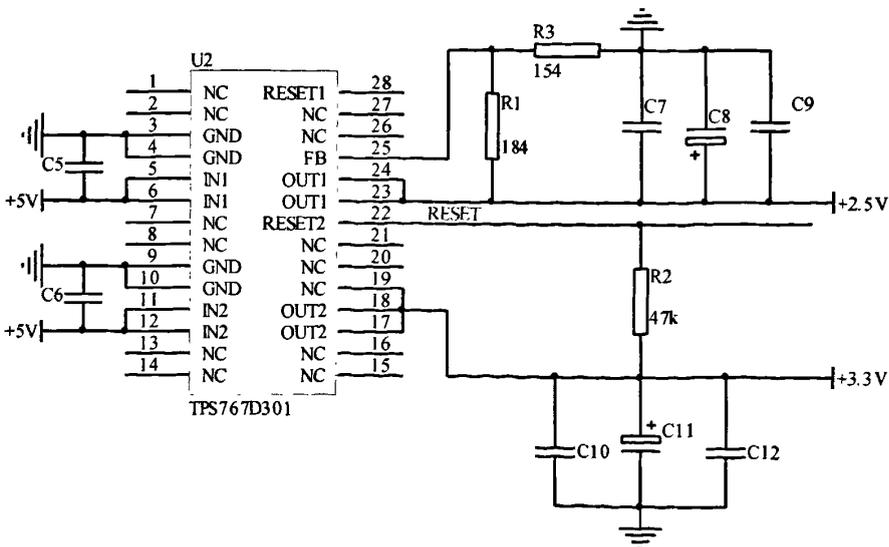


图 3.7 系统电源连接图

TPS767D301 提供两路电压输出，一路为 3.3V，一路为可调输出(1.5~5.5V)，可以为 DSP 模块提供足够的电源，每路电源的输出电流为 0mA~1A，经分析电流可以满足系统的供给要求，该芯片每路还提供一个宽度为 200ms 的低电平复位脉冲。图中可调电压输出  $V_{OUT} = V_{REF} (1 + R1 / R3) \approx 2.5V$ ， $V_{REF} = 1.1834V$ 。

### 3.2.3 时钟电路

TMS320VC5410 的时钟信号是由时钟发生器提供的。时钟发生器<sup>[5,8]</sup>由内部振荡器和锁相环(PLL)电路两部分组成。时钟发生器要求有一个参考时钟输入，该输入时钟可以由以下两种方式提供：

(1) 将一个晶体跨接到 X1 和 X2/CLKIN 引脚两端，使内部振荡器工作，CLKMD 引脚必须设置以启动内部振荡器。

(2) 采用封装好的晶体振荡器，将一个外部时钟信号直接加到 X2/CLKIN 引脚，X1 引脚空悬。

本设计使用第二种方法，选择的晶体振荡器输出频率为 10MHz。外部时钟电路如图 3.8 所示。

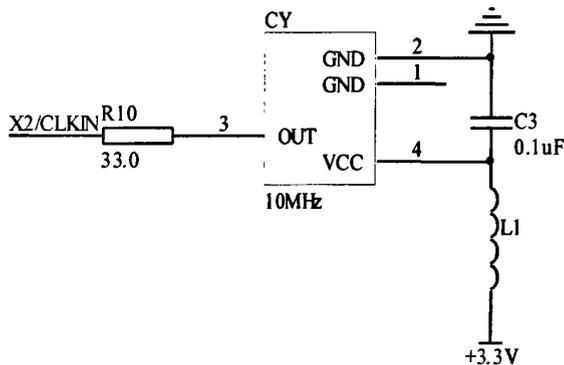


图 3.8 系统外部时钟电路图

DSP 芯片一般提供多种工作方式，不仅有传统的分频方式，还采用更加灵活的可编程 PLL 方式。锁相环 PLL 可以对基础时钟频率进行倍频或分频，并且具有时钟信号提纯的作用。PLL 在一个比 CPU 的机器时钟频率低的外部频率下工作，这个特性可以降低来自高速转换时钟的高频噪声。

PLL 的配置决定了主时钟 CLKOUT 的工作频率，也决定机器周期。为了确定复位初期的 PLL 配置，特设置了 3 个时钟模式引脚(CLKMD1、CLKMD2 和 CLKMD3)，复位时，VC5410 会采集这三个引脚的电平，并根据这三个引脚的电平来决定 PLL 的工作状态，并启动 PLL 工作。

TMS320VC5410 的 3 个时钟模式引脚 CLKMD1~CLKMD3 的引脚配置与上电复位后的主时钟相对于初始时钟的倍频因子的关系如表 3.1 所示。

表 3.1 时钟的硬件配置

CLKMD1	CLKMD2	CLKMD3	CLKMD REGISTER RESET VALUE	CLOCK MODE
0	0	0	0000h	Divide-by-2,with external source
0	0	1	1000h	Divide-by-2,with external source
0	1	0	2000h	Divide-by-2,with external source
0	1	1	—	Stop mode
1	0	0	4000h	Divide-by-2,internal oscillator enabled
1	0	1	0007h	PLL×1 with external source
1	1	0	6000h	Divide-by-2,with external source
1	1	1	7000h	Rerserved

本系统中，采用的是外接 10MHz 的晶体振荡器，硬件配置时钟模式是 PLL×1，外部时钟源信号，即 CLKMD~CLKMD3 分别是 1、0、1，软件配置在系统启动以后进行。

### 3.2.4 模数转换电路

系统的A/D转换芯片选用的是TLC5510<sup>[9]</sup>，TLC5510是美国TI公司生产的新型模数转换器件(ADC)，它是一种采用CMOS工艺制造的8位高阻抗并行A/D芯片，能提供的最小采样率为20MSPS。由于TLC5510采用了半闪速结构及CMOS工艺，因而大大减少了器件中比较器的数量，而且在高速转换的同时能够保持较低的功耗。在推荐工作条件下，TLC5510的功耗仅为130mw。由于TLC5510不仅具有高速的A/D转换功能，而且还带有内部采样保持电路，从而大大简化了外围电路的设计；同时，由于其内部带有了标准分压电阻，因而可以从+5V的电源获得2V满刻度的基准电压。

TLC5510的工作时序<sup>[10,11]</sup>见图3.9，时钟信号CLK在每一个下降沿采集模拟输入信号。第N次采集的数据经过2.5个时钟周期的延迟之后，将送到内部数据总线上。

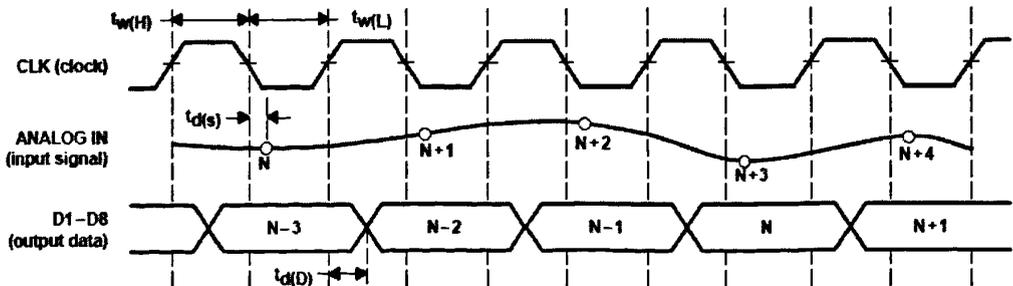


图3.9 TLC5510的工作时序

在图3.2.7 所示的工作时序的控制下，当第一个时钟周期的下降沿到来时，模拟输入电压将被采样到高比较器块和低比较器块，高比较器块在第二个时钟周期的上升沿最后确定高位数据，同时，低基准电压产生与高位数据相应的电压。低比较块在第三个时钟周期的上升沿的最后确定低位数据。高位数据和低位数据在第四个时钟周期的上升沿进行组合，这样，第N次采集的数据经过2.5个时钟周期的延迟之后，便可送到内部数据

总线上。此时如果输出使能有效，则数据便可被送至8位数据总线上。由于CLK的最小周期为50ns，因此，TLC5510数模转换器的最大采样速率可以达到20MSPS。

系统的模数转换电路如图3.10所示，以DSP的McBSP0的BCLKX0引脚作为TLC5510的时钟，模拟信号由19引脚AIN输入，输出为D0~D7。

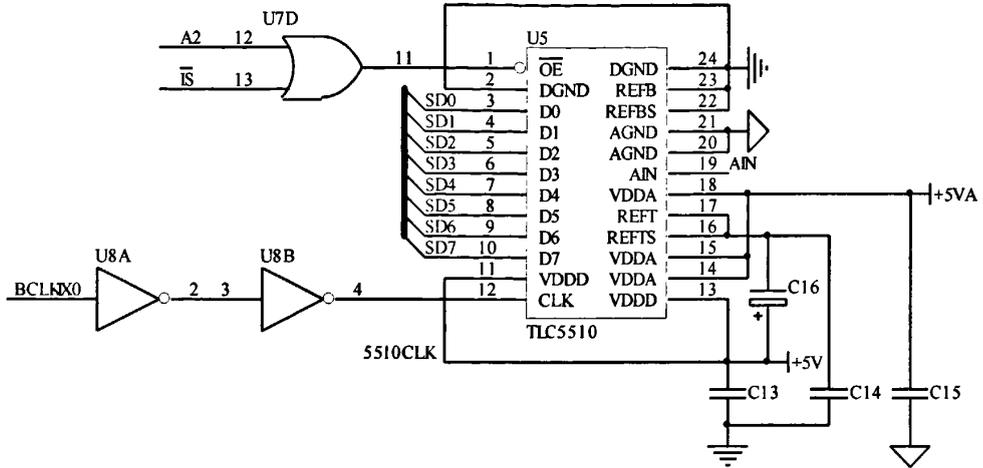


图3.10 模数转换电路

### 3.2.5 存储电路

#### 一. FIFO缓存

在高速数据采集系统中，DSP往往不能适应A/D芯片的工作速率，DSP数据总线传送数据较慢，导致读取采样数据的速率较慢，这样就丢失了不少数据，使得实际采样率降低。所以为了避免数据丢失要加缓存器，而模数转换器和缓存器的组合也就成为一种通用模式。本次系统采用FIFO存储器作为缓存器，选用小容量的FIFO作为AD和DSP之间的接口。

FIFO芯片是一种具有存储功能的高速逻辑芯片，系统时序简单，无需复杂的时序电路。它有两个特点：数据进出有序、输出输入独立。FIFO芯片有两个内部指针(读指针和写指针)按照先进先出的原则实现数据的存入和读取。

本次设计选用的FIFO是CYPRESS公司的CY7C4221-15ns<sup>[12]</sup>。该芯片容量为1k×9bit，时钟频率最大为66.7MHz，读写周期最小为15ns。该器件具有四个标记为输出：/FF、/EF、/PAF、/PAE。可由FIFO的/FF作为外部中断信号，当FIFO存储器全满时，便可由/FF经逻辑处理后向DSP发出中断申请INT0。由于FIFO是顺序读取数据，因此，只需提供读写和其它控制信号线，而不需要一般RAM所需的地址线。FIFO的连接电路如图3.11所示。

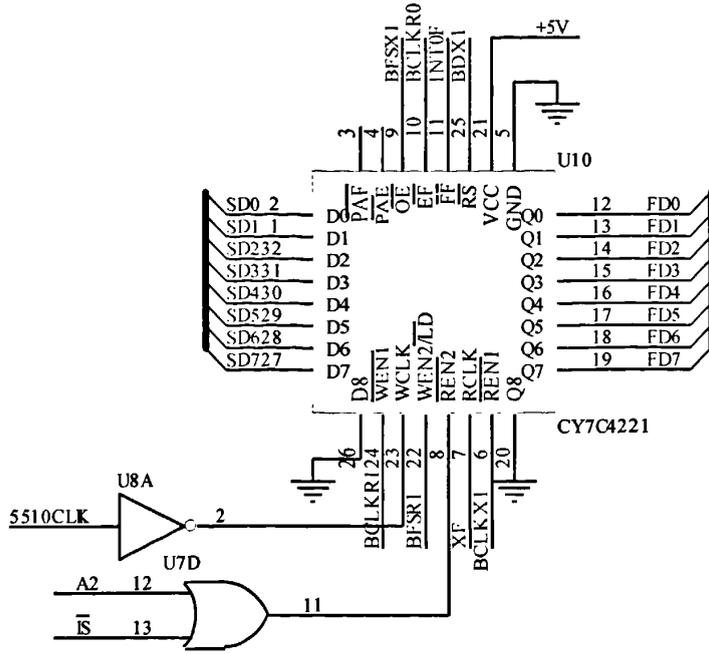


图 3.11 FIFO 连接电路图

FIFO 的读、写时序图如图 3.12 和图 3.13 所示。

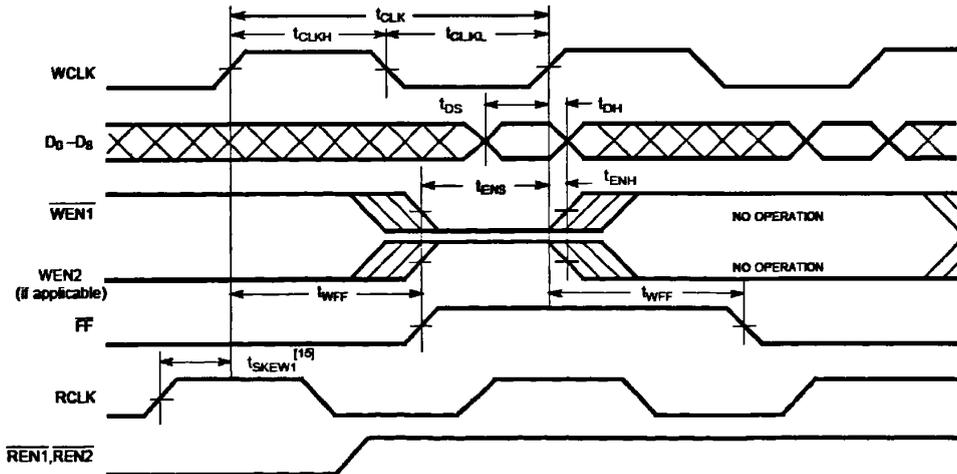


图 3.12 CY7C4221 写周期时序图

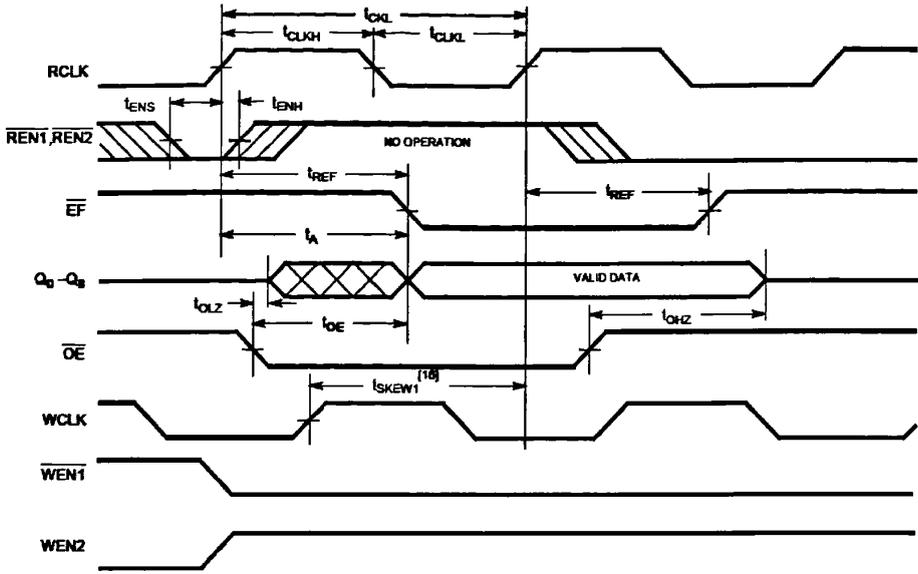


图 3.13 CY7C4221 读周期时序图

由于AD、FIFO采用的都是5V供电，输出数据为5V电平，所以它们必须通过电压转换器件SN74LVC16245将5V数据信号电平转换成3.3V，然后才能与DSP的外部数据总线相连。SN74LVC16245<sup>[13]</sup>是TI公司生产的一款16位(两个8位)双电源双向电平转换收发器，该芯片能够在3.3V与5V电压节点间进行灵活的双向电平转换。电平转换原理图如图3.14所示。

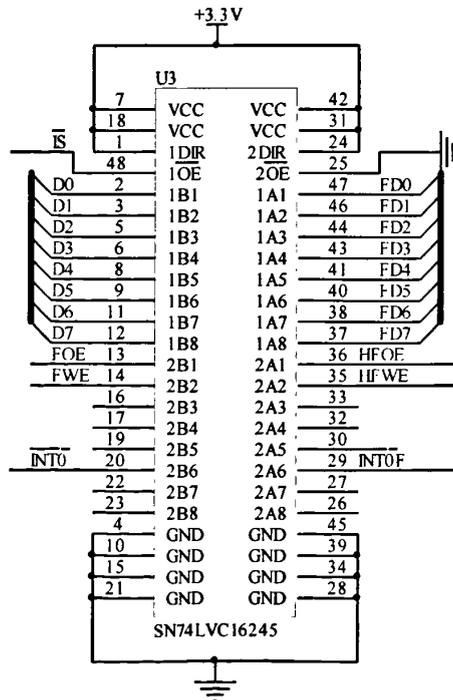


图3.14 电平转换原理图

本系统只需实现5V到3.3V的单向电平转换即可。/OE为该电平转换器的输出使能控制端，DIR为电平转换方向控制端。二者的具体功能操作见表3.2所列。

表3.2 转换方向使能操作表

输入		操作
/OE	DIR	
L	L	B→A
L	H	A→B
H	X	隔离

另外，使用时还需注意，当该芯片上电而不进行电平转换时，为使该电平转换器数据线不会对与它相连的其它数据线产生影响，应保证OE管脚为高，从而使其数据线保持高阻状态。本系统选用A入B出，将DIR接高电平，只有在DSP选通该高速采集系统时，OE才可实现低电平有效并使DIR有效。

## 二. FLASH 闪存

由于 TMS320VC5410 的片内 RAM 是易失性的，掉电后其内容会丢失，不能用于固化用户程序，而在实际应用中，大多数系统是要求能够脱机运行的，因此需要在 VC5410 片外扩展用于固化用户程序的非易失性存储器(如 EPROM、FLASH 及 EEPROM 等)。但是与普通单片机系统不同，DSP 系统的程序一般不在片外非易失性存储器中运行，因为这些存储器的访问速度太慢，会大大降低 DSP 系统的运行速度。

本系统采用在 VC5410 的程序空间扩展一片快速非易失性的 FLASH 存储器(闪存)来解决这一问题。调试好的用户程序就固化在 FLASH 存储器中，掉电后也不会丢失。而在上电时，通过引导程序将 FLASH 中的程序代码加载到 VC5410 片内的快速 SRAM 中，使程序在 SRAM 中运行。

考虑到 TMS320VC5410 所用的是 3.3V/2.5V 电压，外部总线的输入、输出都是 3.3V，所以选择了可以在 3.3V 擦写的 FLASH 闪存 SST39LF400A<sup>[14]</sup>。容量 256K×16 位，单电源擦写操作，电压要求 3.0~3.6V；工作电流 20mA，保持电流 3uA(标准情况)；最快读出速度 45ns；最快扇区擦写速度 18ms；最快字写入速度 14us。FLASH 的连接如图 3.15 所示。

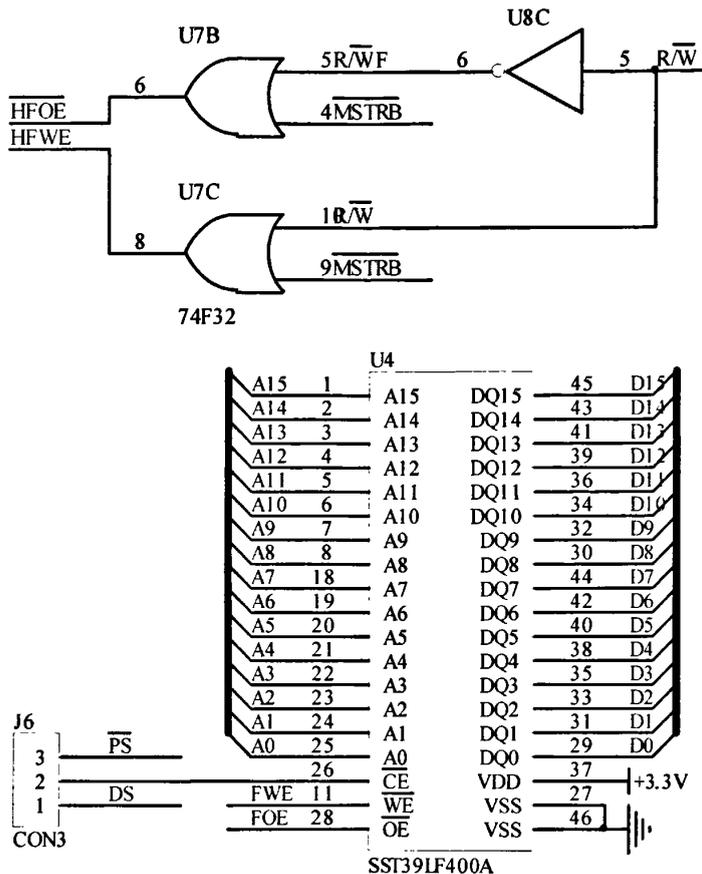


图 3.15 SST39LF400A 的连接图

图中各引脚功能为： $\overline{/CE}$  是片选信号， $\overline{/WE}$  是写信号， $\overline{/OE}$  是输出使能，A0~A15 为地址线，D0~D15 为数据线。当写入 FLASH 数据时， $\overline{/MSTRB}$  变为低电平， $\overline{/DS}$  为低电平， $\overline{/R/W}$  为低电平，则 FWE 为低电平，芯片写使能；当读取 FLASH 数据时， $\overline{/MSTRB}$  变为低电平， $\overline{/DS}$  为低电平， $\overline{/R/W}$  为高电平，FOE 为低电平，芯片读使能。图 3.15 中的 3 脚排针的作用是：当向 FLASH 中烧写程序时，接通  $\overline{/DS}$  引脚 1；程序烧写完后，脱机重新上电运行时，接通  $\overline{/PS}$  引脚 3。

### 3.2.6 JTAG 接口电路

DSP 硬件系统调试要通过仿真器进行，仿真器和 DSP 硬件板之间要通过 JTAG 口进行连接，JTAG 口电路主要完成程序的下载和仿真，其电路连接主要是由所用的硬件仿真器所决定。根据硬件仿真器的使用说明书可以方便的实现连接。本设计选用闻亭的 TDS510 仿真器，其接口电路如图 3.16 所示。EMU0 和 EMU1 要接上拉电阻上拉。

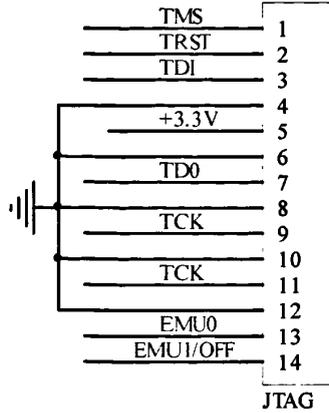


图 3.16 JTAG 口电路

### 3.3 电路板抗干扰设计

随着电子技术的飞速发展，目前高速集成电路的信号切换时间已经小于 1ns，时钟频率已达到几百 MHz，PCB 的密度也越来越高<sup>[8,15]</sup>。PCB 设计的好坏对整个系统的抗干扰性能影响很大，直接关系到系统的稳定性和可靠性。因此，在 PCB 设计时，应遵守相应的设计规则，符合电磁兼容性的要求。

TMS320VC5410 是 TI 公司的 DSP 芯片，时钟频率达 100MHz，如此高的时钟频率，对 PCB 的电磁兼容性设计提出了很高的要求。DSP 系统的干扰来源是多方面的，比如电源线、互连电缆、金属电缆和子系统的内部电路也都可能产生辐射或接收到不希望的信号。高速数字电路中，时钟电路通常是宽带噪声的最大产生源。晶振是 DSP 的心脏，为保证其稳定工作，晶振及其辅助元件应尽量靠近 DSP，时钟信号线也要较宽。为防止振荡信号串入其他电路，晶振下面不要走其他信号线。

电磁兼容性(EMC)是指电子设备在预期的电磁环境中能够协调、有效地进行工作的能力。其目的是使电子设备既能抑制各种外来的干扰，又能减少其本身对其他电子设备的电磁干扰。电磁干扰(EMI)的来源主要有本电子设备内部形成的干扰以及外界耦合到本电子设备形成的干扰。EMC 涉及问题很广，这里只做了简单的分析。

#### (1) DSP 部分的抗干扰考虑

首先元件的性能要稳定，量值要准确，尽量采用优质元件。分布版面设计时，元件在电路板上的质量分布要均匀，以增加电路板的机械性能。布线时，时钟电路应尽量靠近 DSP，连线要短而粗。如果可能，可以用地线包围时钟振荡电路，避免靠近大电流信号线。数据线、地址线、控制线尽量缩短，以减小对地分布电容，且其长短和走线方式尽量一致，以免造成各线阻抗差异过大，使信号到达终端时波形差异很大，形成非同步干扰。如果是双面走线，一定要使两面的线尽量垂直，以防总线间的电磁串扰。

#### (2) 数字电路与模拟电路的共地处理

由于本系统不是单一功能电路，而是混合信号系统，既有模拟信号也有数字信号，因此在布线时就需要考虑它们之间互相干扰问题，特别是地线上的噪音干扰，数字电路频率高，模拟电路敏感度强，需要将敏感的模拟器件同带噪的数字器件相分离，通常需要独立的模拟地和数字地。各种模、数地只能在一点共接，此点可选在电源附近，也可以在关键的模拟器件附近。连接时可在中间串一个低损耗的磁珠。但无论采用那种接地方式，都无法完全隔绝数字噪声对模拟端测量精度地影响。

在实际设计中，只能尽量缓解或减少与模拟端相邻数字信号的变化。最好的方法是采用光耦合将模、数信号完全隔离。要降低模拟信号和数字信号间的相互干扰，有两个基本原则需要掌握：一是尽可能减小电流环路面积；二是系统只采用一个参考面。如果系统存在两个参考面，就可能形成一个偶极天线(小型偶极天线的辐射大小与线的长度，流过的电流大小以及频率成正比)而如果信号不能通过尽可能小的环路返回，就可能形成一个大的环状天线(小型环状天线的辐射大小与环路面积、流过环路的电流大小以及频率的平方成正比)。

低频电路的地应尽量采用单点并联接地，实际布线有困难时可部分串联后再并联接地。高频电路宜采用多点串联接地，地线应短而粗，高频元件周围尽量用栅格状大面积地箔。接地线应尽量加粗。若接地线用很细的线条，则接地电位随电流的变化而变化，使抗噪性能降低。因此应将接地线加粗，使它能够通过三倍于印制板上的允许电流。

### (3)电源去藕

在一个电子系统中，通常多个器件共用一个电源，而电源线给交流信号提供了一个通路，使得交流信号通过电源线在器件之间传输，形成了干扰。所以必须给电源去藕。

首先应在电路板入口处的电源线与地线之间并接退耦电容。并接的电容应为一个容量的电解电容(10~100 $\mu$ F)和一个无极性电容(0.01~0.1 $\mu$ F)。并接两个电容的目的是：并接大电容为了去掉低频干扰成分，并接小电容为了去掉高频干扰部分。除了电源入口处的去藕外，在每个器件的电源引脚处，还应接一个 0.01 $\mu$ F 的电容加强去藕。

### (4)集成电路中不用引脚的处理

集成电路在使用中往往有很多的输入、输出端或控制端空着不用，对这些空着的不用引脚一定要妥善处理，否则噪声很容易通过分布电容进入这些引脚，对系统电路造成干扰。一般的 TTL 或 CMOS 电路的不用引脚的处理有几种方法：一是不用的引脚可用 100K $\Omega$  的电阻与 VCC 电源相接。对于 TTL 电路，一个 1K $\Omega$  的电阻一般可以连接 20 个不用的输入端。二是将不用端与使用端并接，但不要把许多的不用端与一个使用端并接。三是将不用的输入端接在电路上尚未使用的输出端上。四是对于触发器的不用引脚的抗干扰处理方法是在不用的输出端上接一个小容量的对地陶瓷电容，在环境恶劣的情况下，最好使用这种方法，因为触发器的不用输出端实际上就是其中的一个输入端，所以输出端耦合的噪声等于输入端耦合的噪声，很容易导致触发器的误触发。

## 4 调制信号发生器设计

### 4.1 DSP 串行接口技术

C54x™ 器件提供了多种灵活的串行接口<sup>[6,16]</sup>与内核 CPU 连接：标准同步串口、缓冲串行(BSP)串口，多通道缓冲(McBSP)串口和时分多用(TDM)串口。这些外设部件由存储器映射寄存器控制，并通过中断与内核 CPU 同步。这些串行口提供了与一些串行器件(如多媒体数字信号编/解码器、串行 A/D 和其他串行系统)全双工双向通信。这些串口信号直接与很多工业标准多媒体数字信号编/解码器和其他串行器件兼容。TMS320VC5410 只含有 3 个多通道缓冲串口(McBSP)。

#### 4.1.1 McBSP 功能与特点

TMS320VC5410 芯片具有 3 个高速、全双工、多通道缓冲串行接口(McBSP)，其方便的数据流控制可使其与大多数同步串行外围设备接口。MCBSP 均以标准串口为基础，McBSP 可提供：

- (1)全双工通信；
- (2)双缓冲发送和三缓冲接收数据寄存器，以进行连续数据传递；
- (3)单独接收和发送帧和时钟；
- (4)直接与多媒体数字信号编/解码器、模拟接口芯片和其他串行 AD 和 DA 器件接口；
- (5)可以使用外部时钟或内部可编程时钟。

此外，McBSP 还具有以下特殊功能：

- (1)直接与下列器件接口：T1/E11 帧、MVIP 转换兼容和 ST-BUS 适应器件、IOM-2 兼容器件、AC97 兼容器件、IIS 兼容器件和 SPI 器件；
- (2)通道发送和接收多达 128 通道；
- (3)多种可选择的数据长度，包括 8 位、12 位、16 位、20 位、24 位和 32 位；
- (4) $\mu$ -律和 A-律压缩扩展；
- (5)具有可选的 8 位数据传递，低位或高位在先；
- (6)帧同步和数据时钟都具有可编程极性；
- (7)内部时钟和帧的产生高度可编程。

#### 4.1.2 McBSP 的 SPI 方式

TMS320VC5410 的 McBSP 工作于时钟停止模式时与 SPI 协议兼容。当将 McBSP

配置为时钟停止模式时,发送器和接收器在内部得到同步,这时 McBSP 可作为 SPI 的主设备或从设备。发送时钟信号(BCLKX)对应于 SPI 协议中的串行时钟信号(SCK),发送帧同步信号对应于从设备使能信号(CS)。在这种方式下对接收时钟信号(BCLKR)和接收帧同步信号(BFSR)将不进行连接,因为它们在内部与 BCLKX 和 BFSX 相连接。当 McBSP 工作于 SPI 模式的主机时,发送输出信号(BDX)用作 SPI 协议的 MOSI 信号,而接收输入信号(BDR)用作 MISO 信号。McBSP 作主器件的一个 SPI 接口如图 4.1 所示。

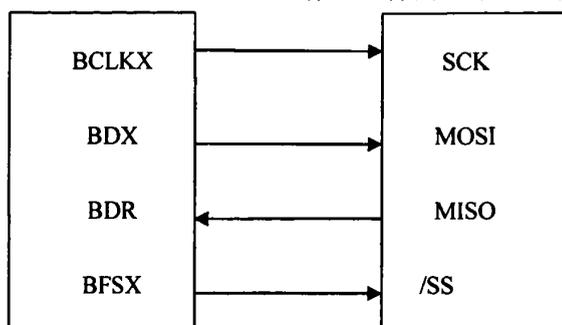


图 4.1 McBSP 作为主设备的 SPI 接口示意图

## 4.2 AD9833 简介

AD9833<sup>[17,18]</sup>是ADI公司生产的一款低功耗、可编程波形发生器,能够产生正弦波、三角波、方波输出。波形发生器广泛应用于各种测量、激励和时域响应领域。AD9833 无需外接元件,输出频率和相位都可通过软件编程,易于调节。频率寄存器是28位的,主频时钟为25MHz时,精度为0.1Hz;主频时钟为1MHz时,精度可以达到0.004Hz。可以通过3个串行接口将数据写入AD9833。这3个串口的最高工作频率可以达到40MHz,易于与DSP和各种主流微控制器兼容。AD9833的工作电压范围为2.3V~5.5V。AD9833还具有休眠功能,可使没被使用的部分休眠,减少该部分的电流损耗。例如,若利用AD9833输出作为时钟源,就可以让DAC休眠,以减小功耗。该电路采用10引脚MSOP型表面贴片封装,体积很小。

AD9833的主要特点如下:

- (1)频率和相位可数字编程;
- (2)输出频率范围为0MHz~12.5MHz;
- (3)工作电压为3V时,功耗仅为20mW;
- (4)频率寄存器为28位(在25MHz的参考时钟下,精度为0.1Hz);
- (5)可选择正弦波、三角波或方波输出;
- (6)3线SPI接口;
- (7)无需外接元件;
- (8)温度范围为-40℃~+105℃。

### 4.2.1 AD9833 结构

AD9833是一块完全集成的DDS(Direct Digital Frequency Synthesis)电路, 仅需要1个外部参考时钟、1个低精度电阻器和一些解耦电容器就能产生高达12.5MHz的正弦波。除了产生射频信号外, 该电路还广泛应用于各种调制解调方案, 这些方案全都用在数字领域。采用DSP技术能够把复杂的调制解调算法简单化, 而且很精确。AD9833的内部电路主要有数控振荡器(NCO)、频率和相位调节器、SineROM、数模转换器(DAC)、电压调整器, 其功能框图如图4.2所示。AD9833的核心是28位的相位累加器, 它由加法器和相位寄存器组成, 每来1个时钟, 相位寄存器以步长增加, 相位寄存器的输出与相位控制字相加后输入到正弦查询表地址中。正弦查询表包含1个周期正弦波的数字幅度信息, 每个地址对应正弦波中 $0^{\circ} \sim 360^{\circ}$ 范围内的1个相位点。查询表把输入的地址相位信息映射成正弦波幅度的数字量信号, 驱动DAC输出模拟量。相位寄存器每经过 $2^{28} / M$ 个MCLK时钟后回到初始状态, 相应地正弦查询表经过一个循环回到初始位置, 这样就输出了一个正弦波。输出正弦波频率为:

$$f_{OUT} = M(f_{MCLK} / 2^{28}) \quad (4.1)$$

其中,  $M$ 为频率控制字, 由外部编程给定, 其范围为 $0 \leq M \leq 2^{28} - 1$ 。 $f_{MCLK}$ 为MCLK时钟频率。

VDD引脚为AD9833的模拟部分和数字部分供电, 供电电压为2.3V~5.5V。AD9833内部数字电路工作电压为2.5V, 其板上的电压调整器可以从VDD产生2.5V稳定电压。注意: 若VDD小于等于2.7V。引脚CAP/2.5V应直接连接至VDD。

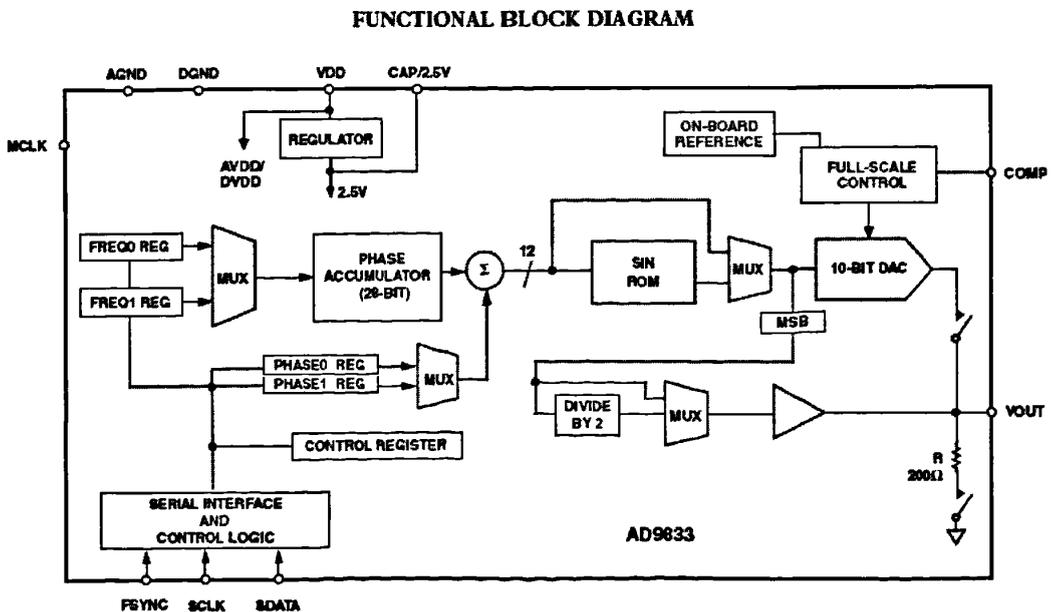


图 4.2 AD9833 的功能框图

## 4.2.2 AD9833 的功能

AD9833有3根串行接口线，与SPI、QSPI、MI-CROWIRE和DSP接口标准兼容。在串口时钟SCLK的作用下，数据是以16位的方式加载到设备上。时序特性如图4.3、图4.4和表4.1所示。

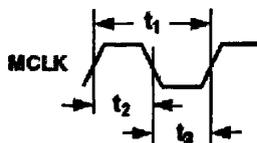


图4.3 主时钟时序

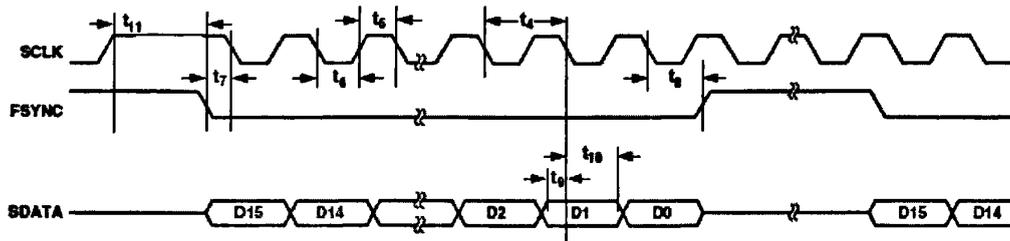


图4.4 串行时序

表4.1 时序特性

参数	时限	单位	测试条件
$t_1$	40	ns(最小)	MCLK周期
$t_2$	16	ns(最小)	MCLK高电平持续时间
$t_3$	16	ns(最小)	MCLK低电平持续时间
$t_4$	25	ns(最小)	SCLK周期
$t_5$	10	ns(最小)	SCLK高电平持续时间
$t_6$	10	ns(最小)	SCLK低电平持续时间
$t_7$	5	ns(最小)	FSYNC到SCLK下降沿建立时间
$t_{8min}$	10	ns(最小)	FSYNC到SCLK保持时间
$t_{8max}$	$t_4-5$	ns(最大)	
$t_9$	5	ns(最小)	数据建立时间
$t_{10}$	3	ns(最小)	数据保持时间
$t_{11}$	5	ns(最小)	SCLK高电平到FSYNC下降沿建立时间

FSYNC引脚是使能引脚，电平触发方式，低电平有效。进行串行数据传输时，FSYNC引脚必须置低，要注意FSYNC有效到SCLK下降沿的建立时间 $t_7$ 的最小值。FSYNC置低后，在16个SCLK的下降沿数据被送到AD9833的输入移位寄存器，在第16个SCLK的下降沿FSYNC可以被置高。但要注意在SCLK下降沿到FSYNC上升沿的数据保持时间 $t_8$ 的

最小和最大值。当然，也可以在FSYNC为低电平的时候，连续加载多个16位数据，仅在最后一个数据的第16个SCLK的下降沿的时将FSYNC置高。最后要注意的是，写数据时SCLK时钟为高低电平脉冲，但是，在FSYNC刚开始变为低时(即将开始写数据时)，SCLK须为高电平(注意 $t_{11}$ 这个参数)。

当AD9833初始化时，为了避免DAC产生虚假的输出，RESET必须置为1(RESET不会复位频率、相位和控制寄存器)，直到配置结束，需要输出时才将RESET置为0；RESET为0后的8~9个MCLK时钟周期后可在DAC的输出端观察到波形。

AD9833写入数据到输出端得到响应，中间有一定的响应时间。每次给频率或相位寄存器加载新的数据，都会有7~8个MCLK时钟周期的延时之后，输出端的波形才会产生改变。有1个MCLK时钟周期的不确定性，因为数据加载到目的寄存器时，MCLK的上升沿位置不确定。

### 4.2.3 AD9833 内部寄存器功能

AD9833内部有5个可编程寄存器。其中包括2个28位频率寄存器、2个12位相位寄存器和1个16位控制寄存器。

AD9833包含2个频率寄存器和2个相位寄存器。其模拟输出为

$$f_{MCLK} / 2^{28} \times FREQEG \tag{4.2}$$

其中： $FREQEG$ 为所选频率寄存器中的频率字。

该信号会被移相

$$2\pi / 4096 \times PHASEREG \tag{4.3}$$

其中： $PHASEREG$ 为所选相位寄存器中的相位字。频率和相位寄存器的操作如表4.2所示。

表4.2 频率和相位寄存操作

	DB15	DB14	DB13	DB12		DB0
相位寄存器0	1	1	0	X	MSB 12 PHASE0 Bits	LSB
相位寄存器1	1	1	1	X	MSB 12 PHASE1 Bits	LSB
频率寄存器0	0	1	MSB 14 FREQ0 REG Bits			LSB
频率寄存器1	1	0	MSB 14 FREQ1 REG Bits			LSB

AD9833中的16位控制寄存器供用户设置所需的功能。除模式选择位外，其他所有控制位均在内部时钟MCLK的下沿被AD9833读取并动作。

表4.3给出控制寄存器各位的功能。要更改AD9833控制寄存器的内容，D15和D14位必须均为0。

表4.3 控制寄存器的功能

位	名称	功能
DB13	B28	1: 每个频率寄存器都作为完整的28位使用; 0: 每个频率寄存器都作为2个14位的寄存器
DB12	HLB	该位只有在B28=0时才有效。1: 允许写选定寄存器的高14位; 0: 允许写选定寄存器的低14位
DB11	FSELECT	该位指定是频率寄存器0还是频率寄存器1处于有效。0: 频率寄存器0有效, 1: 频率寄存器1有效
DB10	PSELECT	该位指定是相位寄存器0还是相位寄存器1处于有效。0: 相位寄存器0有效, 1: 相位寄存器1有效
DB9	保留位	应将该位设置为0
DB8	RESET	1: 复位内部寄存器为0。0: 禁止复位
DB7	SLEEP1	1: 内部MCLK被禁止, DAC输出保持当前值。0: 使能MCLK
DB6	SLEEP12	1: 片内DAC休眠。0: DAC处于激活状态
DB5	OPBITEN	1: 输出DAC的MSB/2或MSB; 0: 直接输出DAC, 由DB1位决定输出三角波还是正弦波
DB4	保留位	应将该位设置为0
DB3	DIV2	1: 直接输出DAC的MSB; 0: 直接输出DAC的MSB/2
DB2	保留位	应将该位设置为0
DB1	MODE	该位与DB5配合使用, 1: 输出三角波, 0: 输出正弦波
DB0	保留位	应将该位设置为0

每一个频率寄存器都需要进行2次写操作。当B28=1时, 每个频率寄存器都作为完整的28位使用, 需对每个寄存器进行2次连续写操作。先写低14位, 后写高14位。前2位说明写入的是哪个频率寄存器, 01表示写入的是频率0寄存器, 10表示写入的是频率1寄存器。当B28=0时, 每个频率寄存器都作为2个14位的寄存器, 1个高14位, 1个是低14位, 并且可以相互独立更改, 由控制寄存器的DB12位确定写入的是高14位还是低14位。

本次设计需要输出三角波, 所以设置OPBITEN=0, MODE=1。选用每个频率寄存器都作为完整的28位使用, 需对每个寄存器进行2次连续写操作, 所以B28=1。所以控制寄存器的值为0x2002。

### 4.3 AD9833 外围电路

本次设计以TI公司的TMS320VC5410A型DSP作为核心控制器, 应用McBSP2与AD9833相连, AD9833与DSP公用一个10MHz有源晶体振荡器, DSP的SPI口采用主动工

作方式，即用BDX2作为MOSI口发送数据。由于AD9833输出信号的幅度是固定的(峰-峰值为0.7V左右)，因此，为了改变输出信号幅度，还需增加幅度控制电路。外接一个放大器(AD8671)将输出信号幅度放大提升到4~6V，硬件连接图如图4.5和4.6所示。

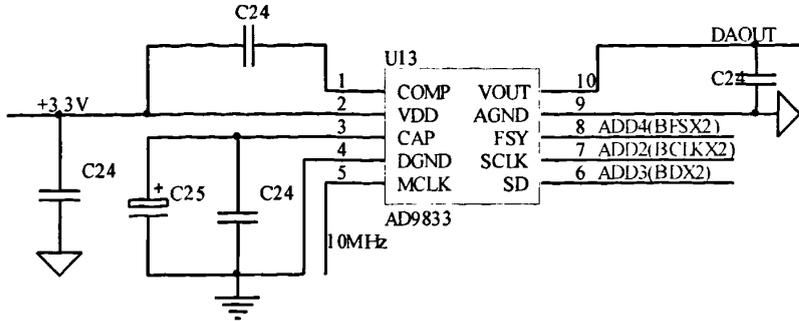


图4.5 DDS信号发生器

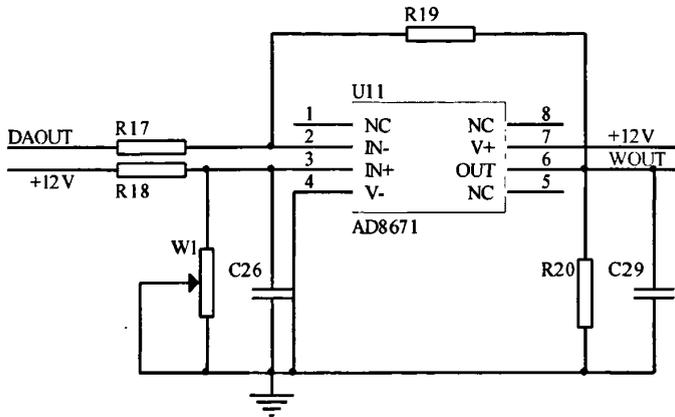


图4.6 幅度控制电路

由于放大器的供电电压+12V，所以需要加稳压电源模块，图4.7中采用78L12芯片能实现从+15V转换为+12V。图中的电容起到滤波的作用。

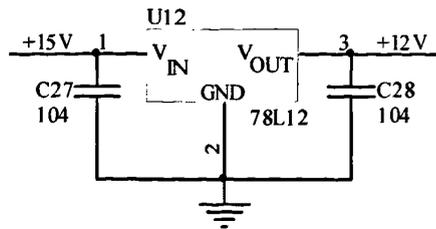


图4.7 78L12模块

## 5 系统的软件设计及实现

本系统的软件设计分为调制信号发生器和检测信号频率两个部分。

### 5.1 系统初始化

#### 5.1.1 时钟配置

TMS320VC5410 内部的 PLL<sup>[5,6]</sup>是软件可编程的, 具有高度的灵活性。它的时钟定标器提供各种时钟乘法器系数, 并能直接接通和关断 PLL。PLL 的锁定定时器可以用于延迟转换的时钟方式, 直到锁定为止。

TMS320VC5410 内部带有软件可编程 PLL, 兼有频率放大和信号提纯的功能, 可以设置为以下两种时钟模式: PLL 模式, 输入时钟(CLKIN)乘以 31 个可能的因子中的一个因子; DIV 模式, 输入时钟(CLKIN)除以 2 或 4。当选用 DIV 模式时, PLL 模式不可用, 达到降低功耗的目的。

系统刚复位时, 时钟频率是由 3 个外部引脚(CLKMD1、CLKMD2、CLKD3)的状态决定的。当 DSP 上电工作后, 可以对存储器映像时钟方式寄存器(CLKMD)进行软件编程, 改变 DSP 的运行时钟频率。CLKMD 寄存器是用来定义 PLL 时钟模块中的时钟配置, 它的各个位段的符号如图 5.1 所示, 其中 PLLNDIV, PLLDIV, PLLMU 一起来决定 PLL 的乘系数, 见表 5.1。

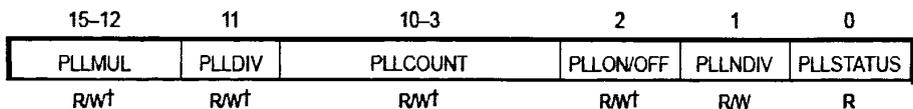


图 5.1 CLKMD 寄存器中各个段的符号

表 5.1 PLL 的乘系数

PLLNDIV	PLLDIV	PLLMUL	Multiplier
0	x	0-14	0.5
0	x	15	0.25
1	0	0-14	PLLMUL+1
1	0	15	1(bypass)
1	1	0 or even	(PLLMUL+1)/2
1	1	odd	PLLMUL/4

当外部晶振频率为 10MHz 时, 若 CPU 需要工作在频率上 100MHz 频率上, 应配置 PLLNDIV, PLLDIV, PLLMUL 分别为 1, 0, 9(1001b)。

另外，在 PLL 锁定之前，是不能用作 DSP 时钟的。为此，需要对 CLKMD 寄存器中的 PLLCOUNT 位编程。PLL 中有锁定定时器，把 PLLCOUNT 的数值加载后，每来 16 个输入时钟 CLKIN，它就减 1，一直减到 0 为止，所以锁定时间的设定范围为 0~255×16×CLKIN 周期。从数据手册中查出锁定时间(Lockup Time)就可以求得 PLLCOUNT 的数值了。

$$PLLCOUNT > \text{Lockup Time} / 16 \times \text{TCLKIN} \quad (5.1)$$

锁定完成后，CLKMD 寄存器的 PLLSTATUS 置 1，表示定时器已工作在 PLL 方式。

### 5.1.2 外部总线控制

TMS320C5410 片内有两个部件控制着外部总线的工作:等待状态发生器 SWWSR 和分区转换逻辑电路 BSCR<sup>[5]</sup>。

软件可编程等待状态发生器的工作受到软件状态寄存器 (SWWSR)的控制，它是一个 16 位的存储器映像寄存器，数据空间的地址为 0028H。将程序空间和数据空间分成两个 32K 字块，IO 空间有 64K 字块组成。这 5 个字块空间在 SWWSR 中都相应地有一个 3 位字段，用来定义各个空间插入的等待状态的数目。如图 5.2 所示。

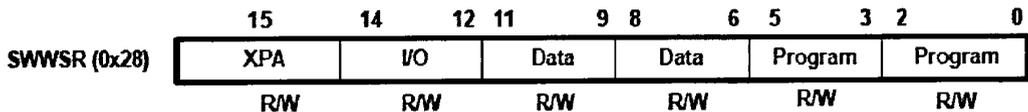


图 5.2 SWWSR 控制位

在复位时，所有的 SWWSR 的字段都被设置为 111b(SWWSR=7FFFh)，即所能提供给外部访问的等待状态数的最大值。这样可以保证在处理初始化时，CPU 可以与外部速度较慢的存储器进行通信。

可编程分区转换逻辑 BSCR(0029H)允许 TMS320VC5410 在外部存储器分区之间切换时，不需要外部为存储器插入等待状态。当跨越程序或数据空间内部存储器分区界线时，可编程分区转换逻辑可以自动的插入一个周期，这个额外的周期是防止总线冲突，保证在其他设备驱动总线之前，存储器设备可以结束对总线的占用。BSCR 结构如图 5.3 所示。

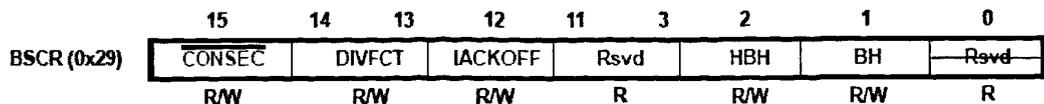


图 5.3 BSCR 控制位

所以 DSP 初始化为：

```
asm(" STM #0010h, TCR "); //关定时器
asm(" SSBX SXM "); //符号位扩展
asm(" SSBX INTM "); //禁止所有中断
```

```

asm(" STM  #0000h, CLKMD ");
while(CLKMD&0x01);           //定时器工作在 PLL 方式
asm(" STM  #90C7h, CLKMD "); //设置 CPU 运行频率=100M
asm(" STM  #2000h, SWWSR ");
asm(" STM  #00e0h, PMST ");  //MP/MC\ = 1, IPTR = 001,OVLY=1
asm(" STM  #1000h, BSCR ");

```

## 5.2 McBSP 的配置

多通道缓冲串口<sup>[5,6]</sup>是在 TDM 串口和 BSP 串口的基础上发展而来的。它既可以实现时分多路通讯功能，又可以通过 DSP 提供的 DMA 功能实现不用 CPU 参与的自动缓存功能。从而把 DSP 从繁重的串口通讯中解放出来，提高了运行的效率。McBSP 内部结构如图 5.4 所示。

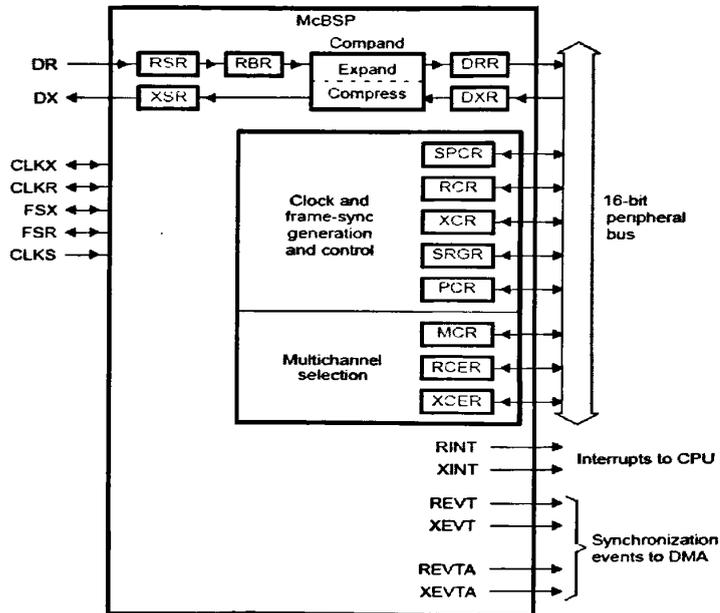


图5.4 McBSP内部结构

TMS320VC5410 包含 3 组多通道缓存串行口，每组多通道缓存串行口有 23 个寄存器与之相关，除 RBR[1,2], RSR[1,2], XSR[1,2]之外，其中 15 个寄存器是可寻址寄存器。SPSAX 是子地址寄存器，SPSDX 为数据寄存器，欲访问指定的寄存器，只要把相应的子地址写入 SPSAX，对 SPSDX 所进行的操作，就是对相应的子寄存器进行的操作。通过对 SPSAX 和 SPSDX 的访问就可以达到对很多物理寄存器访问的目的。

为了将 McBSP 设置为 SPI 主设备，一定要进行以下步骤的操作：

(1) 设定串口控制寄存器 2(SPCR2)中的发送端复位位( $\overline{XRST}$ )为 0，以使发送端复位。设定串口控制寄存器 1(SPCR1)中的接收端复位位( $\overline{RRST}$ )为 0，以使接收端复位。

(2)按照表 5.2 中的值设定 McBSP 寄存器的各字段。根据 McBSP 是主设备，按照表 5.3 的值设定寄存器各字段。所有其他的 McBSP 寄存器的字段被设定成默认值。

(3)将串口控制寄存器 2(SPCR2)中的采样率产生器复位位( $\overline{GRST}$ )设定为 1，以便将采样率产生器从复位状态释放出来。注意，写入 SPCR2 的值只有 $\overline{GRST}$ 位变成 1，其他的字段与第(2)步中的值相同。即 $\overline{GRST}=1$ 。

(4)为了使 McBSP 逻辑稳定，需要等待两个采样率产生器时钟周期。

(5)根据是 CPU 还是 DMA 控制器为 McBSP 发送和接受缓冲区服务，选择下列步骤之一运行。

1)CPU 为 McBSP 缓冲区服务。将 $\overline{XRST}$ 和 $\overline{RRST}$ 位设定为 1，使发送端和接收端启动。注意，写入 SPCR1 和 SPCR2 的值只把复位位设定为 1，其他字段的值应该与步骤(2)的值相同。即这一步中， $\overline{XRST}=\overline{RRST}=1$ 。

2)DMA 控制器为 McBSP 缓冲区服务。首先，配置 DMA 控制器并启动那些服务于 McBSP 缓冲区的通道。然后设置 $\overline{XRST}$ 和 $\overline{RRST}$ 位为 1，以启动发送端和接收端。注意，写入 SPCR1 和 SPCR2 的值只把复位位设定为 1，其他字段的值应该与步骤(2)的值相同。即这一步中， $\overline{XRST}=\overline{RRST}=1$ 。

(6)为了使 McBSP 逻辑稳定，需要等待两个采样率产生器时钟周期。

表 5.2 SPI 模式配置的寄存器字段的值

字段	值	描述	寄存器
CLKSTP	1xb	时钟停止模式使能，选择两种时序状态中的一种	SPCR1
CLKXP	0 或 1	配置 BCLKX 信号极性	PCR
CLKXM	0 或 1	配置 BCLKX 信号是作为输入还是输出	PCR
RWDLEN1	000-101b	配置接收包的长度，必须等于 XWDLEN1	RCR1
XWDLEN1	000-101b	配置发送包的长度，必须等于 RWDLEN1	XCR1

表 5.3 SPI 主设备操作的寄存器字段的值

字段	值	描述	寄存器
CLKXM	1	配置 BCLKX 引脚为输出	PCR
CLKSM	1	从 CPU 时钟得到采样率时钟	SRGR2
CLKGDV	1~255	为采样率时钟定义分频因子	SRGR1
FSXM	1	配置 BFSX 引脚为输出	PCR
FSGM	0	每个包传送时，激活 BFSX 信号	SRGR2
FSXP	1	配置 BFSX 引脚低电平有效	PCR
XDATDLY	01b	在 BFSX 信号上提供正确的建立时间	XCR2
RDATDLY	01b	在 BFSX 信号上提供正确的建立时间	RCR2

TMS320VC5410所引入的McBSP功能除了用作一般的BSP外，其部分串口引脚CLKX, FSX, DX, CLKR, FSR, DR还可以被用作通用I/O引脚，需要做如下配置：(1)相关的串口处在复位状态，即串口控制寄存器SPCR[1,2]的(R/X)RST位为0；(2)相关的串口被允许用作GPIO，即管脚控制寄存器PCR的(R/X)IOEN位置1。

McBSP 作为通用 I/O 的配置<sup>[19]</sup>如表 5.4 所示。就 FS(R/X)而言，FS(R/X)M=0 设置该引脚为输入，而 FS(R/X)M=1 设置该引脚为输出。当 FS(R/X)配置为输出时，驱动到 FS(R/X)引脚上的值是存储在 FS(R/X)P 中的值。如果 FS(R/X)配置为输入，那么 FS(R/X)P 就变为只读位，它反映 FS(R/X)信号的状态。类似的，CLK(R/X)M 和 CLK(R/X)P 也是如此配置 CLK(R/X)引脚的。当发送端被选作通用 I/O 引脚时，PCR 中的 DX\_STAT 位的值被驱动到 DX 上。DR 总是作为输入，并且它的值保存在 PCR 的 DR\_STAT 位中。若要配置 CLKS 为通用的输入引脚，则发送端和接收端必须都处于复位状态，且 (R/X)IOEN=1，因为 CLKS 总是作为 McBSP 的输入并且影响发送和接收操作。

表 5.4 通用 I/O 引脚配置

引脚	通用 I/O 引脚有效所需设置的两个条件	用作输出	由该处驱动输出端	用作输入	输入值可从该处读出
CLKX	/XRST=0 XIOEN=1	CLKXM=1	CLKXP	CLKXM=0	CLKXP
FSX	/XRST=0 XIOEN=1	FSXM=1	FSXP	FSXM=0	FSXP
DX	/XRST=0 XIOEN=1	总是输出	DX_STAT	不作输入	不适用
CLKR	/RRST=0 RIOEN=1	CLKRM=1	CLKRP	CLKRM=0	CLKRP
FSR	/RRST=0 RIOEN=1	FSRM=1	FSRP	FSRM=0	FSRP
DR	/RRST=0 RIOEN=1	不作输出	不适用	总是输入	DR_STAT
CLKS	/RRST=/XRST=0 RIOEN=XIOEN=1	不作输出	不适用	总是输入	CLKS_STAT

### 5.2.1 AD9833 程序设计

DSP 控制 AD9833 芯片产生三角波调制信号的程序流程图如图 5.5 所示。首先，初始化 DSP，接着初始化 AD9833，然后对 SPCR2 和 PCR 进行配置，将 CLKX, FSX, DX 这三个引脚作为通用输出口，再写数据到控制寄存器以及频率寄存器，产生 75KHz

的三角波调制信号，由于本次设计的三角波没有相移的要求，所以无需向相位寄存器写数据。当 AD9833 初始化时，为避免 DAC 产生虚假输出，RESET 必须设置为 1(RESET 不会复位频率、相位和控制寄存器)，直到配置完毕，需要输出时才将 RESET 置为 0；RESET 为 0 后的 8~9 个 MCLK 时钟周期可在 DAC 的输出端观察到波形<sup>[18]</sup>。

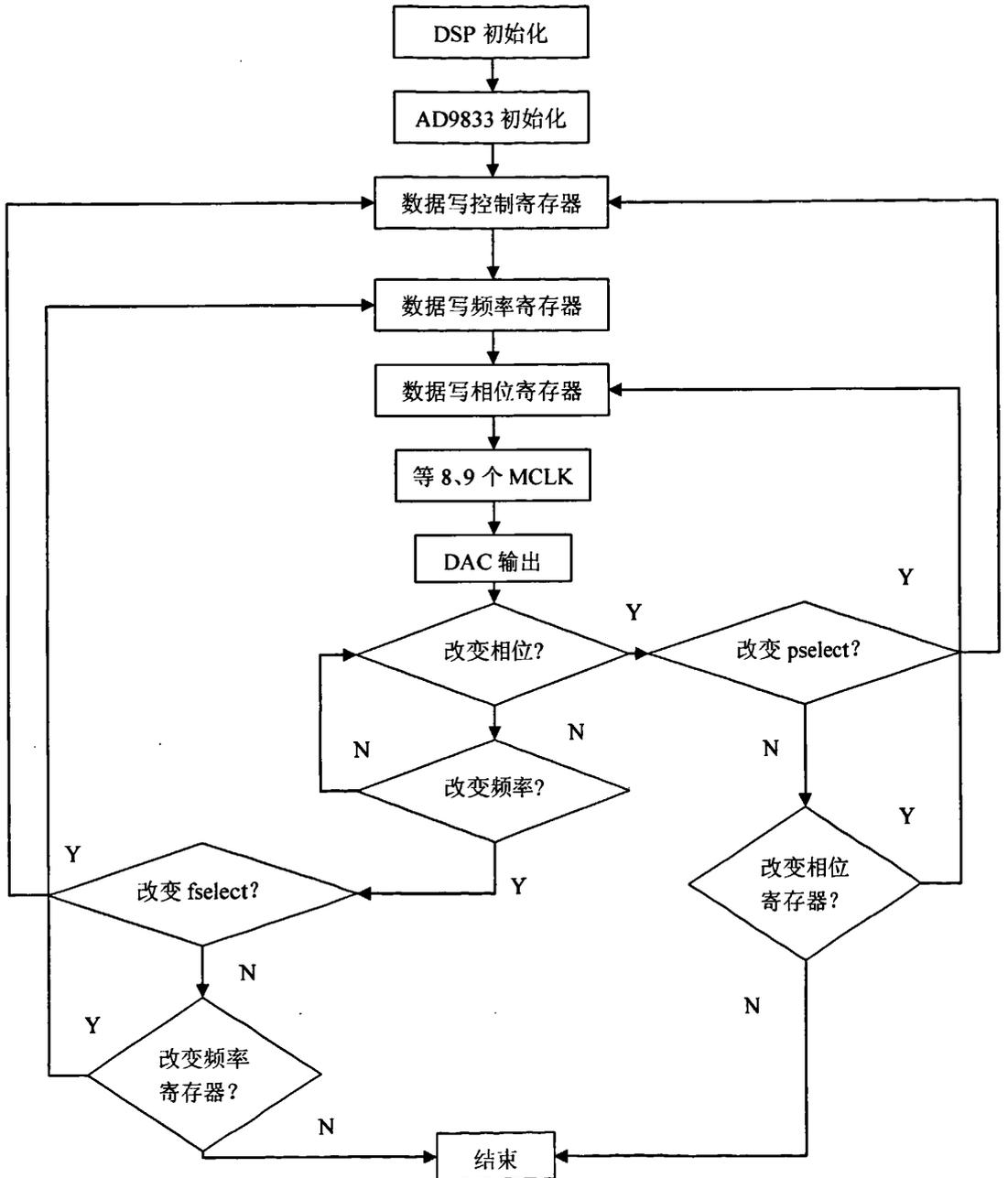


图5.5 AD9833程序流程图

写频率寄存器的控制字有两种方法：

(1)如果需要修改整个频率寄存器的内容,需对每个寄存器进行 2 次连续写操作,且每个频率寄存器都作为完整的 28 位使用,先写低 14 位,后写高 14 位,前 2 位说明写入的是哪个频率寄存器,01 表示写入的是频率 0 寄存器;10 表示写入的是频率 1 寄存器。在这种操作模式下,控制位 B28=1。

(2)如果不需要改变整个频率寄存器的内容,粗调只要改变高 14 位,细调只要改变低 14 位。设置控制位 B28=0,使每个频率寄存器都作为 2 个 14 位的寄存器,1 个是高 14 位,1 个是低 14 位,并且可以相互独立更改,控制寄存器的 DB12 位确定写入的是高 14 位还是低 14 位。

这里选用的第一种方法,将频率寄存器中 28 位作为一个整体,先写低 14 位,后写高 14 位。根据公式(4.1)可得频率控制字 M 为 0x1EB851,选用频率寄存器 0,则两次写数据为 407A(MSB),7851(LSB)。

本次设计信号没有相移的要求,不需要改变相位,所以不需要设置相位寄存器,只要写控制寄存器和频率寄存器。

DSP 写 16 位数据到 AD9833 时,高位在前,低位在后。根据图 4.4 中所示的串行时序图,用软件模拟时钟信号和片选信号。传送数据的程序如下:

```
void spiwr(unsigned int data)
{
    unsigned char i;
    CLKXH;           //PCR2 中 CLKXP=1 即 BCLKX2=1
    DXH;             //PCR2 中 DX_STAT=1 即 BDX2=1
    FSXH;           //PCR2 中 FSXP=1 即 BFSX2=1
    delay(2000);
    FSXL;           //PCR2 中 FSXP=0 即 BFSX2=0
    for(i=0;i<16;i++)
    {
        if(data&0x8000) //从最高位数据开始
        { DXH; }
        else
        { DXL; }       //PCR2 中 DX_STAT=0 即 BDX2=0
        CLKXL;       //PCR2 中 CLKXP=0 即 BCLKX2=0
        delay(50);
        CLKXH;
        data=data<<1;
    }
}
```

```

delay(20);
FSXH;
CLKXL;
delay(2000);
}
    
```

将频率寄存器控制字按照先写 LSB，后写 MSB 的规则写入 AD9833。

```

spiwr(0x2002); //控制寄存器 B28=1,MODE=1
spiwr(0x7851); //频率寄存器 0 低 14 位
spiwr(0x407A); //频率寄存器 0 高 14 位
    
```

输出 75KHz 的三角波经幅度控制电路后得到的波形如图 5.6 所示。

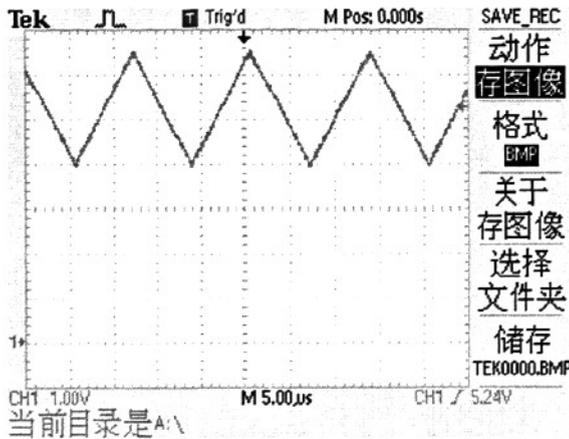


图 5.6 AD9833 产生的调制信号波形

### 5.2.2 TLC5510 时钟设计

要实现有效的 AD 采样，采样时钟信号是关键。本次设计选用 McBSP0 的 BCLKX0 引脚作为 TLC5510 的时钟。因为在 SPI 模式下，McBSP 产生串行时钟信号来控制数据的传输，BCLKX 引脚上的时钟信号只有在包传送期间使能。当包没有被传送时，BCLKX 引脚保持高电平或低电平，这取决于使用的极性(PCR 中 CLKXP 的值)<sup>[6]</sup>。所以要使 BCLKX0 产生连续的时钟信号，应禁止时钟停止模式，时钟在非 SPI 模式下使能，即 CLKSTP=0X。McBSP0 各寄存器的配置如下：

```

SPSA0=SPCR20;
SPSD0&=~BIT0; //SPCR22 XRST=0
SPSA0=SPCR20;
SPSD0&=~BIT6; //SPCR12 GRST=0
SPSA0=SPCR10;
SPSD0&=~BIT12; //CLKSTP=0x 时钟停止模式禁止
    
```

```

SPSA0=PCR0;
SPSD0&=~BIT1;    //CLKXP=0 上升延有效
SPSA0=PCR0;
SPSD0|=BIT9;      //CLKXM=1 输出引脚, 由内部采样率发生器驱动
SPSA0=PCR0;
SPSD0&=~BIT7;    //SCLKME=0
SPSA0=SRGR20;
SPSD0|=BIT13;     //CLKSM=1
SPSA0=SRGR10;
SPSD0|=4;         //CLKGDV=4, FSPI=20MHZ
SPSA0=SPCR20;
SPSD0|=BIT6;     //GRST=1
delay(30);

```

这样 BCLKX0 端口就能产生持续的时钟信号, 上述设置得到的时钟信号为 20MHz。

### 5.3 FLASH 存储器编程

本设计选用 SST 公司的 FLASH SST39VF400A, 可以直接和 DSP 相连。对 FLASH 的读取可以直接进行, 但是对 FLASH 的写入和擦除等操作却是通过命令字进行的。考虑到本系统的外扩 FLASH 的起始单位是 8000H, 加上命令字所提供的偏移地址, 可以得到如下几个常用的操作命令字<sup>[20,21]</sup>。

读/复位命令: 往 FLASH 任意一个单元写入数据 0F0H, 都可导致 FLASH 复位, 从而使其处于“读”模式。

擦除命令: 有片擦除和扇区擦除两种方式, 需要六个总线周期。在字模式下, 如表 5.5 所示。

表 5.5 FLASH 擦除命令

周期	1(解锁)	2(解锁)	3(建立)	4(解锁)	5(解锁)	6(片擦除)	6(扇区擦除)
地址	D555H	AAAAH	D555H	D555H	AAAAH	D555H	扇区号
数据	0AAH	55H	080H	0AAH	55H	10H	30H

编程命令: 需要四个总线周期。在字模式(16 位数据宽度)下, 如表 5.6 所示。

表 5.6 FLASH 编程命令

周期	1(解锁)	2(解锁)	3(建立)	4(编程)
地址	D555H	D2AAH	D555H	PA(编程地址)
数据	0AAH	55H	0A0H	PD(编程数据)

在向 FLASH 写入上述命令的时候, 当最后一个总线周期完成时, FLASH 便会启动

内部算法,实现自动擦除、编程等内部操作。

对 FLASH 的正确操作顺序:先复位,再擦除(片擦除或者扇区擦除),最后编程。

FLASH进行内部操作需要一定的时间,在这个过程中,FLASH会提供一些标志信号。SST39VF400A提供了两种方法判断内部编程或擦除操作是否结束:一种是通过数据线第7位DQ7判断,在内部编程过程中,DQ7位输出的值是该位写入值的反码,编程结束后变为该位写入的真实值;而在内部擦除过程中DQ7位输出为逻辑“0”,擦除结束后输出逻辑“1”。另一种是通过数据线DQ6位判断,若连续读取DQ6位,在内部编程或擦除过程中,其值是在“0”和“1”之间不断跳变的,当内部编程和擦除结束后,它就停止跳变。为了简单起见,本文中对FLASH操作不查询任何标志,而是采取延时的方法,等待FLASH内部操作结束,再进行下一步。延时的时间应该足够长,以保证FLASH擦除或编程成功。具体的延时时间应根据不同的系统确定。可通过CCS软件View/memory来查看擦除是否成功。在烧写操作完成后,仍可通过View/memory来查看是否烧写进去。

## 5.4 BOOT LOADER 程序设计

Booadoer(自举引导程序,也称引导装载程序)<sup>[21,22]</sup>是出厂前固化在 DSP 芯片内部 ROM 中的一段程序代码,其主要功能是在上电或复位时将用户程序从外部加载到程序存储器(片内 RAM 或扩展的 RAM)中,以便实现高速运行。这种方法可以以较低的成本实现高速运行。

DSP 上电复位后,首先检查其 MP/MC 引脚,如果该引脚为高电平,说明 DSP 被设置为微处理器工作方式,即从外部程序存储器 0FF80h 地址开始执行用户程序;若该引脚为低电平,说明 DSP 被设置为微计算机工作方式,即从片内 ROM 的 0FF80h 起执行程序。TMS320VC5410DSP 片内 4K ROM 掩膜了 TI 设计的几段程序,其中包括自举引导程序。因此,为了利用自举引导功能,必须将 DSP 设置为微计算机工作方式,即 MP/MC=0。从片内 ROM 开始存放的是中断向量表,它实为一条分支转移指令(BD 0F800h),该指令跳转到 0F800h,此开始执行自举引导程序。

不同型号的 DSP,其 Bootloader 也不同。TMS320VC5410 提供了 5 种自举引导的方法: HPI 端口模式(增强主机接口)、串口 EEPROM 模式、标准串行口模式、通用 I/O 口模式和 8 位并口模式。利用各种控制信号(包括中断信号、BIO 和 XF 等),DSP 系统能够自动地识别这些不同的“加载”方式。

对于以 TMS320VC5410 为核心的独立系统中,并口加载方案被认为是最佳的。在并行模式下,自举表放在外部数据存储器的 32K 高端地址区间: 8000H~0FFFFH。自举表首地址放在数据空间的 0FFFFH 单元。加载时,Bootloader 读取数据空间的 0FFFFH 单元中的内容,该数据就是外部 FLASH 存储器中需要加载的第一个单元的地址,从该

地址开始复制数据到内部的程序空间。复制完毕后，Bootloader 便跳转到指定的程序入口地址，开始执行用户程序。启动模式选择<sup>[8]</sup>流程如图 5.7 所示：

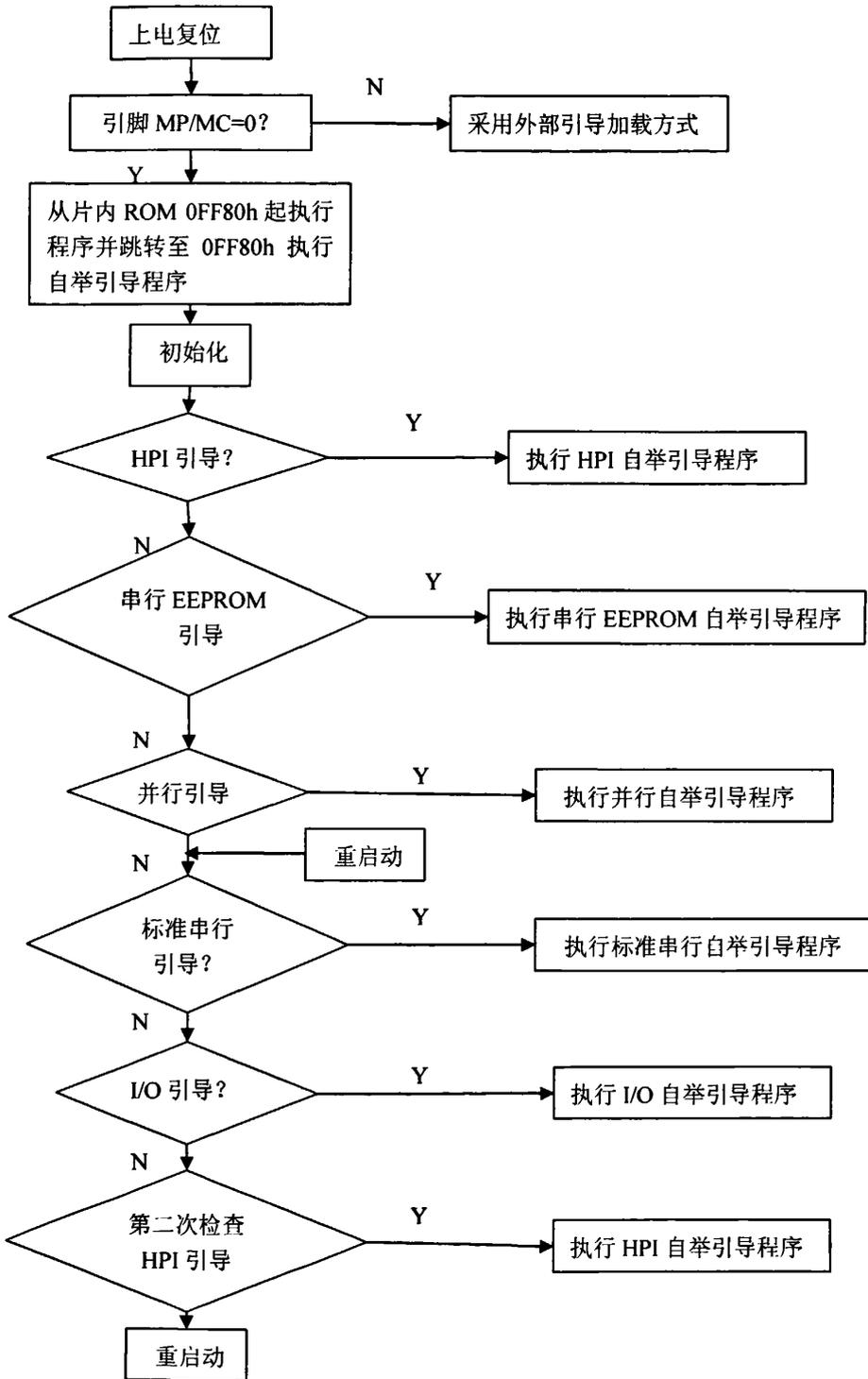


图 5.7 启动模式选择流程

然而,这种并行自举引导方式存在两点不足:一是要求用户程序事先按 TI 规定的格式烧写到外部 FLASH 中,而且在上电时必须把 FLASH 配置在数据空间;二是由于 TMS320VC5410 的数据空间的大小只有 64K,片内 RAM 又占去了约 16K,所以引导程序所能加载的用户程序不仅要占用数据空间,而且最大只能是 48K。这就无法满足在实际应用中可能遇到的大程序、大数据量的要求。

本设计中,MP/MC=1,片内ROM禁止,并没有利用ROM中的Bootloader程序,而是重写了一段类似于Bootloader的代码,写入到外部FLASH中的固定位置<sup>[13,20]</sup>。在系统上电复位时,MP/MC 状态为高电平,设置DSP处于微处理器工作方式。程序运行的流程是这样的:把CCS编译生成的.out文件下载到RAM中,因为.cmd文件有一条“-e ERASE”语句,这时系统开始执行烧写程序(烧写程序是以ERASE为标号开始的代码段)。结束后,把DSP芯片和仿真器、主机分离。系统重新上电后,MP/MC是高电平,于是从外部的FF80处开始执行程序,即执行搬移程序,执行完后,跳转到中断向量表的RESET段,而向量表中有“RESET: BD\_main”语句,所以程序转到主程序开始执行。

## 5.5 数据采集

数据采集是数字信号处理的基础,DSP 是各种信号数字处理的平台。

在数据采集设计中,首先模拟信号经过 A/D 转换器转换为数字信号存入缓冲区 FIFO 中,然后再从 FIFO 读到 DSP 内存,这样就保证采样数据不丢失,采样频率即为 AD 时钟频率,时钟下降沿采样。FIFO 的读写和其它控制信号线由通用 I/O 口 XF 以及由 McBSP 配置的 GPIO 引脚来控制,按照 FIFO 读写操作时序图进行 FIFO 写和读<sup>[12,23]</sup>。系统复位后,先关闭 FIFO 读操作,启动 FIFO 写操作,AD 采样的数据存入 FIFO 缓存,当 FIFO 全满时(/FF=0),启动外部中断/INT0,关闭 FIFO 写操作,启动读操作,将 FIFO 中存储的采样数据按要求读入 DSP,进行信号检测与处理。具体采样流程图如图 5.8 所示。

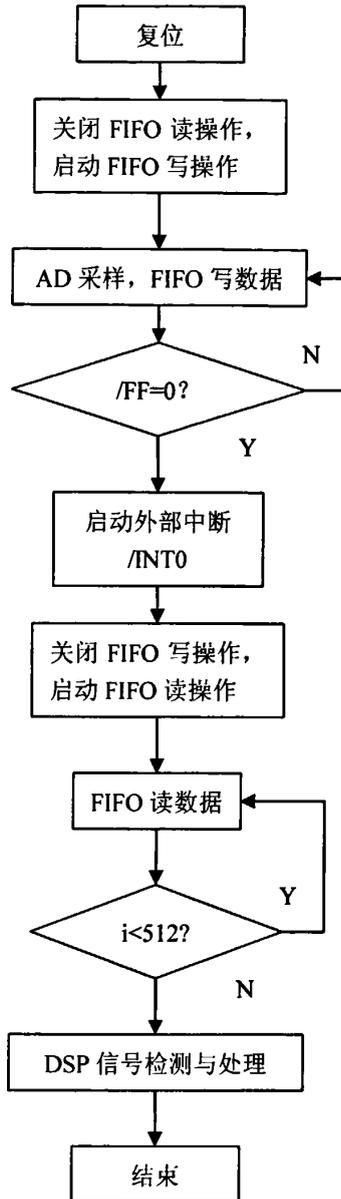


图 5.8 采样流程图

标准 C 没有能处理 I/O 空间数据的算术符和语句。为了方便处理 I/O 空间数据, DSP 的 C 语言规定了关键字 `ioport`。

`ioport` 要在文件级定义, 不支持函数内定义; 数据类型必须是 `char`、`short`、`int` 或 `unsigned`; `port` 数字代表需要访问的 I/O 空间数据的 16 进制地址。

所以先定义全局变量

```
ioport char port0;
```

```
unsigned char rdata[512]={0};
```

读出 512 个数据后对信号进行分析。由于差频信号中存在干扰噪声，无源 LC 滤波器虽然滤除掉部分噪声，但是放大过程中又会重新引入噪声或其他干扰，所以在信号频谱分析之前可先进行小波去噪。

## 5.6 小波分析

傅里叶变换揭示了时间函数与频谱函数之间的内在联系，反应了信号在“整个”时间范围内的“全部”频谱成分。用傅里叶变换的方法提取信号频谱时，需要利用信号的全部时域信息。信号的局部发生变化会影响到信号的整个频谱。例如，对于一个低频信号，如果给它在某一时刻  $t_0$  增加一个冲激，那么它的频谱就立刻变成宽带频谱。值得注意的是，根据这个宽带频谱只能辨别出信号中存在着冲激，但却无法确定这个冲激发生的时间位置。这表明傅里叶分析没有时间定位或时间局域化的能力。但是傅里叶分析有很强的频域定位或频域局域化能力。

为了获得关于时间定位的信息，可以用一个具有适当宽度的窗函数从信号中取出一段来作为傅里叶分析，于是得到信号在这段时间内的局部的频谱。如果再让窗函数沿时间轴不断移动，便能够对信号逐段进行频谱分析。这就是窗口傅里叶变换(WFT)或短时傅里叶变换(STFT)的基本思想。STFT实质上是具有单一分辨率的分析，若要改变分辨率，就必须重新选择窗函数。因此，对于给定窗函数的STFT，其时间分辨率与频率分辨率之积是恒定的，它们不可能同时提高，只能以一种分辨率的降低换取另一种分辨率的提高。

实际应用中，为了精确地确定信号中的高频现象发生的时间位置，应该使用窄时域窗；为了全面观察低频现象，应该使用宽时域窗。因此，在频域中用宽窗分析高频，而窄窗分析低频同样也是合理的。但是窗口傅里叶变换对不同的频率总是使用宽度相同的窗，即它不能按照不同的频率自适应调整窗的宽度，这是它的最大缺点。

小波变换<sup>[24,25]</sup>是一种窗口大小(即窗口面积)固定但其形状可改变,即时间窗和频率窗都可改变的时频局部化分析方法。小波变换对信号的低频成分,可用宽时窗使得时域分辨率低而频域分辨率高,对信号的高频成分,则可用窄时窗使得时域分辨率高而频域分辨率低,小波变换可形象地视为自适应的加窗Fourier变换,通过小波变换把信号变换到时-频空间,其小波谱可以提供信号的时间和频率特征以及他们之间的相互关系。因此本文运用小波变换对采样数据进行时频分析。

### 5.6.1 小波变换原理

如果函数 $\psi(t)$ 满足以下容许性条件

$$C_{\psi} = \int_{-\infty}^{\infty} \frac{|\widehat{\psi}(\omega)|^2}{|\omega|} d\omega < \infty \quad (5.1)$$

则称 $\psi(t)$ 为一容许小波, 式中,  $\widehat{\psi}(\omega)$ 是 $\psi(t)$ 的傅里叶变换。并定义如下的积分变换

$$W_{\psi} f(a, b) = |a|^{-1/2} \int_{-\infty}^{\infty} f(t) \overline{\psi\left(\frac{t-b}{a}\right)} dt, f \in L^2(R) \quad (5.2)$$

为 $f(t)$ 以 $\psi(t)$ 为基的积分(连续)小波变换<sup>[24,26]</sup>(CWT)。

引入符号

$$\psi_{a,b}(t) = \psi_a(t-b) = |a|^{-1/2} \psi\left(\frac{t-b}{a}\right), a \in R, a \neq 0; b \in R \quad (5.3)$$

称为小波函数(Wavelet Function)或简称为小波(Wavelet)它是由函数 $\psi(t)$ 经过不同的时间尺度伸缩(Time Scale Dilation)和不同的时间平移(Time Translation)得到的。其中,  $a$ 称为时间轴尺度伸缩参数;  $b$ 称为时间平移参数。因此 $\psi(t)$ 是小波原型(Wavelet Prototype), 并称为母小波(Mother Wavelet)。

(5.2)式可该写为

$$W_{\psi} f(a, b) = \int_{-\infty}^{\infty} f(t) \overline{\psi_{a,b}(t)} dt = \langle f(t), \psi_{a,b}(t) \rangle \quad (5.4)$$

可见连续小波变换 $W_{\psi} f(a, b)$ 是 $f(t)$ 在函数 $\psi_{a,b}(t)$ 上的“投影”。

如果 $\psi(t)$ 是一个合格的窗函数, 则 $\widehat{\psi}(\omega)$ 是连续函数。则(2.1)式隐含

$$\widehat{\psi}(0) = \int_{-\infty}^{\infty} \psi(t) dt = 0 \quad (5.5)$$

即 $\psi(t)$ 的均值为 0(不含直流成分)。另一方面, 容许性条件(5.1)式要求当 $|\omega| \rightarrow \infty$ 时 $|\widehat{\psi}(\omega)| \rightarrow 0$ 。可见小波函数一定是具有带通性质的窗函数。式(5.5)的物理意义是: $\psi(t)$ 是一个振幅衰减得很快的“波”。

在频域分析中,  $\psi_{a,b}(t)$ 的傅里叶变换

$$\widehat{\Psi}_{a,b}(\omega) = \int_{-\infty}^{\infty} \psi_{a,b}(t) e^{-j\omega t} dt = |a|^{1/2} e^{-j\omega b} \widehat{\Psi}(a\omega) \quad (5.6)$$

若母小波的傅里叶变换时中心频率为 $\omega_0$ 、宽度为 $D_{\omega}$ 的带通函数, 那么 $\widehat{\Psi}_{a,b}(\omega)$ 是中心为 $\omega_0/a$ 、宽度为 $D_{\omega}/a$ 的带通函数。由此可见, 采用不同的 $a$ 值作处理时, 各 $\widehat{\Psi}_{a,b}(\omega)$ 的中心频率和带宽都不一样, 但品质因数 $Q$ 却不变。

根据 Parseval 恒等式, 得到小波变换的等效频域表示如下式所示

$$W_{\psi} f(a, b) = \frac{1}{2\pi} \langle \widehat{f}(\omega), \widehat{\Psi}_{a,b}(\omega) \rangle = \frac{|a|^{1/2}}{2\pi} \int_{-\infty}^{\infty} \widehat{f}(\omega) \overline{\widehat{\Psi}(a\omega)} e^{j\omega b} d\omega \quad (5.7)$$

对于数字信号 $f(n)$ , 常取 $a=2^j$ ,  $b=k2^j$ , ( $j, k \in Z$ ), 此时, 母小波和相应的小波都应该是离散时间的, 分别用 $\psi(n)$ 和 $\psi_{j,k}(n)$ 表示, 这里 $\psi_{j,k}(n)$ 定义为

$$\psi_{j,k}(n) = 2^{-j/2} \psi(2^{-j}n - k) \quad j, k, n \in Z \quad (5.8)$$

这样就可以把  $f(n)$  关于  $\psi_{j,k}(n)$  的离散小波变换(DWT)定义如下:

$$\begin{aligned} C_{j,k} &\triangleq DWT_{\psi} f(2^j, k2^j) \\ &= \sum_{-\infty}^{\infty} f(n) \overline{\psi_{j,k}}(n) \quad j, k, n \in Z \quad (5.9) \\ &= 2^{-\frac{j}{2}} \sum_{-\infty}^{\infty} f(n) \overline{\psi}(2^{-j}n - k) \end{aligned}$$

这是一种很适合于数值计算和工程实现的小波变换。

### 5.6.2 小波去噪

在信号处理领域中,人们根据实际信号的特点和噪声的统计特性,基于统计估计原理,发展了各式各样的去噪方法<sup>[25,27]</sup>。有时域和频域的,这些方法基本思想是根据噪声和信号在频域上分布的不同而进行的,因为在实际过程中,有用信号通常表现为低频部分或是一些比较平稳的信号,而噪声信号则通常表现为高频的信号。在实际中,人们总是希望把噪声减小到可以忽略不计的程度,而完全重构出信号的本来面貌。然而所采用的算法只是利用噪声的一些先验知识对含噪声信号在最小均方误差意义上进行估计,要想完全消除信号噪声是不可能的。

近年来,随着小波理论的日趋完善和小波研究的不断深入,小波分析的应用也日趋广泛。其中,运用小波分析进行信号去噪原理始终是一个热门话题,是小波分析的一个重要的应用之一,并显示出比传统的傅立叶分析更加具有优越之势。特别地,在实际工程应用中,所分析的信号可能包含许多尖峰或突变部分,并且噪声也不是平稳的白噪声,对这种信号进行分析,进行去噪处理,传统的傅立叶分析显得无能为力,因为它不能给出信号在某个时间点上的信号变换情况,使得信号在时间轴上的任何一个突变都会影响信号的整个谱图。而小波分析由于能同时在时,频域中对信号进行多分辨分析,所以能有效地区分信号中的突变部分和信号噪声,从而实现信号的去噪。

随着对小波算法的深入研究,小波去噪方法也丰富起来。到目前为止,小波去噪方法大致可以分为三大类:第一类是基于小波变换的极大模原理的,即根据信号和噪声在小波变换的各个尺度上的不同传播特性,提出有噪声产生的极大值点,保留信号所对应的模极大值点,然后利用所余模极大值点重构小波系数,进而恢复信号;第二类方法是对含噪信号作小波变换之后,计算相邻尺度间小波系数的相关性,根据相关性的大小区别小波系数的类型,从而进行取舍,然后直接重构信号;第三类方法是阈值方法,即对小波系数设置阈值,在众多小波系数中,把绝对值较小的系数置为零,而让绝对值较大的系数保留或收缩,然后对阈值处理后的系数进行小波逆变换,直接进行信号重构,即可达到去噪的目的。该方法是基于这样一个思想:信号对应的小波系数包含有信号的重

要信息，其幅值较大，但数目较少，而噪声对应的小波系数是一致分布的，个数较多，但幅值较小。

本章主要讨论第三类方法—小波阈值去噪方法。首先了解一下小波去噪算法的研究概况，重点研究小波的阈值去噪算法，在给出阈值去噪原理之后，着重介绍和分析小波阈值中估计小波系数的软阈值和硬阈值方法，并在此基础上提出了一种新的阈值估计方法，最后通过实验和分析验证该新方法确实是传统的硬阈值和软阈值的一种改进方案。

### 5.6.3 小波阈值去噪

阈值去噪<sup>[25,28]</sup>的基本思想是，在对含噪信号  $f(t)$  作小波分解后的各层系数中，对大于或小于某一阈值的小波系数分别进行处理，然后再利用处理后得到的小波系数重构原始信号，达到去噪目的。小波变换特别是正交小波变换具有很强的去数据相关性，它能够使信号的能量在小波域集中在一些大的系数中，而噪声的能量却分布于整个小波域内，因此，经小波分解后，信号的小波系数幅值要大于噪声的系数幅值，可以认为，幅值比较大的小波系数一般以信号为主，而幅值比较小的系数在很大程度上是噪声。于是，采用阈值的办法可以把信号系数保留，而使大部分噪声系数减少至零。可知小波阈值去噪方法一般分为如下三个步骤：

(1) 计算含噪信号的小波变换。假设有如下一观测信号：

$$f(t) = s(t) + n(t) \quad (5.10)$$

其中  $f(t)$  为含噪信号， $s(t)$  为原始信号， $n(t)$  为高斯白噪声，服从  $N(0, \sigma^2)$  分布。对  $f(t)$  作离散小波变换，可得：

$$w_f(j, k) = w_s(j, k) + w_n(j, k) \quad (5.11)$$

其中， $w_f(j, k)$ ， $w_s(j, k)$ ， $w_n(j, k)$  分别是含噪信号，原始信号和噪声在第  $j$  层上的小波系数。

(2) 对小波系数进行阈值处理。小波阈值去噪方法的关键步骤是阈值处理，这部分包括阈值的估计和阈值函数的选取，D.L.Donoho 提出的硬、软阈值函数如式(5.12)和式(5.13)以及图5.9和5.10所示。

$$\hat{w}_{j,k} = \begin{cases} w_{j,k} & |w_{j,k}| \geq \lambda \\ 0 & |w_{j,k}| < \lambda \end{cases} \quad (5.12)$$

$$\hat{w}_{j,k} = \begin{cases} \text{sgn}(w_{j,k})(|w_{j,k}| - \lambda) & |w_{j,k}| \geq \lambda \\ 0 & |w_{j,k}| < \lambda \end{cases} \quad (5.13)$$

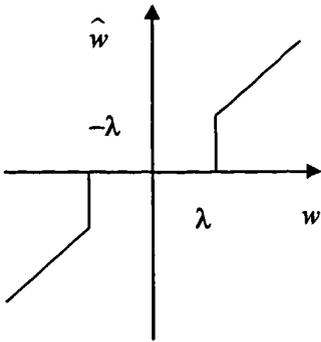


图5.9 硬阈值函数

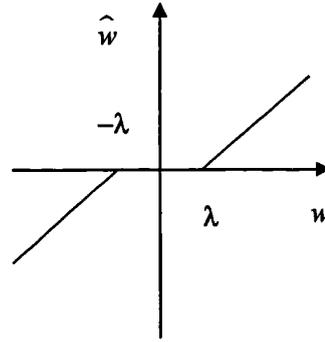


图5.10 软阈值函数

(3)进行逆小波变换。由所有尺度系数，以及经阈值处理后的小波系数做逆小波变换进行重构，得到恢复的原始信号估计值。

硬、软阈值函数虽然在实际中得到广泛应用，也取得了较好的效果。但是方法本身存在着一些潜在的不足。硬阈值函数方法其阈值函数在  $\lambda$  和  $-\lambda$  处存在间断点，得到的估计小波系数值连续性较差，因此用此阈值函数重构信号时会产生振荡；而软阈值函数方法得到的阈值函数虽然连续性好，易于处理，但在  $|w_{j,k}| > \lambda$  时， $\hat{w}_{j,k}$  同  $w_{j,k}$  存在恒定偏差，当小波系数较大时，势必也会给重构信号带来不可避免的误差，直接影响重构信号的性质。鉴于此，提出一种软、硬阈值折衷法，如式(5.14)所示，同时克服了软阈值和硬阈值方法的不足之处。

$$\hat{w}_{j,k} = \begin{cases} \text{sgn}(w_{j,k})(|w_{j,k}| - \alpha\lambda) & |w_{j,k}| \geq \lambda \\ 0 & |w_{j,k}| < \lambda \end{cases} \quad (5.14)$$

式中： $\alpha$  的取值范围为  $0 \leq \alpha \leq 1$ 。显然，当  $\alpha = 1$  时，此阈值函数在  $\pm \lambda$  处连续，而当  $\alpha \neq 1$  时，此阈值函数在  $\pm \lambda$  处不连续，所以通过软硬阈值折衷法处理后，所得到的估计信号可能会产生附加振荡。

本文在上述软硬阈值折衷法的基础上进行了改进，改进的阈值函数为

$$\hat{w}_{j,k} = \begin{cases} \text{sgn}(w_{j,k})\left(|w_{j,k}| - \frac{\beta\lambda}{\alpha^{\frac{|w_{j,k}|-\lambda}{\beta-1}} + \beta - 1}\right) & |w_{j,k}| \geq \lambda \\ 0 & |w_{j,k}| < \lambda \end{cases} \quad (5.15)$$

式中：参数  $\alpha$ 、 $\beta$  均为大于1的实常数，根据实际情况可调整  $\alpha$ 、 $\beta$  取值。这样，阈值函数在  $\pm \lambda$  处连续，值为0。而

$$\lim_{\alpha \rightarrow 1} \text{sgn}(w_{j,k})\left(|w_{j,k}| - \frac{\beta\lambda}{\alpha^{\frac{|w_{j,k}|-\lambda}{\beta-1}} + \beta - 1}\right) = \text{sgn}(w_{j,k})(|w_{j,k}| - \lambda) \quad (5.16)$$

$$\lim_{\alpha \rightarrow \infty} \text{sgn}(w_{j,k})\left(|w_{j,k}| - \frac{\beta\lambda}{\alpha^{\frac{|w_{j,k}|-\lambda}{\beta-1}} + \beta - 1}\right) = w_{j,k} \quad (5.17)$$

式(5.16)和式(5.17)说明,当 $\alpha \rightarrow 1$ 时,式(5.15)接近软阈值函数;当 $\alpha \rightarrow \infty$ 时,式(5.15)接近硬阈值函数,由此可知,改进的阈值函数是介于软、硬阈值函数之间的一个灵活选择,可通过参数 $\alpha$ 和 $\beta$ 的调整,得到实用有效的阈值函数。考虑函数

$$f(x) = \text{sgn}(x) \left( |x| - \frac{\beta\lambda}{\alpha^{|x|-\lambda} + \beta - 1} \right) \quad (5.18)$$

当 $x < 0$ 时,

$$\lim_{x \rightarrow -\infty} \frac{f(x)}{x} = \lim_{x \rightarrow -\infty} \frac{-(-x - \alpha \frac{\beta\lambda}{\alpha^{|x|-\lambda} + \beta - 1})}{x} = 1$$

当 $x > 0$ 时,

$$\lim_{x \rightarrow +\infty} \frac{f(x)}{x} = \lim_{x \rightarrow +\infty} \frac{(x - \frac{\beta\lambda}{\alpha^{|x|-\lambda} + \beta - 1})}{x} = 1$$

而

$$\lim_{x \rightarrow +\infty} (f(x) - x) = \lim_{x \rightarrow +\infty} \text{sgn}(x) \left( \frac{\beta\lambda}{\alpha^{|x|-\lambda} + \beta - 1} \right) = 0$$

所以式(5.18)是以直线 $y=x$ 为渐近线的,即改进的阈值函数是以 $\hat{w}_{j,k} = w_{j,k}$ 为渐近线的,随着 $w_{j,k}$ 的增大, $\hat{w}_{j,k}$ 逐渐接近 $w_{j,k}$ ,减小了软阈值函数中 $\hat{w}_{j,k}$ 与 $w_{j,k}$ 之间的恒定偏差。另外,改进的阈值函数不仅在 $\alpha$ 、 $\beta$ 取任意值时具有连续性,而且比软硬阈值折衷法中的参数 $\alpha$ 有更大的取值空间。除此之外,该阈值函数还高阶可导,便于进行各种数学处理,所以改进的阈值函数较传统的软、硬阈值函数更加优越。改进的阈值函数如图5.11所示。

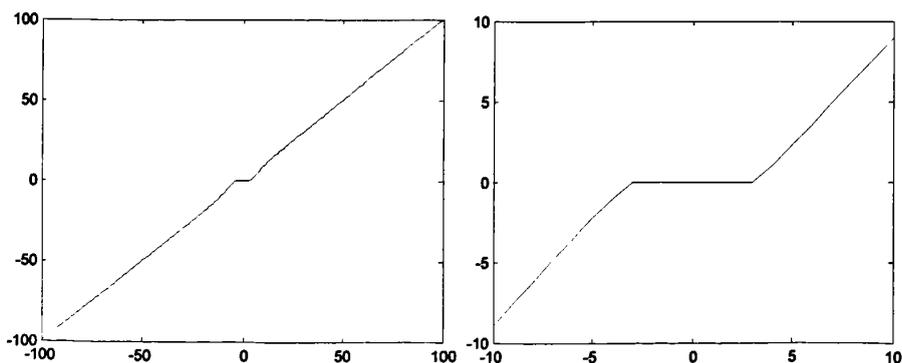


图5.11 改进的阈值函数

为了说明改进的阈值函数在阈值去噪方法中的优越性,还可求出信噪比SNR,公式

如式(5.19)所示。

$$SNR = 10 \times \log \left[ \frac{\sum_n [\hat{x}(n)]^2}{\sum_n [s(n) - \hat{x}(n)]^2} \right] \quad (5.19)$$

式中： $s(n)$  是原始信号， $\hat{x}(n)$  是经小波去噪后的估计信号。

#### 5.6.4 MATLAB 去噪仿真

由于实际信号中噪声往往是高频成分，小波阈值方法去噪的算法<sup>[29-31]</sup>如下：

- (1) 确定小波基、小波分解的层数和阈值；
- (2) 对每一层的低频系数进行小波分解；
- (3) 对每一层的高频系数进行阈值处理；
- (4) 根据小波分解的最后一层的低频系数和经过阈值处理的各层的高频系数，进行一维信号的小波重构。

为了说明新阈值函数在去噪算法中的有效性和优越性，分别采用传统的硬、软阈值函数和软硬阈折衷函数以及新阈值函数进行MATLAB去噪实验。本文选用正弦信号(频率为1MHz)加随机噪声进行仿真实验，选用dB4小波对其进行分解，分解层数为5层，选用极大极小准则(minimaxi)的阈值选取规则。

仿真结果如图5.12~图5.15所示。

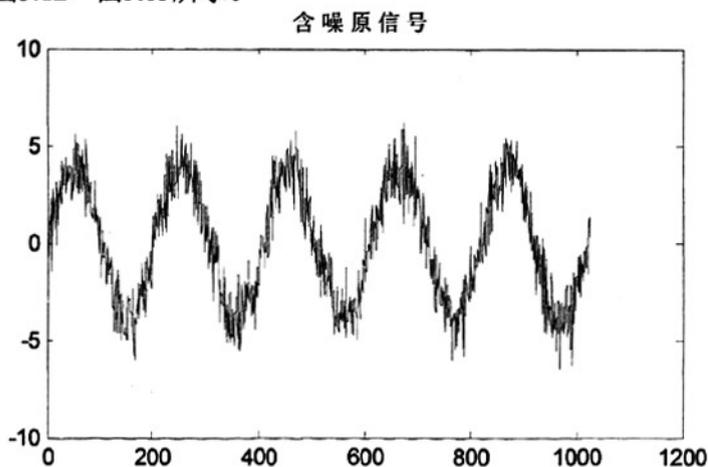


图5.12 带有噪声的原始信号

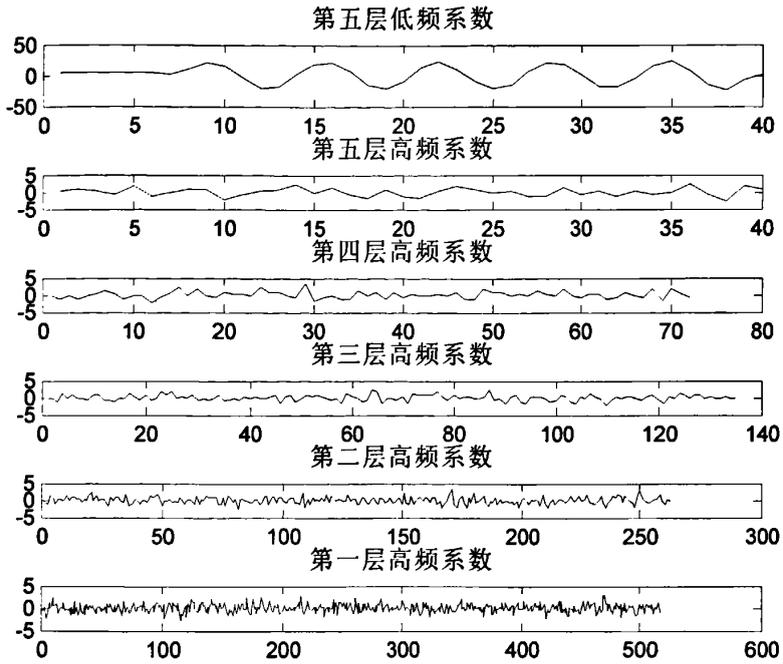


图5.13 小波分解结构

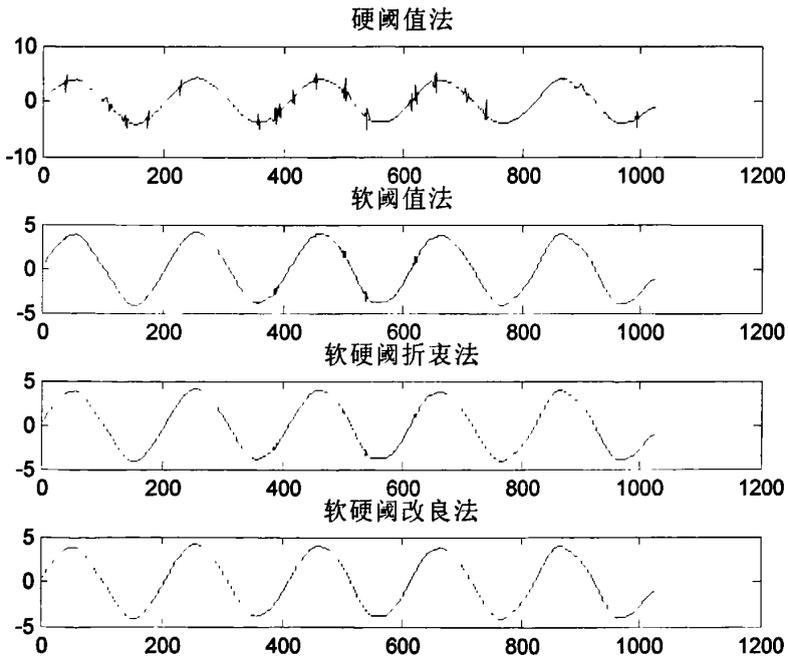


图5.14 四种阈值去噪后的信号

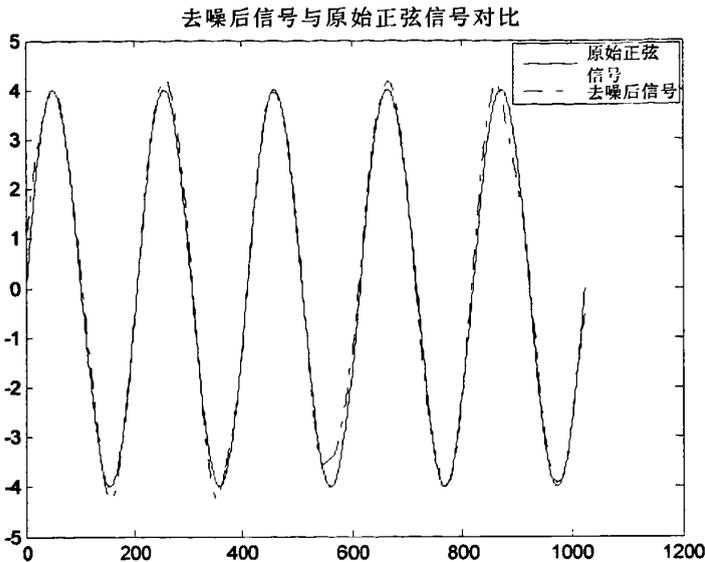


图5.15 软硬阈改良法去噪后的信号与原信号对比

由图5.14中可以看出软硬阈改良法的去噪效果更好，本例中，去噪后信号的信噪比SNR=41.82dB，相比于软硬阈折衷法(SNR=41.3305dB)效果还要好。重构之后的信号与加噪之前的信号非常接近，如图5.15所示。

将去噪后的信号进行FFT变换，得到频域图，如图5.16所示。在matlab中根据采样点数和采样频率将幅度和频率转换成实际值，这样就可以直接从图中看出信号的频率，图中所示信号频率为1MHz。

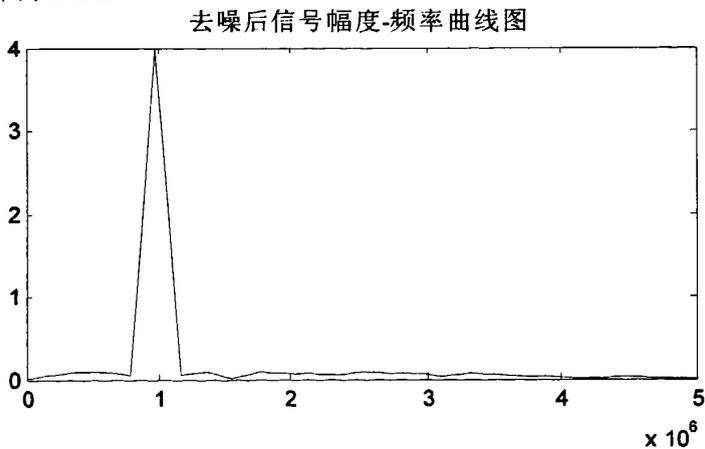


图5.16 幅度-频率曲线图

### 5.6.5 小波变换检测信号频率

如果信号中噪声幅度较大，例如，含噪信号如图 5.17 中所示。对于微弱的信号，如果仍然用原来的方法进行去噪，会使去噪后信号的频谱幅度衰减很多，容易产生误差，

检测到错误的信号, 如图 5.18 所示。

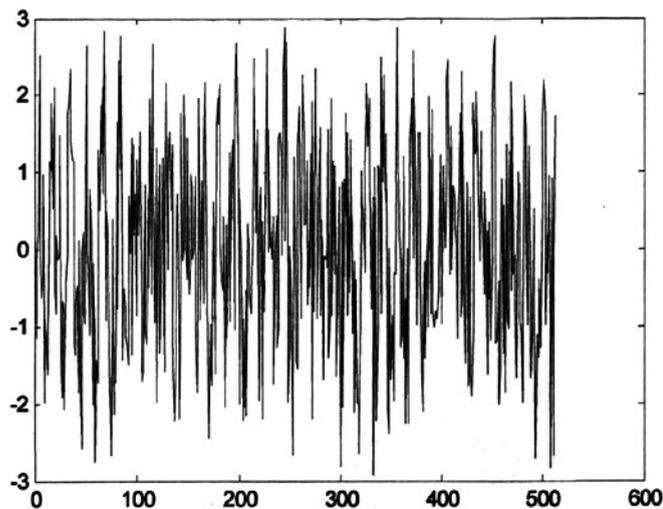


图 5.17 噪声幅度较大的微弱信号

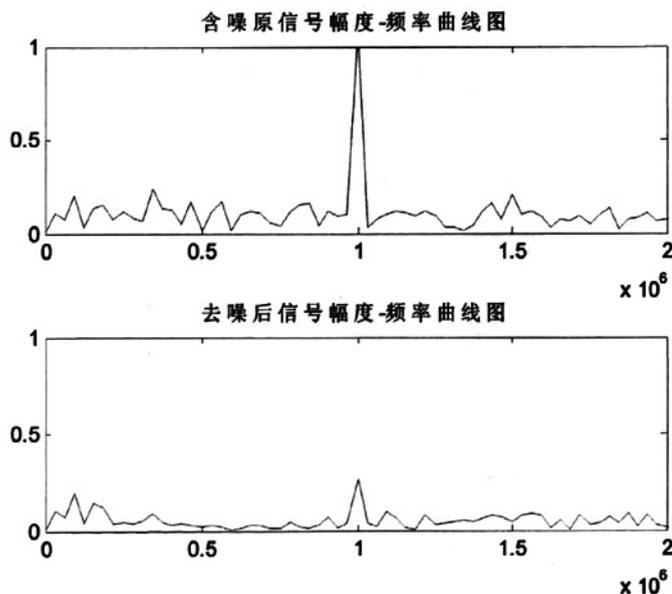


图 5.18 原信号与去噪后信号频谱图

小波变换理论在信号处理领域的应用十分广泛, 其最重要的应用之一就是对非平稳信号进行时频分析。典型的应用包括: 信号数据压缩、信号奇异点检测、统计信号处理、含噪声信号检测中的分型估计、计算机视觉、湍流和振动信号分析、多分辨率随机过程建模和估计等。

可以使用小波变换算法将时域中的信号进行频谱细化, 提取出微弱信号中的正弦信号<sup>[32-34]</sup>。从频域看, 用不同尺度做小波变换相当于用一组带通滤波器对信号进行滤波

处理。带通的目的既可能是分解，也可能是检测(此时相当于一组匹配滤波器)，这些滤波器覆盖信号检测的整个频率段，待检测信号依次通过这些带通滤波器。实际的信号都是有限带宽的，其在大部分滤波器中都被滤掉，只余下噪声成分，但总有一个或者多个滤波器在频域与所分析的信号存在重叠，会完全通过信号。在下次检测中，这些通过的信号的滤波器将会仍然通过信号，通过噪声的滤波器仍然只会通过噪声，将前后两次得到的值累加。因为随机噪声的累加仍然是随机噪声，而信号的累加就将得到一次加强。重复多次，信号成分将不断地得到加强，而噪声信号仍然保持原状，这样经过多次累加，信号能量总会超过噪声能量，从而将微弱信号变为强信号，从而检测出信号成分。

但多尺度上能量积累带来的问题是增加了算法的运算量，对于快速变化的信号，实际应用中效果并不明显。信号在时域中有能量表示，它在小波域中也应有相应的能量表示，若能在小波域中对不同的分解尺度上的能量进行有效积累，在小波域中对能量进行能量检测，这样就能构造出建立在小波分析基础上的新的信号检测方法。

基于这样的思想，对含有宽带白噪声的信号做连续小波变换，相当于使信号通过一组匹配滤波器，由于这组匹配带通滤波器的品质因数恒定，因此在低频部分滤波器的带宽窄，在高频部分滤波器的带宽宽。这样就可以达到在不同的频带有不同的频率分辨率的效果。对于这组滤波其中的每个滤波器来说，如果信号不在它的通带范围内，信号被滤掉，剩下的是白噪声；如果信号在它的通带范围内，则滤波后的信号不仅包含白噪声，也包含有用信号，于是滤波后的信号的能量要相对大一些。于是，如果对信号通过这组滤波器后的所有的信号进行能量检测，就可以知道信号到底通过了哪些滤波器。通过哪个滤波器时消弱最小，则这个滤波器的中心频率就可看做是信号的频率。

在工程中，我们近似地将小波频谱中能量最多的频率值作为小波的中心频率，选择合适的尺度使中心频率始终在被分析信号的带宽之内，该频率就是检测到的信号频率。

设  $s(t)$  表示某一正弦信号，在白噪声  $n(t)$  的作用下，实际得到的信号如下式所示，信号波形如图 5.17 所示。

$$f(t) = s(t) + n(t) \tag{5.20}$$

为了从  $f(t)$  中滤除噪声  $n(t)$ ，最大限度地提取出原始瞬态信号  $s(t)$  的频率，根据采样定理，将  $s(t)$ 、 $n(t)$  分别进行  $N$  点离散化，可得到两个  $N$  点序列：

$$s(n) \quad n=1, 2, 3, \dots, N$$

$$n(n) \quad n=1, 2, 3, \dots, N$$

根据  $f(t) = s(t) + n(t)$ ，可进一步得到序列

$$f(n) \quad n=1, 2, 3, \dots, N$$

含噪信号为  $f(n)$ ，对  $f(n)$  做如下的小波变换

$$W_{\psi} f(a, b) = |a|^{-1/2} \sum_{n=1}^N f(n) \overline{\psi\left(\frac{n-b}{a}\right)} \quad (5.21)$$

式中  $N$  为信号长度(即采样点数), 尺度  $a$  为一系列离散的值  $a^i$  ( $a$  为基本尺度,  $i$  为尺度等级), 时间平移参数  $b$  取  $0 \sim N-1$  这  $N$  个离散值。式(5.21)中, 系数  $|a|^{-1/2}$  是归一化因子, 它的引入时为了使不同尺度的小波保持相等的能量。因此对每个尺度都有  $N$  个小波系数  $W_{\psi} f(a, 0) \sim W_{\psi} f(a, N-1)$ , 然后对这  $N$  个小波系数进行平方累加

$$\text{coef}(a) = \sum_{b=0}^{N-1} W_{\psi} f(a, b)^2 \quad (5.22)$$

平均小波功率谱

$$\overline{W}^2(a) = \frac{1}{N} \text{coef}(a) \quad (5.23)$$

$\overline{W}^2(a)$  可以看做是信号  $f(t)$  所包含在尺度  $a$  下的频率分量, 每个尺度  $a$  值对应着一定的频率点。

然后求  $\overline{W}^2(a)$  最大值对应的尺度等级  $i$ , 再由下式计算出信号的频率  $f$ 。

$$f = \frac{f_s}{a^{l+i}} \quad (5.24)$$

式中  $f_s$  为采样频率,  $l$  是修正值, 在采样频率大约为信号频率 16 倍时为 16.9348。

因为目标静止, 所以本系统中, 需要检测的差频信号理论上为一单一频率的正弦波。

本例中选用 Morlet 小波进行小波变换, 程序流程如图 5.19 所示。首先输入信号数据, 然后对数据进行对称周期延拓, 对信号延拓是进行卷积的需要, 只有这样才能保证变换结果准确。调用 Morlet 小波发生程序, 得到 Morlet 小波函数。在变换中, Morlet 小波的形状虽然没变, 但宽度发生了变化。用卷积实现连续小波变换, 即将积分用求和来实现。时间平移参数  $b$  需要进行不断的离散取值, 也就是不断进行移位, 然后相乘求和。信号也必须足够宽, 因为对不同的  $a$ , 参加卷积的信号宽度是不同的。不同的尺度调用不同的 Morlet 小波发生程序。最后, 对每一个  $a$  值下的连续小波变换结果进行平方求和, 再对结果在时间上进行平均, 就可以得到平滑的小波功率谱。

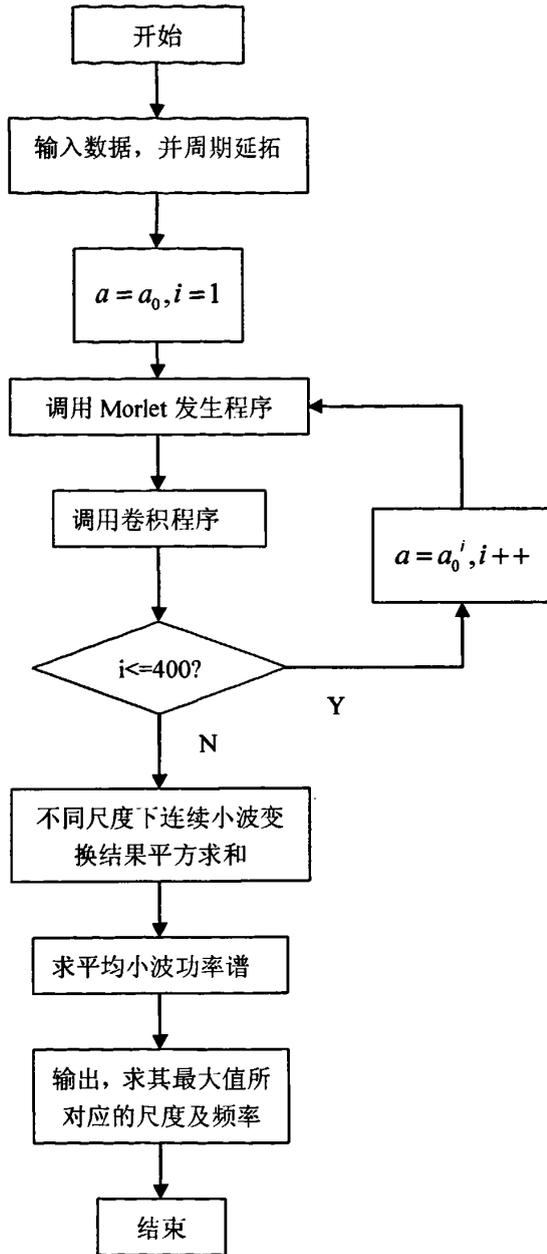


图 5.19 小波变换检测信号频率流程图

取  $N=512$ , 设定正弦信号的频率为  $1\text{MHz}$ , 采样频率  $16\text{MHz}$ 。选取  $a = 1.5^{0.03}$  为基本尺度, 实际尺度为  $a' (i=[1,400], i \in N)$ , 以每一尺度对信号做一次连续变换, 然后将得到的系数进行平方累加, 并求平均小波功率谱, 求其最大值所对应的尺度, 其所对应的频率就是检测到的信号的频率。平均小波功率谱如图 5.20 所示。

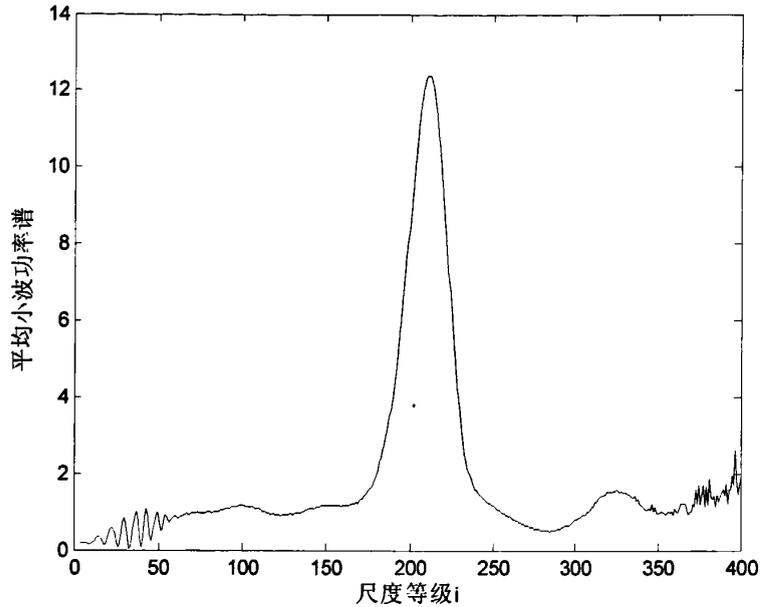


图 5.20 平均小波功率谱

尺度等级  $i$  从 1 到 400 取值求最大值，图中  $i=211$  时值最大，根据公式(5.22)得

$$f = \frac{f_s}{a^{i+l}} = \frac{16}{(1.5^{0.03})^{211+16.9348}} = 1\text{MHz}$$

结果与设定的正弦信号频率相符。

此时信噪比

$$\text{SNR} = -4.3921\text{dB}$$

检测误差

$$p = 0.47253\%$$

## 6 系统调试及结果分析

当系统软硬件部分实现以后,就进入到系统调试和测试阶段。在调试过程中,遇到了一些问题,通过分析和解决这些问题,对本论文的工作有了更深的认识,提高了解决问题的能力。

在系统调试和性能测试过程中,要反复检查系统的实时性、精度和稳定度,如果达不到设计要求,就需要通过修改软件(甚至调试硬件)予以解决。如果软件修改能满足性能要求,尽量选用软件修改,如果软件修改难以满足要求,就应该对硬件作适当的修改。

### 6.1 硬件调试

电路板制好之后,要根据原理图仔细检查 PCB 板,进行裸板检测,所谓的裸板是指按照电路设计制作出电路板后,并没有焊接任何元件的空 PCB 板。测试的目的是为了检测是否与设计相符合,主要使用万用表进行检测。由于电路板的信号线繁多,不可能逐一检查,只能检查一些重要的信号线、电源和地线等。如检查有没有重要的走线短路或断路,电源和地是否短路等,是否每个器件相应的电源和地的连接都是正确的。在没有发现网络不通等因为机械的原因出现的故障情况之下,开始焊接芯片。焊接前对电阻、电感、电容的量值要进行测量、筛选,选择与实验电路中参数值最接近的元件。元件大部分都是贴片的,需要仔细焊接,一些引脚密集的元件则需要送到专门的焊接厂家焊接。待全部焊接完毕之后,要认真检查电源,在电源准确无误的情况下,方可上电测试。在开始调试的过程中,要经常注意各芯片的发热情况。

为了检测本设计的电路板是否通路,以及各个芯片是否能正常工作,预先编写了一个方波测试程序,由通用 I/O 口输出。在往外部 FLASH 烧写程序时,应把三端插座 J6 的 1、2 连通(即连接上 DS),这是外部的 FLASH 作为数据空间,可以往里面写程序。在程序代码全部写进去之后。再次复位上电之前,把三端插座 J6 的 2、3 端连接(即连接上 PS),这时 FLASH 是作为程序空间的。在 J4 的 2 端输出调制信号。TLC5510 的模拟信号通过 J2 的 2 端输入。通过检测,本电路板是完好的。

电路板上电时还应注意输入的电压值。DSP 和 AD9833 供电电压为 3.3V,AD 供电电压为 5V,放大器上电压为 12V,所以需要两片稳压模块 78L05 和 78L12 分别提供合适的电压。所以加电时需注意电压值。

本次实验的硬件电路系统如图 6.1 所示,整个系统的测试环境如图 6.2 所示。

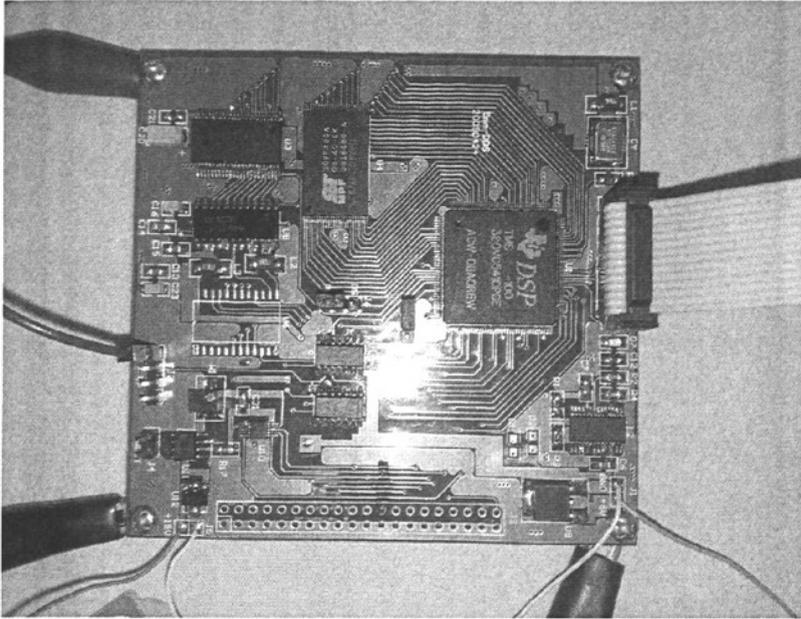


图 6.1 硬件电路系统

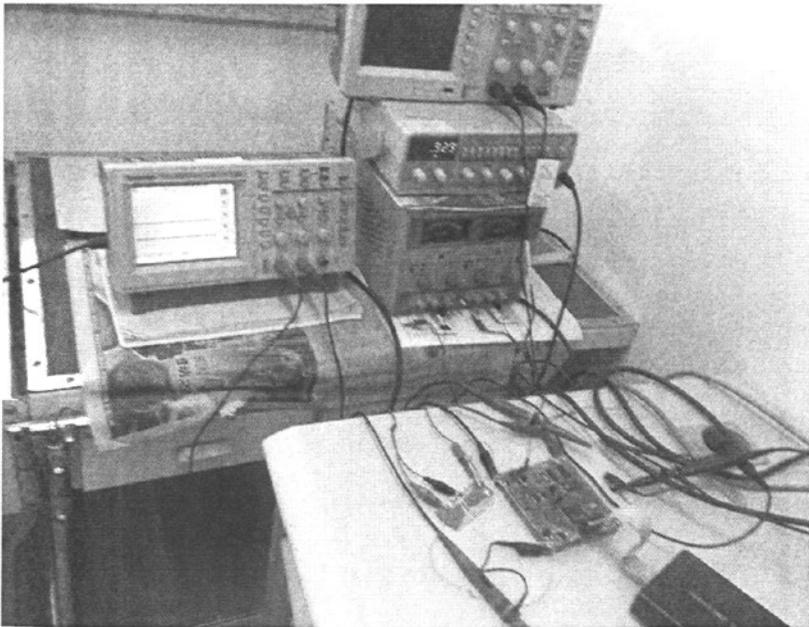


图 6.2 整个系统的测试环境

## 6.2 软件调试

软件调试是借助 TI 公司的集成开发环境 CCS 进行的。CCS 提供了非常丰富的调试手段，具备四种单步执行手段，用户可以对内存单元、寄存器进行查看，并且可以编辑、载入/输出数据、设置探针和断点。一般的调试步骤是：调入构建好的可执行程序，先

在有关的程序段设置断点,然后执行程序停留在断点处,查看寄存器的值或内存单元的值,对中间数据进行在线(或输出)分析,还可以辅助图形加以说明,例如程序运行后,可在 View/Graph 中形成时域、频域波形。反复这个过程直到程序完成预期的功能。

### 6.3 联合调试

在进行软硬件联合调试的过程中,遇到了下面的一些问题,并经过多次的修改,问题得以解决。

问题 1: AD9833 联合 DSP 产生三角波时,使用标准的 SPI 模式没有波形输出。

分析: 因为 AD9833 和 TI 公司的 DSP 时序不能完全同步,所以标准的 SPI 模式不适用,不能按照 5.3 节中 McBSP 设置为 SPI 主设备的步骤来编程,标准的 SPI 模式只要发送移位寄存器 XSR[1,2]不为空(即 SPCR2 中的/XEMPTY=1)即可传送数据。

解决方法: 将部分串口引脚(如: CLKX, FSX, DX, CLKR, FSR, DR)用作通用输入输出 GPIO。设置 CLKX, FSX, DX 为通用输出口, DSP 传送数据到 AD9833 时,用软件模拟时钟信号和片选信号来模拟 SPI 接口。

问题 2: 关于采样频率的提高问题。

分析: 在进行软、硬件调试时,将两种不同的 TLC5510 时钟信号进行了对比

(1)使用通用 I/O 口 XF 作为采样时钟信号,需要 SSBX XF 和 RSBX XF 指令给出高电平和低电平,作为时钟信号,在时钟下降沿读出采样数据。原先,使用定时器中断来控制 XF 端口,在 XF 端产生方波作为采样时钟,下降沿采样,采样频率较低,远远低于 TLC5510 的最大采样频率 20MHz。将中断去除后,采样频率提高一些。

由于在读出采样数据前后需要指令将 XF 置低置高,需要消耗指令周期,所以改用多通道缓冲串口中的 BCLKX 作为 AD 采样时钟信号,由内部采样率发生器产生。

(2)使用 McBSP 中的 BCKLX0 作为采样时钟信号。通过设置 CLKXM=1, CLKX 作为一个输出引脚,由内部采样率发生器驱动。通过采样率发生器寄存器来控制可编程的数据时钟,设置时钟频率。为了尽量快速的读数据,这里也没有使用中断,直接读 I/O 空间地址 0x00 处数据放入变量 rdata[i]。这样采样时钟可以提高不少,但是由于 DSP 数据总线传送数据较慢,导致读取采样数据的速率较慢,这样就丢失了不少数据,使得实际采样率降低。

解决方法: 为了避免数据丢失,设计时应采用小容量的 FIFO 作为 AD 和 DSP 之间的接口。FIFO 芯片是一种具有存储功能的高速逻辑芯片。它有两个特点: 数据进出有序、输出输入独立。FIFO 芯片有两个内部指针(读指针和写指针)按照先进先出的原则实现数据的存入和读取。由于 FIFO 是顺序读取数据,因此,只需提供读写和其它控制信号线,而不需要一般 RAM 所需的地址线。本文中选用的 FIFO 是 CYPRESS 公司的 CY7C4221-15ns,容量为 1k×9bit。可由 FIFO 的/FF 作为外部中断信号,当 FIFO 存储

器全满时，便可由/FF 经逻辑处理后向 DSP 发出中断申请 INT0。具体操作如 5.6 节所述。

## 6.4 调试结果及分析

实验中使用信号源给 AD 提供模拟输入信号，进行采样测试，对时域和频域进行分析。采样得到的数据可在 CCS 中 View/Graph 中看到，图 6.3 为输入采样信号的时域图，输入信号为 1.32MHz 的正弦波，系统采样频率为 20MHz。

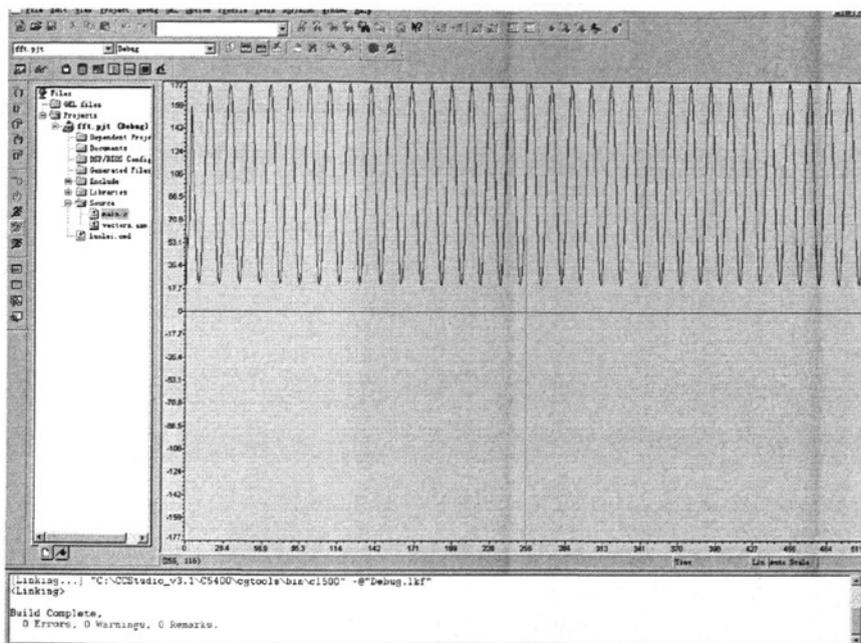


图 6.3 采样信号时域图

由上图只可以看出信号为正弦信号，512 个采样点之内大约有 34.5 个周期，可以大概求出信号频率  $f = 20 / (512 / 34.5) \approx 1.35\text{MHz}$ 。

要想精确的求出信号的频率，只有将信号进行频谱分析，如图 6.4 所示为经典谱分析 FFT 变换。由于实际输入信号为 0V 以上，所以 FFT 变换之后，在 0 点有一个高幅度的脉冲，所以输出时，将 0 点的输出置为 0。由于 FFT 变换后的频谱是对称的，所以，为了更清楚的观察频谱，只需显示前 257 个点。

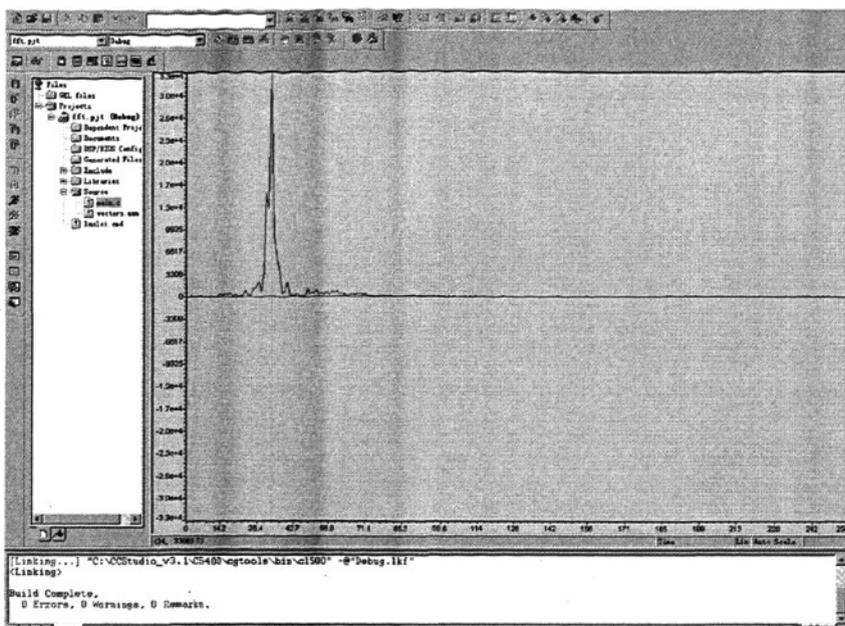


图 6.4 FFT 变换频谱图

上图显示的信号 FFT 变换频谱中可见信号能量的最大值在第 34 点，则信号频率  $f = 34 \times 20 / 512 = 1.328125\text{MHz}$ ，与输入正弦信号频率基本一致。

小波变换将时域中的信号进行频谱细化，可得平滑的平均小波谱，如图 6.5 所示。

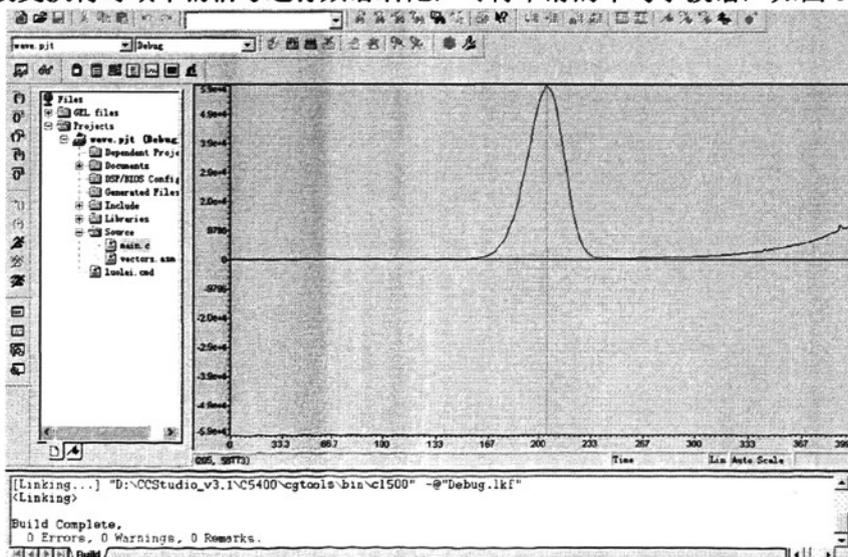


图 6.5 平均小波功率谱

图中最高点对应的尺度等级  $i = 205 + 1 = 206$ ，根据公式(5.24)可得

$$f = \frac{f_s}{a^{i+1}} = \frac{20}{(1.5^{0.03})^{206+16.9348}} = 1.3284\text{MHz}$$

与输入信号频率相符。

## 7 结束语

本论文以近程探测系统应用为背景,从理论和实际两方面,对线性调频连续波近程探测系统进行了研究,完成了基于 TMS320VC5410DSP 系统的软硬件设计与实现,结合 CCS 和 MATLAB 进行功能仿真,选用小波变换完成信号频率的检测,达到了测距的目的。本文的主要工作包括以下几点:

(1)介绍线性调频连续波近程探测系统的工作原理,差频信号与目标距离之间的线性关系,测距转化为测频。

(2)对整个系统进行深入研究,完成系统各个模块的软硬件设计与实现。为了提高采样频率,更换了 TLC5510 时钟输入(XF 换成 BCLKX0),取消了定时器中断,选用了 FIFO 缓存作为 AD 和 DSP 的接口。经过这些改进之后,采样频率提高了很多,达到 AD 芯片的最大采样频率。

(3)介绍小波变换在信号处理中的应用,对小波去噪中的阈值去噪的几种方法进行了仿真分析与对比。最终提出了另一种检测信号频率的方法,即小波系数平方累加。

由于时间和能力的限制,仍有不少工作需要深入的探索 and 进一步完善。

(1)本次设计中,AD 芯片的采样时钟选用的是多通道缓冲串口的 BCLKX0,频率高时就不是标准的方波信号了,而是类似于晶振的输出信号,这样上升沿和下降沿不明显。可以改用专用的可编程 PLL 时钟合成器,用来向 AD、FIFO 芯片提供同步时钟,而且频率可以达到上百 MHz。

(2)本次实验最终没有将该信号处理系统组装到样机中,对差频信号进行采样测试。而是利用信号源产生类似的信号进行了实验,从而验证了该系统的可行性。由于时间的限制在毕业之前未能实现上述改进和完善,希望今后有机会能继续开展这方面的研究,将其进一步完善。

(3)本次实验是在不考虑多普勒效应的情况下进行的,这不符合实际情况。若引信与目标相对运动时,被接受的信号频率比发射信号频率要高,它们之间相差一个多普勒频率  $f_d$ ,如果考虑多普勒效应,就应在原来接收信号频率上加一个  $f_d$  的频率。此时差频信号的频谱将发生变化,差频信号中存在多普勒信号,可利用多普勒信号中所含有的距离信息完成测距。

在整个设计过程中,对 DSP 和 DDS 的结构、原理以及数据采集理论有了较深的认识,对现代信号处理方法进行了全面的学习,对当前小波变换的应用和发展也进行了广泛的了解和学习。在硬件的制作过程中,查阅了大量的 DSP 相关资料,掌握了数据采集和外部存储器的应用,学到了很多知识,通过软件设计,学习了 DSP 汇编语言, C 语言和仿真调试环境 CCS,这对以后的进一步学习打下了良好的基础。

## 致 谢

值此毕业论文完成之际,首先要衷心感谢我的导师李跃华教授。我的论文撰写工作始终都是在李老师的悉心指导下完成的。在我研究生两年学习期间,李老师一直给予我精心指导和关怀,为我提供了良好的学习、实践机会。李老师敏锐的思维,踏实的工作态度,扎实的学术功底,严谨的科研作风都给了我深深的影响,让我一生受用不尽。同时也学到了许多分析问题的方法,提高了独立解决问题的能力。李老师态度和蔼,平易近人,平时与李老师朋友式的探讨和在科研实验中结下的深厚师生情谊将铭记我心。

同时,我还要感谢教研室的李兴国教授和娄国伟研究员对我的关怀,他们谦虚严谨的工作态度和平易近人的生活作风,对我的学习和生活产生了深深的影响。

感谢教研室的王虹老师,给予我许多有益的指导和帮助,在生活上也给与我很多关怀。还要感谢教研室的其他老师给了我一个良好的学习生活环境,使得论文顺利的完成。

在整个课题研究过程中,博士生罗磊给予了许多宝贵的意见和帮助,在此向他表示由衷的感谢。在研究生学习期间,硕士生张玉莹、杨青、张磊、付海龙、占文彦等人给予我很大的帮助和启发性建议,和大家共同讨论问题令我受益匪浅。

感谢身边每一位朋友对我的学习和生活的帮助,很高兴一路走来有你们的陪伴。

感谢我的父母对我的支持,感谢他们这二十多年来对我的无私关怀,在任何时候,父母给予我的都是支持与鼓励。

最后向参加论文评审和答辩的专家表示由衷地谢意。

## 参考文献

- [1] 李兴国. 毫米波近感技术及其应用. 国防工业出版社, 1991
- [2] 韩跃. 毫米波线性调频连续波雷达关键技术研究. 南京理工大学硕士论文, 2007
- [3] 崔占忠, 宋世和, 徐立新. 近炸引信原理. 北京: 北京理工大学出版社, 2005
- [4] 远坂俊昭. 测量电子电路设计. 滤波器篇: 从滤波器设计到锁相放大器的应用. 北京: 科学出版社, 2006
- [5] Texas Instruments. TMS320VC5410 Fixed-Point Digital Signal Processor. 1998~2000
- [6] Texas Instruments. TMS320C54x DSP CPU and Peripherals. Volume 1, 2000
- [7] Texas Instruments. Datasheet of TPS767D3xx. 2008
- [8] 汤继星. 基于 DSP 的直接数字频率合成(DDS)技术研究. 南京理工大学硕士论文, 2008
- [9] Texas Instruments. Datasheet of TLC5510. 1999
- [10] 温智宁, 管自新. 基于 TLC5510 的数据采集系统设计. 2008(5):22~25
- [11] 李彩, 王安, 刘勇. 8 位高速 A/D 转换器 TLC5510 的应用. 国外电子元器件, 2003(7): 59~61
- [12] CYPRESS. Datasheet of CY7C4221. 2005
- [13] Texas Instruments. Datasheet of SN74LVC16245. 1994
- [14] Silicon Storage Technology, Inc. Data Sheet of SST39LF400A. 2001
- [15] 江思敏, 姚鹏翼, 胡荣等. protel 电路设计教程. 北京: 清华大学出版社, 2002
- [16] 戴明帆, 周建江. TMS320C54x DSP 结构、原理及应用. 北京: 北京航空航天大学出版社, 2007
- [17] Analog Devices. Datasheet of AD9833. 2003
- [18] 刘国良, 廖力清, 施进平. AD9833 型高精度可编程波形发生器及其应用. 国外电子元器件, 2006(6): 44~47, 51
- [19] Texas Instruments. TMS320C54x DSP Enhanced Peripherals. Volume 5, 2000
- [20] 奉华成, 白净. TMS320C54x DSP 在线烧写 FLASH 存储器并实现自举引导的方法. 集成电路应用, 2005(7): 72~74, 77
- [21] 张勇. C/C++ 语言硬件程序设计: 基于 TMS320C5000 系列 DSP. 西安: 西安电子科技大学出版社, 2003
- [22] Texas Instruments. TMS320VC5410 Bootloader. 2006
- [23] 闻路红, 童卫旗, 陈桂林. 用 FIFO 设计 A/D 与 DSP 之间的接口. 国外电子元器件, 2004(2): 26~28

- [24] 姚天仁, 孙洪. 现代数字信号处理. 武汉: 华中科技大学出版社, 1999
- [25] 曾守帧. 小波去噪及其在信号处理中的应用. 天津大学硕士论文, 2006
- [26] 王大凯, 彭进业. 小波分析及其在信号处理中的应用. 北京: 电子工业出版社, 2005
- [27] 费双波. 小波去噪算法研究及小波硬件实现. 北京交通大学硕士论文, 2006
- [28] 郭晓霞, 杨慧中. 小波去噪中软硬阈值的一种改良折衷法. 智能系统学报, 2008(6): 222~225
- [29] 闾明, 吉海彦. 小波分析消噪及其在 Matlab 中的实现. 现代电子技术, 2003(24): 47~49
- [30] 李平, 李卫国, 王志国. 小波去噪理论及 Matlab 实现研究. 现代商贸工业, 2008(9): 399~400
- [31] 王新楼. 小波去噪方法分析与 Matlab 仿真. 工业控制计算机, 2008(6): 55-56
- [32] 汪安民, 程昱. DSP 应用开发实用子程序. 北京: 人民邮电出版社, 2006
- [33] 徐义贤, 王家映. 小波谱及其对谐波信号的刻画能力. 石油地球物理勘探, 1999(2): 22~28
- [34] 徐科军, 李永三. 基于连续小波变换的功率谱估计算法. 应用科学学报, 2003(6): 157~160
- [35] 谭朔, 郭伟. 调频连续波近程测距系统研究. 舰船电子工程, 2007(4): 95~99
- [36] 杨石玲, 刘逸平. 一种毫米波调频连续波探测器的研制. 火控雷达技术, 2007(3): 8~16
- [37] 张伟, 吴骏. 基于 DSP 的通用数字信号处理系统设计. 计算机与数字工程, 2008(2): 140~142
- [38] Vinay K.Ingle, John G.Proakis. 数字信号处理. 西安: 西安大学出版社, 2008
- [39] 李劲峰. 毫米波探测器信号处理系统设计. 南京理工大学硕士论文, 2007
- [40] 张建才. 近程探测器数据采集系统及分析软件的设计. 哈尔滨工业大学硕士论文, 2004
- [41] 江明. 单片机控制多功能信号发生器. 吉林大学硕士论文, 2004
- [42] 朱承旭. 基于 DSP 的毫米波主被动复合探测器目标识别系统设计. 南京理工大学硕士论文, 2006
- [43] 周超杰. 近程探测器信号处理系统的软硬件设计. 南京理工大学硕士论文, 2007
- [44] 薛文. DDS 任意波形发生器的设计与实现. 南京理工大学硕士论文, 2004
- [45] 王晓光. 基于 DSP 的 DDS 信号发生器. 吉林大学硕士论文, 2006
- [46] 纪震, 钟锦春, 强乐. DSP 系统入门与实践. 北京: 电子工业出版社, 2006
- [47] 郑红. TMS320C54x DSP 应用系统设计. 北京: 北京航空航天大学出版社, 2002
- [48] Texas Instruments. TMS320C54x DSP Mnemonic Instruction Set. Volume 2, 1, 2000

- [49] Texas Instruments. TMS320C54x DSP Algebraic Instruction Set. Volume 3, 2000
- [50] Texas Instruments. TMS320C54x DSP Applications Guide. Volume 4, 2000
- [51] 谭浩强. C 程序设计. 第一版. 北京: 清华大学出版社, 1991
- [52] 乔瑞萍, 崔涛, 张芳娟. TMS320C54x DSP 原理及应用. 西安: 西安电子科技大学出版社, 2005
- [53] 清源科技. TMS320C54xDSP 应用程序设计教程. 北京: 机械工业出版社, 2004
- [54] 张雄伟, 曹铁勇. DSP 芯片的原理与开发应用. 北京: 电子工业出版社, 2000
- [55] 汪安民. TMS320C54xx DSP 实用技术. 北京: 清华大学出版社, 2002
- [56] 陈金鹰. DSP 技术及应用. 北京: 机械工业出版社, 2004
- [57] 恣霖, 徐平平. 基于闪存的 DSP 并行引导装载实现. 电子技术. 2004(6): 20~23
- [58] 胡鸿豪, 李世红. 基于单片机和 DDS 的信号发生器设计. 电子元器件应用, 2006(12): 47~49
- [59] 辛胜利, 姜建国. DSP 系统存储器的合理分配及其在应用可编程. 计算机应用, 2004(12): 318~320
- [60] 刘苗. TMS320VC5402 片外存储器扩展及自举引导程序设计. 沈阳航空工业学院学报, 2006(6): 57~59
- [61] 吴宝丽, 陈健. 基于 FIFO 与电平转换器的 DSP 高速 ADC 系统. 2004(10): 25~28
- [62] 肖伸平, 窦颖艳, 曾红兵, 邹思. 基于 AD9833 信号发生器的设计. 机电产品开发与创新, 2008(3): 67~68, 73
- [63] 覃晓, 蒋荣萍. 基于 DDS 芯片 AD9833 的低频信号发生器. 大众科技, 2008(10): 29~30, 17
- [64] 胡冰山, 王旭东, 王吉涛, 吴晓刚. 基于 DSP 双通道高速数据采集卡的设计. 哈尔滨理工大学学报, 2006(6): 14~17
- [65] 肖峻, 郑燕, 莫易敏, 田径华. 基于 AD7663 和 CY7C4285V 的数据采集系统设计. 机电工程技术, 2006(6): 79~82
- [66] 雷宏江. DSP 系统的 A/D 接口设计. 仪表技术, 2005(5): 66~68
- [67] 李强, 王其申. 小波谱及其在线性调频信号检测中的应用. 量子电子学报, 2005(10): 685~689
- [68] 张勇. TMS320C5000 汇编语言程序设计. 西安: 西安电子科技出版社, 2004
- [69] Rulph Chassaing. DSP 原理及其 C 编程开发技术. 北京: 电子工业出版社, 2005
- [70] 万永革. 数字信号处理的 MATLAB 实现. 北京: 科学出版社, 2007
- [71] 邹彦. DSP 原理及其应用. 北京: 电子工业出版社, 2005
- [72] 刘慧芳. 调频连续波雷达的信号处理研究. 南京理工大学硕士论文, 2008