

一种基于 DSPs 的多路音/视频采集处理系统的设计

摘 要

图像声音采集处理技术在信息处理技术中占有非常重要的地位,它涉及工业检测、医疗设备、军事、消费电子等诸多领域。在一般场合,图像声音采集处理采用基于计算机的处理系统。而在对系统成本和体积要求较高的场合,开发基于 DSPs(数字信号处理器)的图像声音采集处理系统,并使之应用在与人们的生活密切相关的产品中,则具有很高的研究和实用价值。

本文采用了 TI 公司的数字媒体芯片 TMS320DM642,设计与开发了一种基于 DSPs 的多路音/视频采集处理系统。该系统主要技术特点为:

1、实现了实时处理 4 路模拟视频和 4 路模拟音频输入,1 路模拟视频和 1 路模拟音频信号输出的功能。

2、提出了采用双 SDRAM 作为存储图像数据的外部存储器的方法,使 CPU 采集数据和处理数据能够同时进行,提高了系统运行的效率。

3、该系统应用广泛,能够应用于视频监控、视频分割器和视频服务器中。

本文给出了系统所有用到芯片的典型应用方式,然后给出了系统的 CPU 模块、外围存储器接口模块、图像和声音采集模块、图像和声音输出模块的硬件组成和原理图。最后介绍了系统的软件组成,包括初始化模块和图像声音采集处理模块。该系统可适应 PAL/NTSC 标准复合视频 CVBS 或分量视频 Y/C 格式的模拟视频输入,可适应标准麦克风输入或立体声音频模拟输入,具有 PAL/NTSC 标准 S 端子、RGB 格式模拟视频信号的输出和标准立体声音频模拟输出。

关键词: TMS320DM642, 图像声音采集处理, PAL/NTSC 制式

A multi-video and audio collecting and processing system design based on DSPs

Abstract

The technology of image and sound collecting and processing has a very important role in information processing technology. It is involved in industry measurement, medical equipment, military and consuming electronics products areas. In general application, image and sound collecting and processing system is based on computer. But in the situations that require low cost and small volume. There will have more research value for developing image and sound collecting and processing system based on DSPs (Digital Signal Processors) and application value for embeded the system in products that related closely with people's life.

The multi-video and audio collecting and processing system is designed with digital signal processor of TI company produced TMS320DM642. The primary characteristics in this system are:

1. disposing 4 route video and 4 route audio analog input signals, 1 route video analog output signal and 1 route audio analog output signal on real time.
2. Two pieces of SDRAM are used for store video data. It make collecting and processing data working at the same time in CPU, enhanced the system efficiency.
3. This system can be used in video monitor, video division and video server.

Firstly, the typical applications are introduced of all chips used in this system. Secondly, the hardware configuration and schematic diagram were designed, included CPU module, peripheral memory interface module, video and audio collection module, video and audio output module. Lastly, the software configuration were introduced, included initialized module, video and audio collecting and processing module. This system can manage analog input signal with PAL/NTSC standard, composite video CVBS and component video Y/C. It can manage analog output signal with PAL/NTSC standard, S-video and VGA; can manage microphone or stereo analog input and stereo analog output.

Keywords: TMS320DM642, image and sound collecting and processing system, PAL/NTSC standard

插图清单

图 1-1 基于 DSPs 的音视频采集处理系统.....	2
图 2-1 系统总体设计结构框图.....	7
图 3-1 TMS320DM642 内部结构图.....	11
图 3-2 DM642 典型应用（视频监控）.....	16
图 3-3 TVP5150 的内部组成方框图.....	18
图 3-4 TVP5150 和 AIC23B 典型应用电路.....	18
图 3-5 SAA7105 内部结构图.....	20
图 3-6 SAA7105 典型应用电路.....	20
图 3-7 TLV320AIC23B 内部结构图.....	21
图 3-8 FPGA 管脚设置.....	24
图 3-9 MT48LC4M32B2 的结构图.....	25
图 3-10 4M*32bit SDRAM 典型应用电路.....	25
图 3-11 Am29LV033C 的结构图.....	26
图 3-12 8-bit Flash 典型应用电路.....	26
图 4-1 视频口内部结构.....	28
图 4-2 DM642 的视频接口输入电路.....	29
图 4-3 DM642 的视频接口输出电路.....	30
图 4-4 McASP 内部结构图.....	31
图 4-5 DM642 的音频接口电路.....	32
图 4-6 SDRAM 与 DM642 的接口电路.....	36
图 4-7 Flash 与 DM642 的接口电路.....	37
图 4-8 FPGA 接口电路.....	39
图 4-9 电源和复位电路.....	40
图 4-10 时钟电路.....	40
图 5-1 系统软件流程图.....	41
图 6-1 DM642 在视频监控中的应用.....	48
图 6-2 DM642 在视频服务器上的应用.....	50

表格清单

表 3-1	DM642 典型应用中的管脚定义	14
表 3-2	TVP5150 管脚定义	17
表 3-3	SAA7105 管脚功能定义	19
表 3-4	AIC23B 管脚定义	22
表 3-5	FPGA 管脚定义	23
表 3-6	SDRAM 管脚定义	24
表 3-7	Am29LV033C 的管脚定义	26
表 4-1	DM642 和 TVP5150 引脚定义	29
表 4-2	DM642 和 SAA7105 引脚定义	30
表 4-3	DM642 和 TLV320AIC23B 引脚定义	31
表 4-4	DM642 的地址空间表	33
表 4-5	DM642 和 SDRAM 的引脚定义	35
表 4-6	DM642 和 Flash 引脚定义	36
表 4-7	FPGA 和各个芯片引脚定义	37
表 5-1	DM642 初始化配置管脚	41
表 5-2	SDRAM 操作命令真值表	45

独创性声明

本人声明所呈交的学位论文是本人在导师指导下进行的研究工作及取得的研究成果。据我所知，除了文中特别加以标注和致谢的地方外，论文中不包含其他人已经发表或撰写过的研究成果，也不包含为获得合肥工业大学或其他教育机构的学位或证书而使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已在论文中作了明确的说明并表示谢意。

学位论文作者签名：季学锋

签字日期：2006年5月20日

学位论文版权使用授权书

本学位论文作者完全了解合肥工业大学有关保留、使用学位论文的规定，有权保留并向国家有关部门或机构送交论文的复印件和磁盘，允许论文被查阅和借阅。本人授权合肥工业大学可以将学位论文的全部或部分内 容编入有关数据库进行检索，可以采用影印、缩印或扫描等复制手段保存、汇编学位论文。

(保密的学位论文在解密后适用本授权书)

学位论文作者签名：季学锋

导师签名：王健 程学锋

签字日期：2006年5月20日

签字日期：2006年5月20日

学位论文作者毕业后去向：

工作单位：深圳市远望谷信息技术有限公司 电话：

通讯地址：

邮编：

致 谢

论文是在王建平教授和朱程辉副教授的悉心指导下完成的。从课题的选题到课题的研究都倾注了王老师和朱老师的无私教导和耐心帮助。

在我三年的研究生生涯中，无论是学习上、思想上、还是生活上，王建平教授都给予了无微不至的关怀和耐心指导。王老师严谨的治学态度、一丝不苟的敬业精神、诲人不倦的高尚师德，为我树立了做人、做事的楷模，对我今后的人生之旅将产生深远有益的影响。在即将毕业之际，谨向王老师致以最真挚的谢意！

衷心感谢朱程辉副教授，没有他对我的指导和帮助，我的论文不可能得以顺利完成。朱老师认真的工作态度、严谨细致的工作作风、以及学习生活中的热心帮助使人感动。在此向朱老师表示深深的感谢！

衷心感谢合肥工业大学智能控制研究所的王金玲老师、穆道明老师、罗国军老师、岳胜老师以及其他几位老师在课题研究过程中给予的无私帮助。

感谢秦剑、杨静、钱自托、王竹林、陈军、郭之辉、赵丽欣、藺菲、邱志刚、赵丽、黄冉等实验室同学，与你们共度这段充实而又快乐的学习时光，将是我人生中难忘的美好回忆。

感谢我的父母及家人，你们给予了我最深的爱、无限的信任和最大的鼓励。衷心感谢所有关心和帮助过我的同学和朋友！

作者：季学锋

2006年5月

第一章 绪论

1.1 概述

人眼接受的可视信息约占人类感知信息的 70% 以上，通常人眼接收的客观世界称为景象，而客观世界的存在形式表现为多种可视信息媒体，包括视频或活动图像、静止图像或图片、文本、文件、传真、动画等等。人类感知信息的另一大来源就是人耳，声音也是人类获取外界信息的重要途径之一。由于多种科技手段应用到人的社会性活动中，人的感知范围的深度和广度不断扩展，人类对外界信息接收途径的要求也越来越高。

目前，多媒体计算机在人们的生活中应用十分广泛，随着人类社会信息化程度的提高，多媒体技术和网络技术在飞速发展。音视频技术的应用，给人们的生活带来了一定的变化，人们可以实时地在家里看到听到远在千里外的事物和声音，可以通过网络与多媒体信息的结合，参加远程讨论会、远程诊断以及远程多媒体教学等。在一般场合，音视频图像采集处理技术采用基于计算机的处理系统。而在对系统成本和体积要求较高的场合，开发基于 DSPs(数字信号处理器)的音视频图像采集处理系统，并使之应用在与人们的生活密切相关的产品中，则具有很高的研究和实用价值^[1-3]。

1.2 音视频采集处理技术的研究现状与发展趋势

一般地，音视频采集处理系统通常有基于 PC 机^[2]、特殊用途集成电路 ASIC 和通用 DSPs^[3]三种。

1.2.1 基于 PC 机的音视频采集处理系统

该系统主要包括摄像机、图像声音采集卡以及 PC 机三部分组成。图像声音采集卡插在 PC 机主板的 PCI 插槽上，摄像机通过视频电缆线和图像声音采集卡相连。计算机是图像声音和视觉处理的核心，它控制着图像声音的输入和输出设备。得到原始图像声音以后对它们进行处理，以期得到我们需要的图像声音格式。最后是利用 PC 机强大的软、硬件资源和高速的处理能力对图像声音进行处理。

PC 机强大的资源优势是其它系统所不能比拟的，但是高功耗也是该系统一大弊病，另外系统体积过于庞大，这两方面就造成这种系统不太适合工业现场或者航空航天应用。因此多用于音视频采集处理系统初期的算法研究和仿真阶

段。

1.2.2 基于 ASIC 的音视频采集处理系统

我们都知道，庞大的数据计算是制约系统实时性的最主要的原因，但是随着 VLSI 技术的迅速发展，一些复杂的数字信号处理算法也可以在单片芯片上实现，这就使得以 ASIC 为核心的音视频采集处理系统能够实现。通常根据任务的不同，一个典型的音视频采集处理系统可以划分为以下几步：音频视频的采集（解码）、图像声音格式的转化、音视频的输出（编码）。在设计整个系统的时候，芯片的设计是最重要的环节。通常情况下，采集到的图像大小是固定的，而且为了能够实现实时处理，视频处理的每一个阶段都有严格的时间限制，另外图像和声音也有时间配合的问题。这一点对于 ASIC 的设计来说非常重要，因为它会影响到整个芯片的设计方法。在具体设计的时候一旦算法选定，就会固化在 ASIC 中。

利用 ASIC 实现音视频采集处理系统能够得到很高的处理速度，而且算法固化，系统比较稳定，但是设计成本高、开发时间长、算法不灵活的缺点。因此在实际的音视频采集处理系统设计中应用很少。

1.2.3 基于 DSPs 的音视频采集处理系统

DSPs 从一开始就以其低成本、高速的运算处理能力、丰富灵活的系统设计在实时数字信号处理领域得到了广泛的应用。在音视频采集处理系统中，根据应用场合的不同和实际目的的不同，系统的组成结构一般也有不同，但其大体结构如图 1-1。

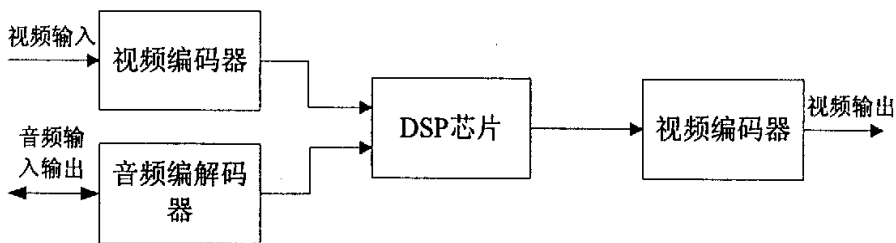


图 1-1 基于 DSPs 的音视频采集处理系统

系统分为图像声音的采集和 DSP 处理系统两大部分，包括音视频输入设备、音视频编解码器、DSPs、逻辑控制部分等。其中摄像机和音视频解码器专门用于图像和声音的采集，可编程的解码器芯片可以实现需要的大小和格式。逻辑

控制部分则是为了产生一些必要的音视频行、场同步信号和其他的一些控制信号。这样可以充分利用 DSPs 高速处理的优势，让 DSPs 集中精力进行图像和音频数据的运算。DSPs 是图像和音频处理的核心，在得到采集到的图像和音频数据后就可以开始对它们进行处理，进而得到需要的格式。

上节介绍的三种系统各有特点，PC 机处理速度很快，而且有着功能强大的操作系统的支持，各种应用软件也非常多。但缺点是价格高，体积庞大，功耗太大；ASIC（特定用途集成电路）解决了价格、体积、功耗的问题，但是缺少进行各种处理算法的灵活性；而 DSPs 系统就较好的平衡了价格、体积、功耗和灵活性。首先数字信号处理器最显著的特点就是高速处理能力，目前处理速度最高的 DSP 芯片的处理能力高达每秒 1G 次浮点运算，另外片内有硬件乘法器、移位器、多个总线、DMA 控制器等，现在的新型 DSPs 甚至在片内集成 I²C 控制内核，方便对外围音视频信号采集器件的控制。并设计了很多专门用于数字信号处理的指令，这些设计都大大的提高了运算速度。因此，采用 DSP 芯片实现的图像和声音采集处理系统是最有发展前途的方法之一。

1.3 本文的内容安排

本课题的主要内容就是搭建基于 DSPs 的多路音视频采集处理系统，在系统上实现图像和声音的采集、处理、格式的转换输出。具体的内容安排如下：

第一章：概述，介绍了音视频采集处理技术的发展及其技术现状，并介绍了三种搭建音视频采集处理系统的方法：基于 PC 机、特殊用途集成电路 ASIC 和通用 DSPs，及它们各自的优缺点。

第二章：总体设计，介绍了基于 DM642 芯片的多路音视频采集处理系统的设计原则、功能要求、芯片选型和总体设计。

第三章：系统芯片介绍，介绍了在多路音视频采集处理系统中所用到的芯片及其典型应用，包括 DSP 芯片、音视频编解码芯片、FPGA 芯片和所需的存储设备芯片 SDRAM 和 Flash。

第四章：系统的硬件设计，介绍了整个音视频采集处理系统的各个硬件模块，包括视频口模块、多通道音频串口模块、外部存储器接口模块、FPGA 模块和时钟电源复位电路模块。

第五章：系统的软件设计，介绍了系统的软件实现。包括初始化设置模块、视频数据采集读取模块和声音采集播放模块。

第六章：DSPs 的应用实例，介绍了该系统在视频监控、视频分割器和视频服务器中的应用。

第七章：结论，对本论文所做的工作进行了全面总结，并在此基础上对今后的进一步工作进行了展望。

第二章 系统总体设计

2.1 多路音视频采集处理系统设计原则和功能要求

2.1.1 多路音视频采集处理系统设计原则

从系统设计上，要求提供先进、稳定、可靠、实时音视频控制，具有较强的扩展能力和升级能力。

1) 稳定性和可靠性：稳定和可靠是系统的首要前提。在系统方案设计、设备选型、产品研发以及操作使用中，都要优先考虑提供稳定可靠的技术条件。

2) 标准性和规范性：采用国际、国家及行业标准，系统设计规范化，软件编制规范化，硬件选型规范化，产品规格规范化。

3) 实用性和先进性：采用的技术及产品，都具有先进、成熟、稳定、可靠、实用的特点。技术和产品遵循开放性原则，采用符合标准的产品，具有灵活方便连接及升级方案。

4) 可维护性和可扩展性：系统的总体结构合理，容量适度，扩展灵活，亦即系统外设配置可灵活增加，系统规模便于扩大，易于同相关产品互连。

5) 经济性：系统平台配置合理，具有良好的性能价格比。

2.1.2 多路音视频采集处理系统功能要求

多路音视频采集处理系统采用了 TI 公司最新推出的 TMS320DM642（以下简称 DM642）数字信号处理芯片，实现实时处理 4 路模拟视频和 4 路模拟音频输入，1 路模拟视频和 1 路模拟音频信号输出的功能。可适应 PAL/NTSC 标准复合视频 CVBS 或分量视频 Y/C 格式的模拟信号的输入，可适应 PAL/NTSC 标准 S 端子或 RGB、VGA 信号的输出，可适应标准麦克风或立体声音频模拟输入以及标准立体声音频模拟输出。并具有对多路采集数据进行实时处理和分析功能。

1. 视频

4 通道 PAL/NTSC 标准模拟视频输入：复合视频 CVBS 或分量视频 Y/C 格式，cif 格式（分辨率 352*288），每路 25/30 帧每秒动静态图像；

1 通道 PAL/NTSC 标准模拟视频输出：复合视频 CVBS 或分量视频 Y/C 格式，用于视频预览和测试，cif 格式（分辨率 352*288），25/30 帧每秒动静态图像。

2. 音频

4 通道标准模拟音频输入：麦克风输入或立体声输入，输入端从麦克风得到一模拟话音信号。经音频编解码器采样、量化后形成信息速率为 64kbps 的码流；

1 通道标准模拟音频输出：立体声输出，用于音频输入测试。

3. 大容量存储器 and 高速数字处理

两块 32M Bytes 的 SDRAM 用于存储图像和声音数据；一块 4M*Bytes 的 Flash，用于存放固化程序和重要数据；一块 DM642 芯片，该处理器可采用 500MHz 或 600MHz 的工作频率，每秒最多可完成 4.8G 次操作。

2.1.3 多路音视频采集处理系统的芯片选型

1、主处理芯片的选型：目前做通用 DSP 处理器的公司有 TI，ADI，飞思卡尔和 Ageer，从市场占有率来说，排名第一位的就是 TI 公司。TI 做出了世界上最快的定点 DSP，而 ADI 做出了世界上性能最高的浮点 DSP。另外，TI 公司专门推出了高性能的 C6000 系列的 DSPs 用于无线基站、视频流/视频会议、视频安防/监控和医疗成像应用中。从开发环境上来说，TI 公司的 C6000 系列的 DSPs 调试开发环境 (CCS2.0) 更加成熟，参考资料也更丰富。因此，选用 TI 公司生产的 TMS320DM642 作为数字信号处理系统的主处理芯片。

2、视频解码芯片的选型：在视频解码器方面，低端应用，可以选择 Philips 的 SAA7113 或者 TI 的 TVP5150。中端方案，可选 PHILIPS 的 SAA7114，SAA7115 及 TI 的 TVP5146，TVP5147。因此可以在 SAA7113 和 TVP5150 选择。TVP5150 的管脚有 32 个，体积比较小，SAA7113 管脚有 44 个，7113 比 5150 多 1 倍的输入端口，体积也比它大。另外 TVP5150 输出数据的格式单一 (BT656)，操作简单，属全球同类竞争产品中体积最小、功耗最低、成本最低的 NTSC/PAL/SECAM 视频解码器，其功耗仅为 115mW，并适用于监视摄像机系统、模拟移动电话电视应用和便携式视频系统应用。因此系统中的视频解码器采用 TI 的 TVP5150。

3、视频编码芯片的选型：在所有的视频编码器中 PHILIPS 公司的产品是应用的最广泛的，包括 SAA7121，SAA7125，SAA7129，SAA7105。低端应用主要有 SAA7121 和 SAA7105，其中 SAA7105 是 04 年退出的一款改进型的下一代视频编码器，支持 VGA 格式到 PAL/NTSC 格式的转换，并有一个可编程比例换算器和抗抖动滤波器。因此系统中的视频编码器采用 SAA7105。

4、音频编解码器的选型：TLV320AIC23B 是 TI 推出的高性能的立体声音频 Codec 芯片，片上包含了耳机输出放大器，并支持 MIC 和 LINE IN 两种输入方式，且对输入和输出都具有可编程增益调节。AIC23B 的模数转换 (A/D) 和数模转换 (D/A) 部件集成在芯片内部，采用了先进的 Sigma-delta 过采样技术，可以在 8K 到 96K 的频率范围内提供 16bit、20bit、24bit 和 32bit 的采样，ADC 和 DAC 的输出信噪比分别可以达到 90dB 和 100dB。与此同时，AIC23 还具有 very 低的能

耗，回放模式下功率仅为 23mW，省电模式下更是小于 15uW。因此系统中的音频编解码器采用 TI 公司的 AIC23B。

2.2 多路音视频采集处理系统关键技术分析

2.2.1 图像和声音的采集处理技术

由于 DM642 芯片具有很高的速度，因此如何处理好音视频信号的实时采集与处理显示是关键。在本论文中在 DM642 片外扩展了两块 4M*32bit 的 SDRAM，在系统工作的任一时刻，一块用于图像的采集，采集部分向该存储区写图像数据；另一块用于外部对图像数据的读取，DSPs 可以读取该存储区中的图像数据。

2.2.2 存储空间的分配

DM642 存储空间映射包括两个部分：统一的 4G*8-bit 物理空间和外部存储接口。外部存储接口包含：64-bit 数据总线 D[63:0]；20-bit 地址总线 A[22:3]；8 根字节使能 BE[7:0]；读/写控制 ARE/SDCAS/SADS、AOE/SDRAS/SOE、AWE/SDWE/SWE；4 个存储空间 CE[3:0]；接口多种存储器类型，异步存储器、静态同步存储器、动态同步存储器等；支持多种数据宽度访问，8/16/32/64-bit 访问；每个存储空间可通过全局存储控制器和 CEx 存储器控制、SDRAM 控制器对存储器接口类型和访问时序进行配置。

在本文中使用了 SDRAM 和 Flash 等外扩资源，因此如何进行存储空间的分配也是使系统能更有效运行的重要因素之一。

2.2.3 芯片供电的配合问题

由于 DSP 需要两种电压，所以要考虑供电系统的配合问题。加电过程中，应当保证内核电源先上电，或者与 I/O 电源一起加电。关电源时，先关闭 I/O 电源，再关闭内核电源。讲究供电次序的原因在于：如果仅 CPU 内核获得供电，周边 I/O 没有供电，对芯片不会产生损害，只是没有输入/输出能力而已。如果反过来，周边 I/O 得到供电而 CPU 内核没有加电，那么芯片缓冲/驱动部分的晶体管将在一个未知状态下工作，这是非常危险的。

2.3 多路音视频采集处理系统总体设计方案

根据以上功能指标的要求，经过广泛深入的分析研究和方案论证，系统结构规划如图2-1所示。

该系统包括图像采集和预处理单元、数据处理单元、同步控制单元、图像编码单元和音频采集输出单元。

1) 图像采集和预处理单元主要负责图像信号的输入，具有多路信号复用功能，对输入的模拟视频信号进行了数字化以及格式的转变。

2) 数据处理单元采用 DM642，负责高速的数据处理和分析。

3) FPGA 负责系统的逻辑控制和图像数据的流向，并且可以对 DM642 输出的图像数据进行加工，进而输出到图像编码单元。

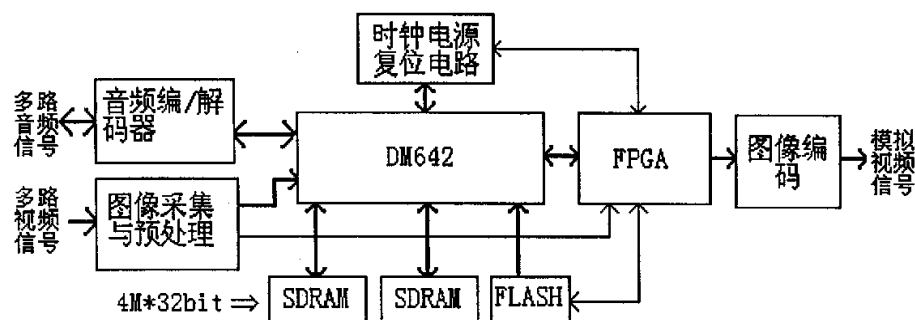


图 2-1 系统总体设计结构框图

4) 图像编码单元对图像数据进行编码，形成标准的模拟视频信号，可以直接输出到显示设备上，如电视机、VGA 显示器。

5) 音频采集输出单元用于对声音信号进行采集，进而输入到 DSP 芯片当中，最后通过编码器输出。

第三章 系统芯片介绍

在多路音视频采集处理系统中，各个单元都要用到不同的芯片，如：图像采集和预处理单元用到的是视频解码器；数据处理单元中用到的是 DSP 芯片 DM642；同步控制信号单元中用到的是 FPGA；图像编码单元中用到的是视频编码器；音频采集输出单元中用到的是音频编/解码器。本章将对这些元器件进行详细的介绍。

3.1 DSP 芯片

自从 20 世纪 80 年代初期第一片数字信号处理器芯片(digital signal processors, 简称 DSPs)问世以来, DSPs 就以数字器件特有的稳定性, 可重复性, 可大规模集成, 特别是可编程性和易于实现自适应处理特点, 给数字信号处理(digital signal processing, 简称 DSP)的发展带来了巨大机遇, 并使得信号处理手段更灵活, 功能更复杂, 应用领域也拓展到国民经济生活的各个方面。近年来, 由于半导体制造工艺的发展和计算机体系结构等方面的改进, DSP 芯片的功能越来越强大, 这使得信号处理研究的重点在很大程度上可以放在软件算法上, 而不用像过去那样需要过多地考虑硬件实现。而且随着 DSPs 运算速度的提高, 能够实时处理的信号带宽也大大增加, 数字信号处理的研究重点也由最初的非实时应用转向了高速实时应用。

3.1.1 DSP 芯片概述^[3]

在 DSPs 出现之前, 实时信号处理一般是用通用 CPU(8086, 80286 等)完成的。由于集成电路制造工艺不断提高, 20 世纪 80 年代初出现了集成在单个芯片上的数字信号处理器, 简称 DSPs。第一代 DSPs 以 AMD2900、NEC7720 和 TMS32010 为代表。其中 TI 公司的 TMS32010 第一次使用了哈佛总线结构和硬件乘法器。

由于开发工具的问题, 最初的 DSPs 开发非常困难, 要设计并实现一个基于 DSPs 的系统是一个专业性很强的工作。美国 TI 公司给 DSPs 引入许多通用计算机微处理器特点, 并为其产品开发了汇编语言和 c 语言代码产生工具以及各种软硬件调试工具, 使得 DSPs 的开发难度大大降低, DSPs 在 20 世纪 80 年代末和 90 年代初进入了快速发展的时期。现在 TI 公司的 DSPs 包括了定点、浮点、多处理器三个类型的产品, 每个类型又有不同性能和价格的具体系列可以供用户选择。

DSPs 按照所支持的数据类型不向分为定点产品和浮点产品两大类。

定点 DSPs 进行算术操作时,使用的是小数点位置固定的有符号数或无符号数。

浮点 DSPs 进行算术操作时,使用的是带有指数的小数,小数点的位置随着具体数据的不同进行浮动。

定点器件在硬件结构上比浮点器件简单,具有价格低、速度快的特点,因而用得最多;而浮点器件的优点是精度高,不需要进行定标和考虑有限字长效应,但是其成本、功耗相对较高,速度较慢,适合于对数据动态范围和精度要求高的特殊应用。

除了定点和浮点的划分外,各个 DSPs 厂家还根据 DSPs 的 CPU 结构和性能,把自己的产品划分了不同系列。如 TI 公司的定点系列 DSPs 有 C20x, C24x, C5x, C54x, C62xx, C64xx; 浮点系列 DSPs 有 C3x, C4x, C67xx。不同系列 DSPs 的 CPU 结构不同,性能和价格也有很大的差异。

在同一系列的 DSPs 产品中还划分有很多个具体型号。各个具体型号的 CPU 结构完全相同,差别之处只在于 DSPs 片内存储器和外设接口的配置不同。如 TI 公司的 C5x 系列中的 C50 和 C52,它们的 CPU 结构完全相同,不同之处在于 C50 的片内 ROM 为 2K 字,片内 RAM 为 10K 字,具有标准串口和 TDM 串口各一个;而 C52 的片内 ROM 为 4K 字,片内 RAM 为 1K 字,只有一个标准串口。同一系列不同型号产品具有丰富多样的外设接口和存储器配置,在不同的应用场合可以最大程度减少 DSPs 的外围器件,缩小电路板面积,从而提高系统性价比。

3.1.2 DSP 芯片特点

1. 功能特点

数字信号处理任务通常需要完成大量的实时计算,如在 DSP 中常用的 FIR 滤波和 FFT 算法。数字信号处理中的数据操作具有高度重复的特点,特别是乘加和操作 $Y=A*B+C$ 在滤波、卷积和 FFT 等常见 DSP 算法中用得最多。DSPs 在很大程度上就是针对上述运算特点设计的。与通用微处理器相比,DSPs 在寻址和计算能力等方面作了扩充和增强。在相同的时钟频率和芯片集成度下,DSPs 完成 FFT 算法的速度比通用微处理器要快 2~3 个数量级(如对于 1024 点的 FFT 算法,时钟相同、集成度相仿的 EBM PC/AT-386 和 TMS320C30,运算时间分别为 0.3 秒和 1.5 毫秒,速度相差 200 倍)^[3]。

2. 结构特点

传统计算机采用最简单的冯·诺依曼(Von Neuman)结构,即程序指令和数据共用一个存储空间和单一的地址和数据总线。处理器要执行任何指令时,都要先从存储器中取出指令,解码,再取操作数,执行运算,即使单条指令也要耗费几个甚至几十个周期。

所有的数字信号处理器都采用哈佛(Harvard)结构,哈佛结构是不同于传统的冯·诺依曼(Von Neuman)结构的并行体系结构。其主要特点是将程序和数据存储在不同的存储空间中,即程序存储器和数据存储器是两个相互独立的存储器,每个存储器独立编址,独立访问,即程序指令和数据的存取空间分开,各有自己的程序总线 and 数据总线。这样处理器可以同时处理数据和程序,大大地提高了处理器的处理能力。为了更好地适应数字信号处理,许多厂家对哈佛结构做了改进,采用三条总线即一条程序总线和两条数据总线,原因是多数数字信号处理操作只需要两个操作数。

与哈佛结构相似,DSP 芯片广泛采用流水线以减少指令执行时间,从而增强了处理器的处理能力。

流水线处理器是由一系列叫做片断或部分的处理电路组成的。操作数流经过每个片断,即每个片断对操作数进行部分处理。操作数经过所有片断后才能得到最后结果。流水线操作即把一条指令分成一系列步骤来完成,不同步骤完成不同的任务。一条指令只有经过所有步骤才能得到结果。这些步骤可以独立进行,这样就可以实现多条指令在不同的步骤上重叠运行,从而加快运行速度。

另外 DSPs 芯片中还设计了一个特殊的硬件算术单元——地址产生器和硬件乘法器,这就大大加快了处理器的处理速度^[4]。

3.1.3 性能指标

DSPs 的综合性能指标除了与芯片的处理能力直接相关外,还与 DSPs 的片内、片外数据传输能力有关。DSPs 的数据处理能力通常用 DSPs 的处理速度来衡量;数据传输能力用内部总线和外部总线的配置,以及总线或 I/O 口的数据吞吐率来衡量^[3]。

以下是衡量 DSPs 处理性能的一些常用指标。

- MFLOPs: 百万次浮点操作/秒。其中浮点操作包括浮点乘法、加法、减法、存储等操作。MFLOPs 是表征浮点 DSP 芯片处理性能的重要指标。用户选用 DSP 芯片时要注意厂家提供的通常是峰值指标,因此系统设计时要留一定裕量。TMS320C67xx 可以达到 1GFLOPS 的峰值性能。
- MOPS: 百万次操作/秒。这里的操作,除了包括 CPU 的操作外,还包括地址计算、DMA 访问、数据传输、I/O 操作等。MOPS 可以对 DSP 芯片的综合性能进行描述。200MHz 时钟的 TMS320C6201 峰值性能可以达到 2400MOPS。
- MIPS: 百万条指令/秒。300MHz 时钟的 C6203 峰值性能可以达到 2400MIPs。

3.2 DM642 功能介绍^{[5][6]}

DM642 是 TI 公司最新推出的一款针对多媒体处理领域应用的 DSPs，它是在 C64x 的基础上，增加了很多外围设备和接口。该 DSPs 为 548 脚 BGA 封装，高度集成化。结构图如下：

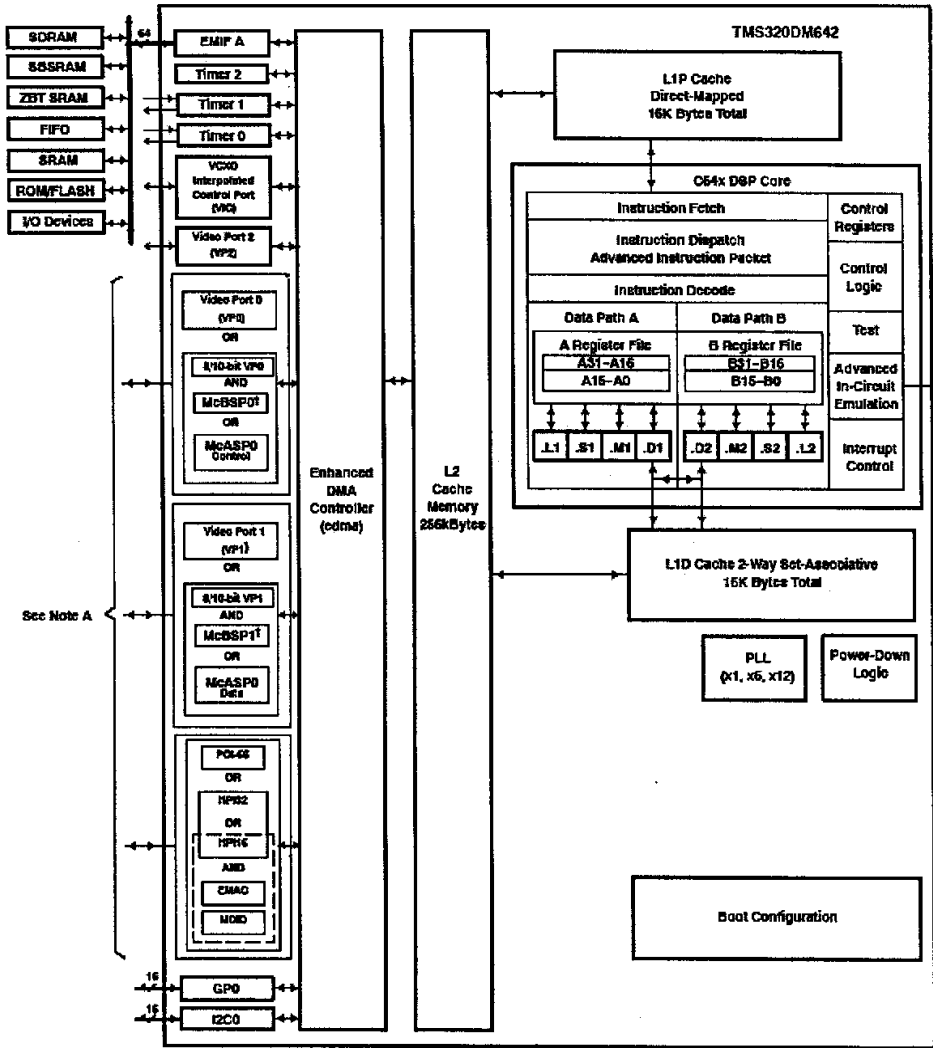


图 3-1 TMS320DM642 内部结构图

主要外围设备包括：

- 三个可配置的视频接口，可以和视频输入、输出或传输流输入无缝连接；
- 数据管理输入输出模块（MDIO）；
- 多通道音频串行端口（McASP）；

- VCXO 内插控制端口 (VIC);
- 10/100Mbps 以太网口 (EMAC);
- I²C 总线模块;
- 两个多通道有缓存的串口 (McBSPs);
- 三个 32-bit 通用定时器;
- 用户可配置的 16-bit 的主端口接口 (HPI16/HPI32);
- 6Mhz32-bit 的 PCI 接口;
- 通用 I/O 端口 (GPIO);
- 64-bit 的外部存储器接口, 支持和同步或异步存储单元的连接。

3.2.1 DM642 的 CPU 单元

DM642 基于 C64x 的 CPU, 这是 C6000 系列 DSPs 的一个部分。为了满足视频和图像处理的需要, 该系列 DSPs 采用 VelociTI 体系结构。该 DSPs 还采用高级超长指令字结构, 使得在一个指令周期能够并行处理多条指令。

DM642 CPU 的组成部分: 两个通用寄存器组 (A 和 B, 各 32 个 32-bit 通用寄存器); 8 个功能单元 (L1,L2,S1,S2,M1,M2,D1,D2); 两个从内存读数据的数据通道 (LD1 和 LD2); 两个些内存的数据通道 (ST1 和 ST2); 两个数据地址通道 (DA1 和 DA2); 两个寄存器组数据交叉通道 (1X 和 2X)。

3.2.2 DM642 的视频端口

视频接口外设能够运行在视频捕获, 视频输出或者 TSI 捕获等方式下。它能提供以下功能。

- 视频捕获模式:
 - 捕获速率到达 80MHz;
 - 两路 8/10-bit 数字视频输入, 数字视频为 YUV422 格式, 有 8bit 或者 10bit 精度;
 - 一路 Y/C16/20-bit 数字视频输入, 为 YUV422 格式, 支持 SMPTE260M, SMPTE274M, SMPTE296M, ITU-BT1120 等标准;
 - YUV422 到 YUV420 水平转换, 以及 8-bit YUV422 模式下的亚采样能够同时两路 10-bit 或一路 20-bit 原始视频通过 A/D 转换器直连。
- 视频显示模式:
 - 显示速率能达到 110MHz;
 - 一路连续视频输出, 数字视频输出为 YUV422 格式, 8/10-bit 精度;
 - 一路连续 Y/C16/20-bit 数字视频输出, YUV422 格式;

YUV420 到 YUV422 格式转换, 在 8-bit YUV422 模式下, 输出 2 倍插值能产生行同步, 场同步信号和消隐信号。

- 传输流接口(TSI)捕获模式:

传输流接口能以 8-bit 并行, 最大 30Mb/s 的速率接受数据;

传输流接口捕获模式捕获 MPEG-2 传输数据。传输流中将音频, 视频, 数据程序流全部复合成一个传输流。MPEG-4 传输流使用定长的数据包, 在分配信道容量给音频, 视频及数据服务方面有较高的灵活性;

支持同步检测;

数据捕获在时钟上升沿来临的时候;

并行数据接收;

使用硬件计数器机制为到来包数据打时间戳;

纠错机制。

3.2.3 DM642 的音频端口

DM642 的多路音频串口功能是用多路音频应用, 而对通用音频串口进行了优化。McASP 使用 IIS 协议, 也支持 DIT 协议。McASP 包括发射与接收两部分, 它们可以使用不同时钟, 不同传输模式, 工作完全独立。发射和接收能够工作在同步状态, 此外, McASP 的管脚能被配置成通用 I/O 管脚。

McASP 使用相当灵活, 能够和音频模数转换(ADC), 数模转换(DAC), 编码器, 数字音频接口接收器(DIR)等无缝直连。例如 DIR 接收, 一个 DIR 接收器集成电路需要使用 IIS 输出格式, 并且和 McASP 接受部分相连。

McASP 的特点包括: 两个独立的时钟(发射和接收); 8 个串行数据针, 独立可分配。

每个时钟包括: 可编程的时钟生成器; 可编程的帧同步生成器; 支持时隙大小包括 8/12/16/20/24/28/32bits。

集成数字音频接口发射器(DIT)支持: SPDIF, IEC60958-1, AES-3 格式; 最大 8 个发射管脚; 增强的通路状态/用户数据内存; 检错纠错机制。

3.2.4 DM642 其他外设

- 扩展内存接口 EMIF

DM642 的 EMIF 是 64-bit, 和同步内存高速直连, 最大总线速度为 133MHz。EMIF 有四个片使能, 能够支持 64-bit, 32-bit, 16-bit, 8-bit 的外部器件。EMIF 有三个内存控制器: SDRAM 控制器支持 16Mb-256Mb SDRAM 器件; 可编程同

步控制器提供和各种同步存储设备的直连；可编程异步控制器提供同异步存储设备的直连。

- 主端口接口 HPI

32-bit 的 HPI 提供和多种工业标准的主处理器或 PCI 桥芯片相连。HPI 能够运行在 32-bit 或 16-bit 模式下。此外 HPI 能作为从端口，使得主设备通过它访问 DSP。通过 HPI，主控制器能够访问 DSP 的整个内存空间。

- PCI

32-bit 的 HPI 被复合成 PCI 端口。总线频率 66MHz。

- 多路缓存串口 McBSP

McBSPs 能够和多种标准的端口相连，McBSPs 是一种同步串口。

- 通用 I/O 端口 GPIO

GPIO 提供通用 I/O 端口支持，当配置成输出，用户能控制驱动状态为输出，当配置成输入，用户能检测到状态为输入。总共有 16 个 GPIO 管脚，其中有一些被其他器件复用。此外，GPIO 外设能够在不同中断/事件生成模式下产生 CPU 中断及 EDMA 的事件。

3.2.5 DM642 的典型应用

通过不同的管脚组合，DM642 可以应用于视频监控、可视 IP 电话和机顶盒，图中各个管脚的定义见表 3-1。EMIFA 的 4 个扩展内存空间 CE0-CE3 大小都是 256M-byte，可以外扩的存储器最大为 256M-byte。

表 3-1 DM642 典型应用中的管脚定义

管脚	功能
EMIFA	
AED[63:0]	EMIFA 数据管脚
AECLKIN	EMIFA 外部输入时钟
AARDY	异步存储器输入准备信号
/AHOLD	从主机到 EMIFA 的保持请求
AEA[22:3]	EMIFA 地址管脚
/ACE[3:0]	EMIFA 存储器空间使能
/ABE[7:0]	EMIFA 字节使能控制
AECLKOUT1	EMIFA 输出时钟 1
AECLKOUT2	EMIFA 输出时钟 2
ASDCKE	EMIFA SDRAM 时钟使能（用于自刷新模式）
/ASOE3	EMIFA 异步存储器输出使能（FIFO 无缝接口）
/APDT	EMIFA 外围数据传递，允许直接在外部设备之间传递
/AHOLDA	EMIFA 到主机的保持请求
ABUSREQ	EMIFA 总线请求输出

/AARE//ASDCAS/ /ASADS//ASRE	EMIFA 异步存储器读使能/SDRAM 列地址选通/可编程同步接口地址选择或读使能
/AAOE//ASDRAS/ /ASOE	EMIFA 异步存储器输出使能/SDRAM 行地址选通/可编程异步接口输出使能
/AAWE//ASDWE/ /ASWE	EMIFA 异步存储器写使能/SDRAM 写使能/可编程异步接口写使能
HPI	
HD[15:0]	主机端数据线
/HRDY	从 DSP 到主机端的准备好信号
/HINT	从 DSP 到主机端的主中断
HCNTL0、1	主机控制：控制器、地址或数据寄存器
HHWIL	主机半字选择
/HAS	主机地址选通
HR//W	主机读写选择
/HCS	主机芯片选择
/HDS1	主机数据选通 1
/HDS2	主机数据选通 2
Clock and System	
CLKIN	时钟输入
CLKMODE0、1	时钟模式选择
CLKOUT4	1/4 的芯片主时钟输出
CLKOUT6	1/6 的芯片主时钟输出
PLLV	PLL 电源管脚
EMAC	
MTXD[3:0]	发送数据
MTXEN	数据传递使能信号
MRXD[3:0]	接收数据
MRXER	指示接收到的数据是否有错误
MRXDV	指示有效的数据是否收到
MCOL	指示网络是否冲突
MCRS	指示帧载波信号是否收到
MTCLK	传送时钟源
MRCLK	接收时钟源
MDIO	
MDIO	MDIO 串口数据输入输出
MDCLK	MDIO 串口时钟输入输出
TIMERn (n=0,1)	
TINPn	定时器或通用输入
TOUTn/LENDIAN	定时器输出
VPn(n=0,1,2)	
STCLK	视频端口的硬件计数器驱动管脚
VPnCLK[1:0]	VPn[1:0]时钟管脚
VPnCTL[2:0]	VPn[2:0]控制管脚

VPnD[19:0]	VPn 数据 I/O
GP0 and EXT_INT	
GP0[15:9,3:0]	通用输入输出和外部中断选择
GP0[7:4]	
I ² C0	
SCL0	I ² C0 时钟管脚
SDA0	I ² C0 数据管脚
VIC	
VDAC/GP0[8]/PCI66	VIC 单字节的数模转换器输出/通用输入输出管脚 8/PCI 频率选择

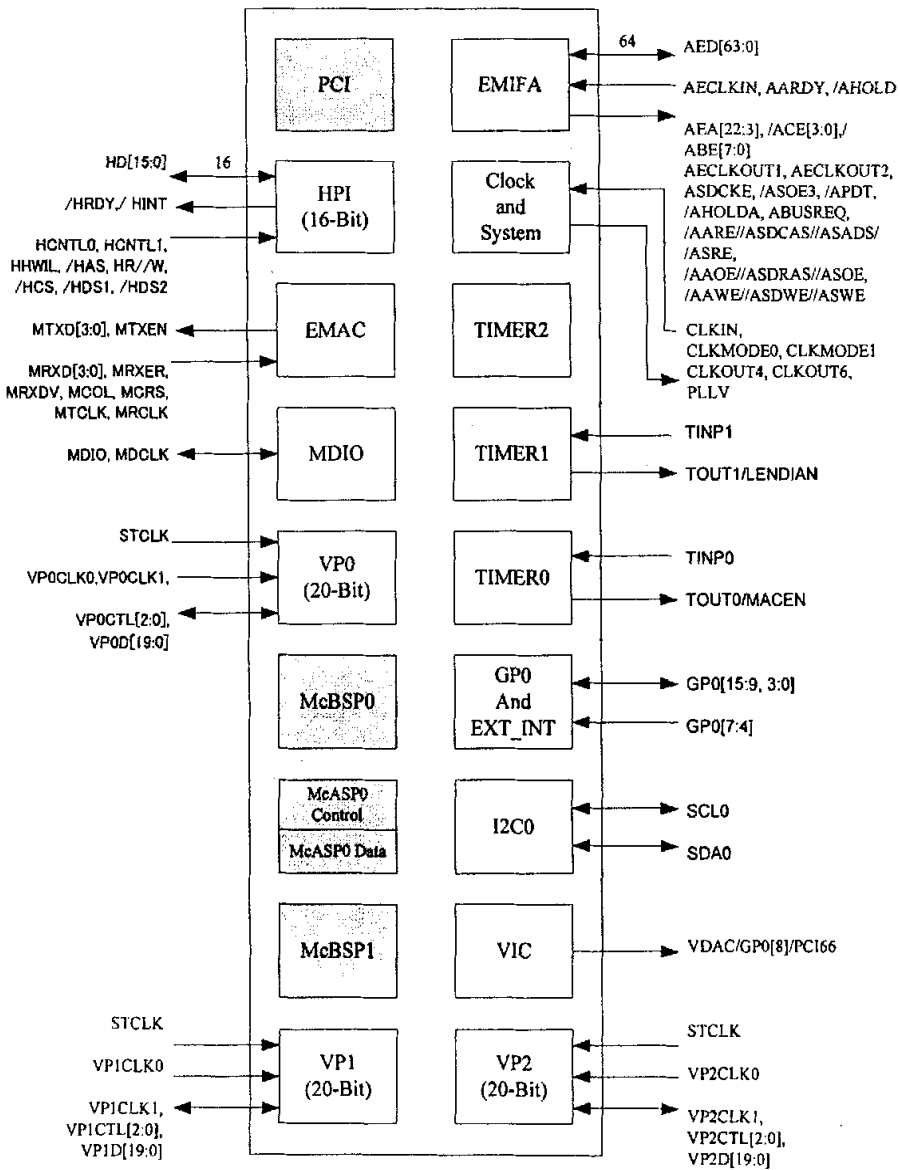


图 3-2 DM642 典型应用 (视频监控)

(3 20-Bit Video Ports + HPI + EMAC + MDIO + I2C0 + EMIF + 3 Timers)
 PERCFG 寄存器值: 0x0000 0078; 外部管脚: PCI_EN = 0; GP0[3]/PCIEEAI = 0;
 HD5 = 0; TOUT0/MAC_EN = 1; 图中阴影部分为该应用中没有用到的部分,
 STCLK 管脚支持所有的 3 个视频口(VP2, VP1, and VP0)。

在可视 IP 电话应用中,需要用到的模块包括 2 10-Bit Video Ports、2 McBSPs、
 EMAC、MDIO、I2C0 和 EMIF。在机顶盒应用中,需要用到的模块包括 2 10-Bit
 Video Ports、1McASP0、VIC、I2C0 和 EMIF。

3.3 视频编解码芯片

3.3.1 视频解码芯片^[7]

TVP5150 是 TI 公司的高性能混合信号视频解码器,可将基带模拟 NTSC、
 PAL 及 SECAM 视频信号转换为数字分量视频信号,通过 I²C 可编程总线进行
 控制和 8 位并行总线进行数据的传输。TVP5150 支持两个复合端子或一个 S
 端子输入,可输出 ITU-R BT.656, 并支持 Macrovision 复制保护以及高级的
 VBI 功能,可支持诸如视频采集设备及便携式个人摄像机等新产品。它在正常
 工作时的功耗仅为 115 毫瓦 (mW), 并具有业界最小尺寸的 32 引脚超薄四
 方扁平封装 (TQFP)。TVP5150 的应用范围非常广泛,其中包括: PDA、桌上
 型电脑、笔记本电脑、手机、MPEG4 视频播放器以及基于 USB 的视频设备等。
 内部结构见图 3-3, TVP5150 典型应用电路如图 3-4。

表 3-2 TVP5150 管脚定义

管脚	功能
VI_1A	模拟输入
VI_1B	模拟输入
YUV 656 [7:0]	ITU-R BT 656 输出
SCL	I2C 串口时钟
SDATA	I2C 串口数据
XTAL1	晶振输入输出
XTAL2	
PCLK	系统时钟输出 (像素时钟的两倍频)
GLCO	带 PLL 信息的输出引脚
FID	奇偶场或垂直锁定指示
PALI	PAL 行或水平锁定指示
GPCL	通用控制逻辑
RSTINB	芯片信息管脚

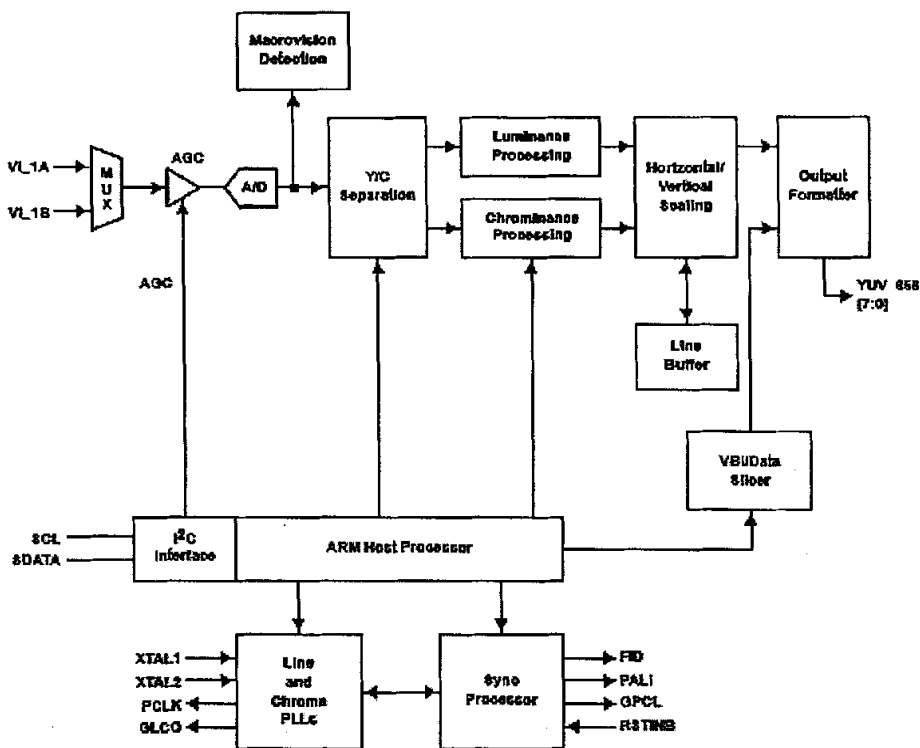


图 3-3 TVP5150 的内部组成方框图

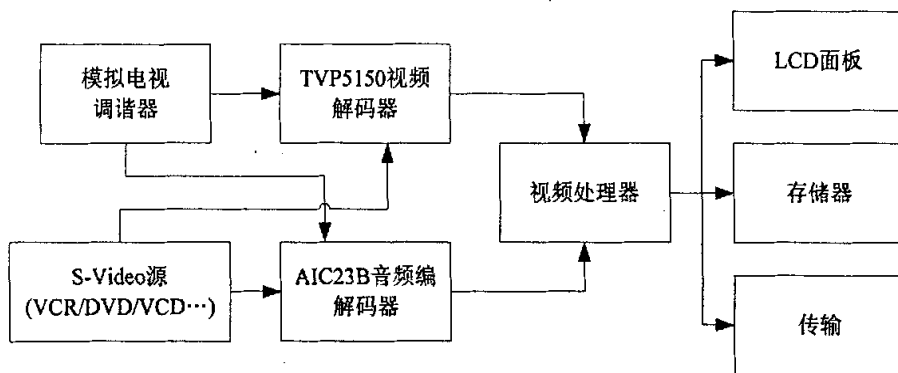


图 3-4 TVP5150 和 AIC23B 典型应用电路

3.3.2 视频编码芯片^[8]

视频解码器采用 SAA7105，它是 PHILIPS 公司推出的一款视频编码芯片。它是集成数字 CCIR-601 标准信号到 PAL/NTSC 视频编码器 (Integrated Digital CCIR-601 to PAL/NTSC Video Encoder)，能够兼容 CCIR-601/6-5 YCrCb 信号到 PAL/NTSC 的编码，同时实现数模转换。32 位的直接数字合成彩色副载波。可

编程亮度信号滤波器、垂直消隐间隔 (VBI)、副载波频率及相位、亮度延迟。可编程输出信号制式有复合视频、分量视频 S-VHSY/C/RGB/YUV 模拟输出；视频输入数据端口支持 CCIR-656 4:2:2 8-bit 并行输入格式，4:2:2 16-bit 并行输出格式。它支持 VGA 输出，在 50Hz 或 60Hz 的帧率下，可输出 PAL/NTSC 格式的视频图像，其分辨率可达 1024*768，也可输出 HDTV 格式的图像，分辨率可达 1920*1080。SAA7105 具有 3 个 10-bit 的数模转换器，并且具有速率达 400KHz 的 I²C 总线控制接口。所有与该编码器连接的输入信号的接口都被设计成低电压模式，电压介于 1.1~3.6 之间。图 3-5 是 SAA7105 的内部结构图，典型应用电路如图 3-6。

表 3-3 SAA7105 管脚功能定义

管脚	功能
PD[11:0]	数据线
XTALI	晶振输入
XTALO	晶振输出
DUMP/RSET	DAC 参考引脚
TTX_SRES	广播输入或同步复位输入
TTXRQ_XCLKO2	广播请求输出或晶振 13.5MHz 时钟输出
BLUE_CB_CVBS	模拟输出 (蓝色或 C _B 或 CVBS)
GREEN_VBS_CVBS	模拟输出 (绿色或 VBS 或 CVBS)
RED_CR_C_CVBS	模拟输出 (红色或 C _R 或 C 或 CVBS)
/RESET	复位输入引脚
VSM	垂直同步输出 (监视器)
HSM_CSUNC	水平同步输出 (监视器)
SCL	I2C 总线连续时钟输入
HSVGC	水平同步输出 (VGC 可选)
VSVGC	垂直同步输出 (VGC 可选)
PIXCLKI	像素时钟输入
FSVGC	帧同步输出 (VGC 可选)
SDA	I2C 总线连续数据输入/输出
/CBO	复合消隐输出 (VGC)
PIXCLKO	像素时钟输出 (VGC)

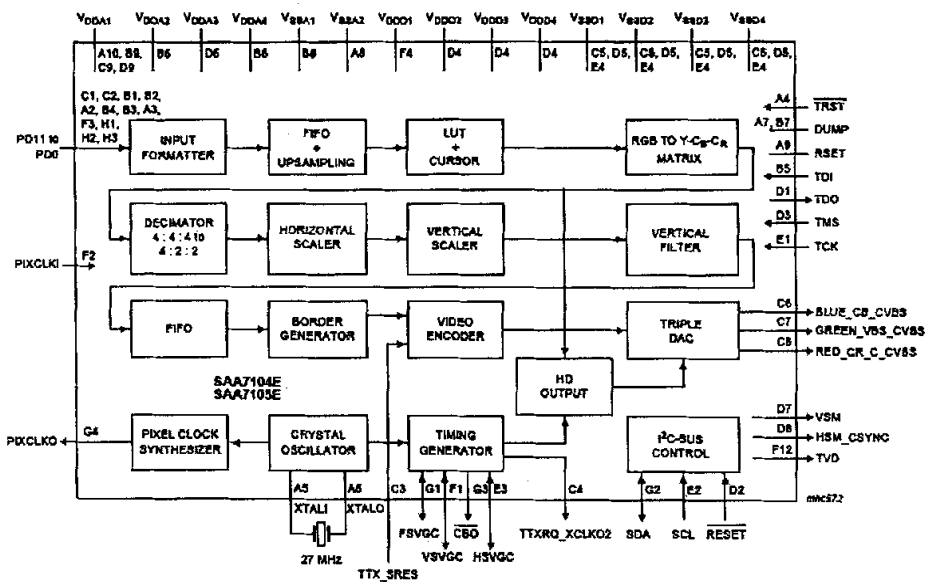


图 3-5 SAA7105 内部结构图

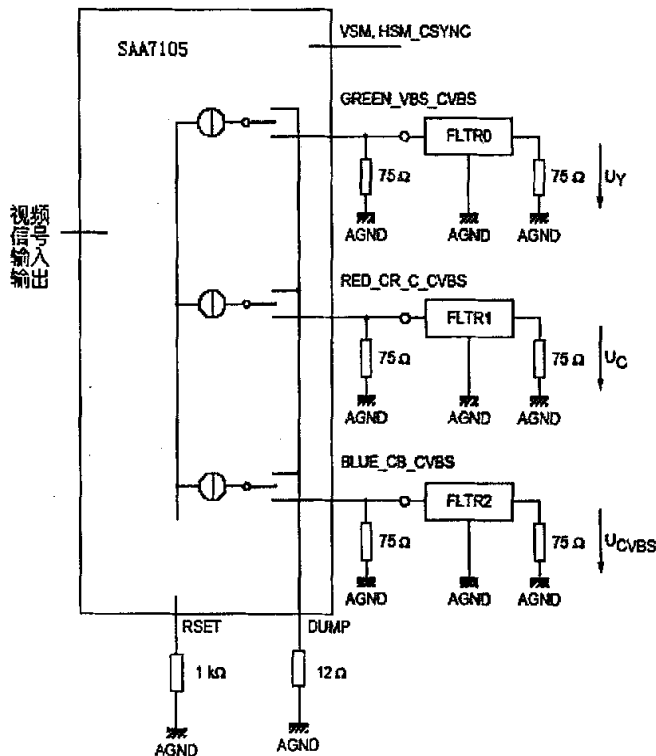


图 3-6 SAA7105 典型应用电路

3.4 音频编解码芯片^[9]

音频编解码芯片采用 TI 公司生产的 TLV320AIC23B, 它是 TI 推出的一款高性能的立体声音频 Codec 芯片, 内置耳机输出放大器, 支持 MIC 和 LINE IN 两种输入方式(二选一), 且对输入和输出都具有可编程增益调节。TLV320AIC23B 的模数转换(ADCs)和数模转换(DACs)部件高度集成在芯片内部, 采用了先进的 Sigma-delta 过采样技术, 可以在 8K 到 96K 的频率范围内提供 16bit、

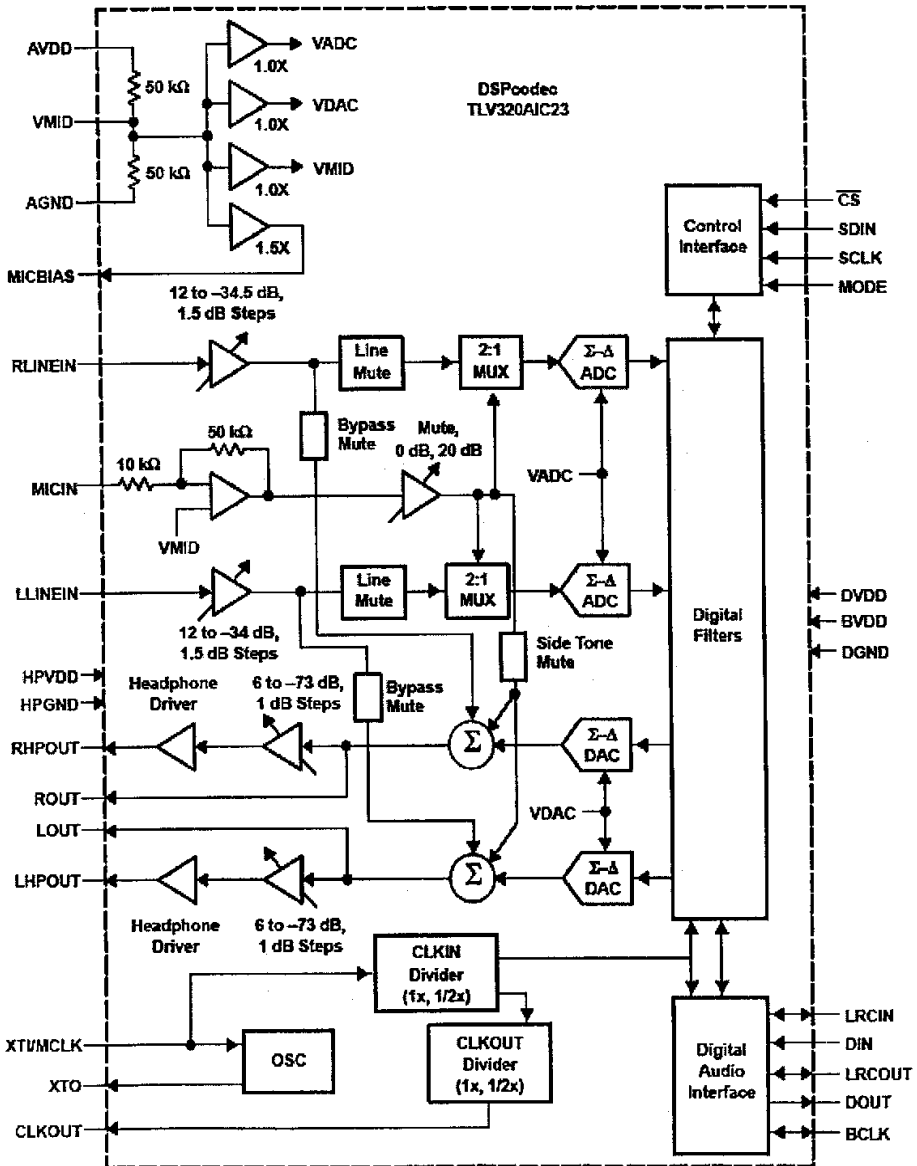


图 3-7 TLV320AIC23B 内部结构图

20bit、24bit 和 32bit 的采样，ADC 和 DAC 的输出信噪比分别可以达到 90dB 和 100dB。与此同时，TLV320AIC23B 还具有很低的能耗，回放模式下功率仅为 23mW，省电模式下更是小于 15uW。

由于具有上述优点，使得 AIC23B 是一款非常理想的音频模拟 I/O 器件，可以很好的应用在随声听（如 CD，MP4 等）、录音机等数字音频领域。AIC23B 的管脚和内部结构见框图 3-7，典型应用电路如图 3-4。

表 3-4 AIC23B 管脚定义

管脚	功能
AGND	模拟地
AVDD	模拟供电输入
BCLK	I2S 连续位时钟
BVDD	缓冲器供电输入
CLKOUT	时钟输出
/CS	控制口输入选择
DIN	I2S 数据流格式输入
DGND	数字地
DOUT	I2S 数据流格式输出
DVDD	数字供电输入
HPGND	模拟耳机扩音器地信号
HPVDD	模拟耳机扩音器供电输入
L/RHPOUT	左/右立体声混和通道耳机扩音器输出
L/RLINEIN	左/右立体声输入通道
L/ROUT	左/右立体声混和输出通道
LRCIN	I2S DAC 字时钟
LRCOUT	I2S ADC 字时钟
MICBIAS	缓冲器低噪声电压输出
MICIN	扩音器缓冲输入
MODE	串口模式输入
SCLK	控制口连续数据时钟
SDIN	控制口连续数据输入
XTI/MCLK	晶振输入或外部时钟输入
XTO	晶振输出

3.5 同步控制芯片^[10]

本系统的同步控制部分采用FPGA（field programmable gate array）来控制，实现视频增强、OSD功能和一些连接。由于FPGA芯片具有高速、高可靠性、开发周期短的特点，并且可以根据现场的需要进行编程、可擦写多次，因而具有极大的方便性。随着现代工业的提高，芯片加工的成本有了极大的降低，可靠

性也有保证，芯片的大小和功耗都有极大的降低，特别是3.3V的FPGA是现在厂商主推的产品，并且有继续降低的趋势。现代高技术的发展使得FPGA应用于电子设计中成为可能和必然趋势。本文中采用Xilinx公司生产的型号为XC2S300E-6PQ208C的FPGA。图3-8为FPGA的管脚设置。

表 3-5 FPGA 管脚定义

FPGA	输入输出类型	功能描述
/RESET	I	异步系统复位引脚
/FLASH_PAGE[2:0]	O	FLASH分页引脚
GPIO[7:0]	I/O	通用I/O引脚
/DC_EMIF_OE	O	EMIF数据总线收发器的输出使能引脚
DC_EMIF_DIR	O	EMIF数据总线收发器方向控制引脚
EXTINT6	O	DM642的外部中断
EXTINT7	O	DM642的外部中断
/CE1	I	EMIF存储空间1使能引脚
/CE2	I	EMIF存储空间2使能引脚
/CE3	I	EMIF存储空间3使能引脚
ECLKOUT2	I	EMIF输出时钟2引脚
/ARE	I	EMIF异步存储器读使能
/AWE	I	EMIF异步存储器写使能
/AOE	I	EMIF异步存储器输出使能
/SOE3	I	EMIF异步存储器输出使能(/CE3空间)
EA[22,7:3]	I	EMIF地址总线
ED[31:0]	I/O	EMIF数据总线
VP2CLK0	O	视频口2时钟0，输入到DM642中
VP2CLK1	I	视频口2时钟1，从DM642输出
VP2CTL0	I	视频口2控制0，提供HSYNC信号
VP2CTL1	I	视频口2控制1，提供VSYNC
VP2CTL2	I	视频口2控制2，提供FIELD
VP2D[19:0]	I	视频口2数据总线
PIXCLKI	O	像素时钟输出
PIXCLKO	I	像素时钟输入
DENCDATA[8:0]	O	视频数据
RTS0_A	I	TVP5150的实时状态和同步信息
RTS0_B	I	TVP5150的实时状态和同步信息
PLL_MS	O	串口控制的片选引脚
PLL_MD	O	串口控制的数据引脚
PLL_MC	O	串口控制的位时钟
FPGA_INIT	O	FPGA状态控制引脚
FPGA_PROG	I	异步复位

FPGA_DIN	I	串口设备数据输入
FPGA_CCLK	I	设备时钟
FPGA_DONE	O	设备状态和启动控制

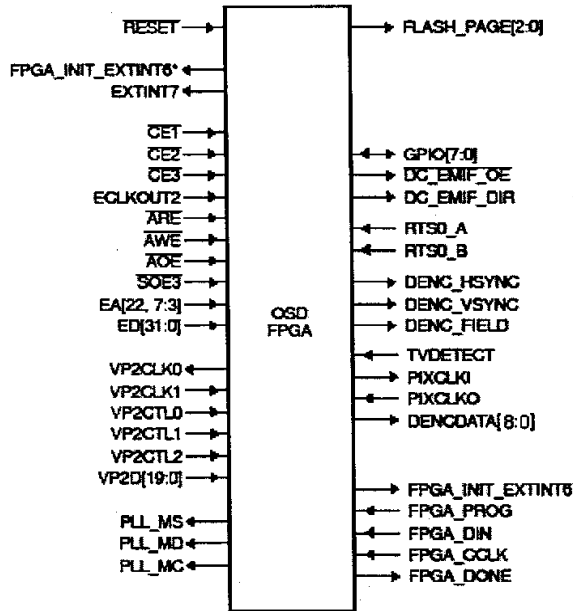


图 3-8 FPGA 管脚设置

3.6 外部存储器芯片

存储器是存放信息的逻辑部件，有了它计算机才有记忆的功能，才能自动地进行工作。从使用功能角度来说，存储器分为 ROM 和 RAM。ROM 又可分为可编程的 PROM、紫外线擦写的 EPROM、电可擦写的 EEPROM 和可在线多次擦写的 FLASH ROM 等；RAM 又可分为静态 RAM(SDRAM)和动态 RAM(DRAM)^[11]。

表 3-6 SDRAM 管脚定义

管脚	功能
A0—A11	地址输入引脚
BA0/BA1	Bank 地址输入信号引脚
DQ0—DQ31	数据输入输出接口
CLK	时钟信号输入引脚
CKE	时钟使能
/CS	芯片选择
/RAS	行地址选择: Row Address Select
/CAS	列地址选择: Column Address Select

/WE	写使能: Write Enable
DQM0-3	字节使能
V _{SS}	地信号
NC	管脚内部无连接

结合实际, 选择 2 片型号为 MT48LC4M32B2(4M*32bit)的同步动态存储器 SDRAM 作为 DM642 片外扩展的数据存储器, 和 AMD 公司生产的 Am29LV033C (4M*8-bit)的快闪存储器 Flash 作为 DM642 的外扩程序存储器。

MT48LC4M32B2 采用了 86 引脚的 TSOP 封装, 符合 PC100 规范, 工作电压是 3.3V, 并且采用同步接口方式 (所有的信号都是时钟信号的上升沿触发), 将与系统时钟同步运行。这种内存颗粒的架构 1 M×32×4 banks, 每 bank 行地址数目是 12, 列地址数目是 8。右图是 MT48LC4M32B2 的结构图和各个管脚的功能表, 典型应用电路如图 3-10。

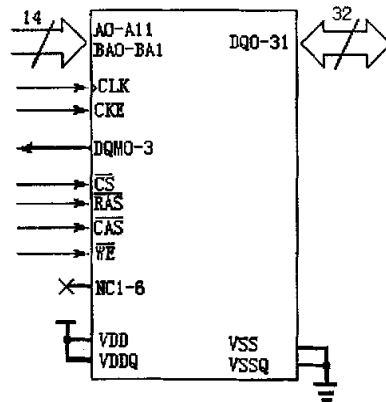


图 3-9 MT48LC4M32B2 的结构图

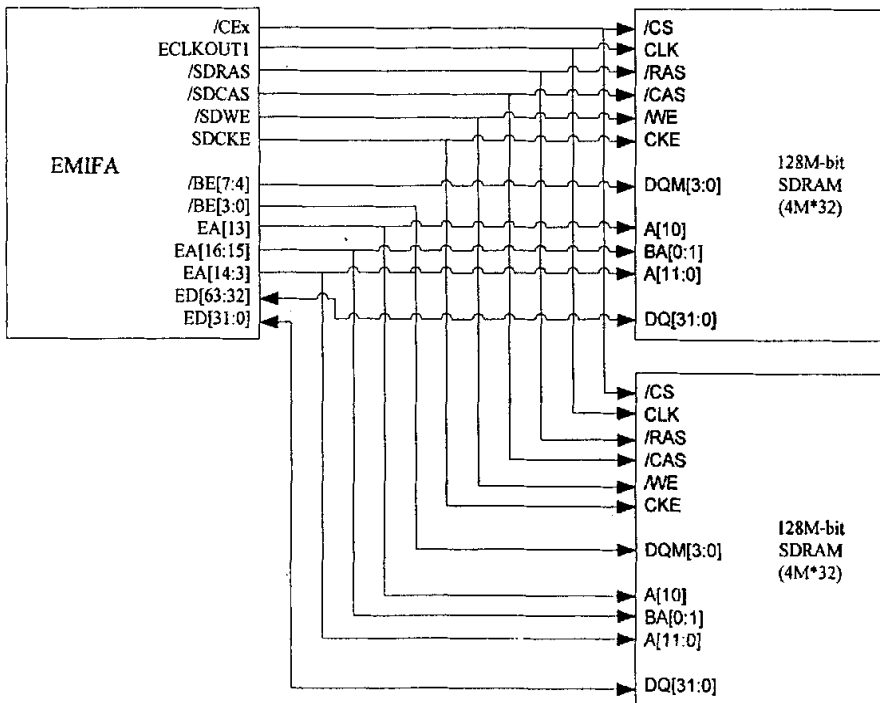


图 3-10 4M*32bit SDRAM 典型应用电路

Am29LV033C 是一个 32Mbit, 3.0V 单电源供电的 Flash 存储器, 字节宽度为 8 位, 对应管脚 DQ7-DQ0, 所有的读写和擦除操作都只用一个单电源供电。该设备可以在标准的 EPROM 编程器下编程, 具有片选使能 (CE#)、写使能 (WE#) 和输出使能 (OE#) 控制信号。如下是 Am29LV033C 的结构图和各个管脚的功能表, 典型应用电路如图 3-12^[12]。

表 3-7 Am29LV033C 的管脚定义

管脚	功能
A0-A21	22 根地址线
DQ0-DQ7	8 根数据输入/输出线
CE#	片选使能
OE#	输出使能
WE#	写使能
RESET#	硬件复位管脚, 低电平有效
RY/BY#	准备好/忙碌 输出
ACC	硬件过载管脚
NC	管脚内部无连接

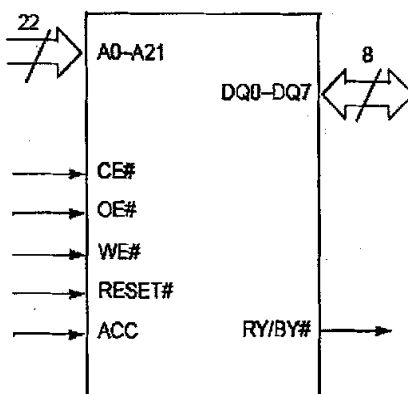


图 3-11 Am29LV033C 的结构图

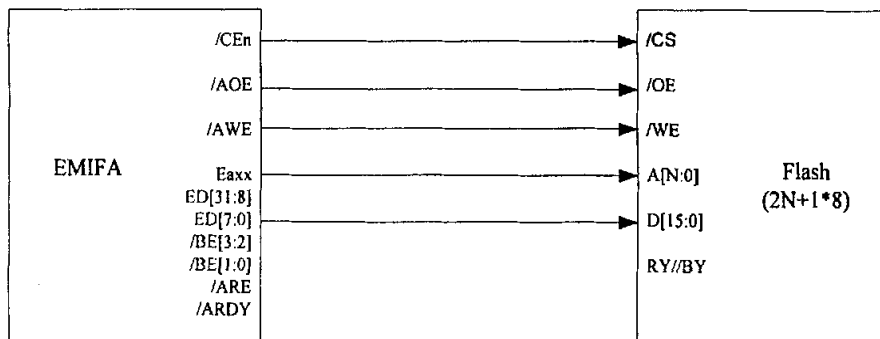


图 3-12 8-bit Flash 典型应用电路

第四章 系统硬件设计

根据第二章的内容介绍，多路音视频采集处理系统硬件设计具体如下。

1. 图像采集与预处理部分：视频口的设计，主要功能是实时采集 4 路模拟视频信号；
2. 图像编码部分：视频口的设计，主要功能是实时输出 1 路模拟视频信号；
3. 音频编/解码器部分：多通道音频串口设计，主要功能是实时采集 4 路模拟音频信号，输出 1 路模拟视频信号；
4. SDRAM 部分：SDRAM 接口电路设计，主要功能是存储程序、数据和图像处理中间结果等信息；
5. Flash 部分：Flash 接口电路设计，主要功能是导入装载和存储 FPGA 的配置信息；
6. FPGA 部分：FPGA 接口电路设计，主要功能是实现视频增强、OSD 功能和一些连接；
7. 时钟电源复位电路部分：时钟电源复位电路设计，主要功能是为系统提供时钟和电源，并能够进行手动复位。

4.1 视频口(Video Port)设计^{[5][13]}

DM642 具有 3 个视频口，每个都可以配置为视频输入口或视频输出口。每个接口都包括两个通道：A 和 B，但两个通道都必须同时为视频输入口或输出口，在这两个通道之间有一个 5120 字节的可分离的采集/显示缓冲器。对于 BT.656 和 Y/C 格式的视频输入输出数据来说，分离的数据管道都用来控制这些数据的分解和格式化。

在视频输入模式下，视频口可设置成两个 8/10-bit BT656 的视频通道，或者一个 8/10-bit BT656 或 16/20-bit Y/C 视频通道；在视频输出模式下，视频口可设置成两个 8/10-bit 视频通道，或者一个单独的通道，可以显示 8/10-bit BT.656、8/10-bit 输入视频、16/20-bit Y/C 视频、16/20-bit 输入视频信号。当 A、B 两个通道只用一个时，只能用 A 通道。图 4-1 为视频口内部结构图。

结合实际应用，DM642 设计了 1~4 路模拟视频输入（每路都为 cif 格式，分辨率为 352*288）和 1 路模拟视频输出（cif 格式，分辨率为 352*288）。这 4 路输入视频可以同时工作，也可以单独 1 路工作。

DM642 视频口输入配置：VP0 A 通道配置为 8-bit BT.656 视频输入，接口第一通道视频输入；VP1 A 通道配置为 8-bit BT.656 视频输入口，接口第二通道视频输入；VP2 A 和 B 通道配置为 2 个 8-bit BT.656 视频输入口，接口第三和第四

通道视频输入；VP0 和 VP1 的 B 通道配置为 McASP，接口 4 个音频 Codec。视频解码器采用 TVP5150，它支持 PAL/NTSC、CVBS 或 Y/C 模拟视频输入，8-bit BT.656 数字视频数据流输出。

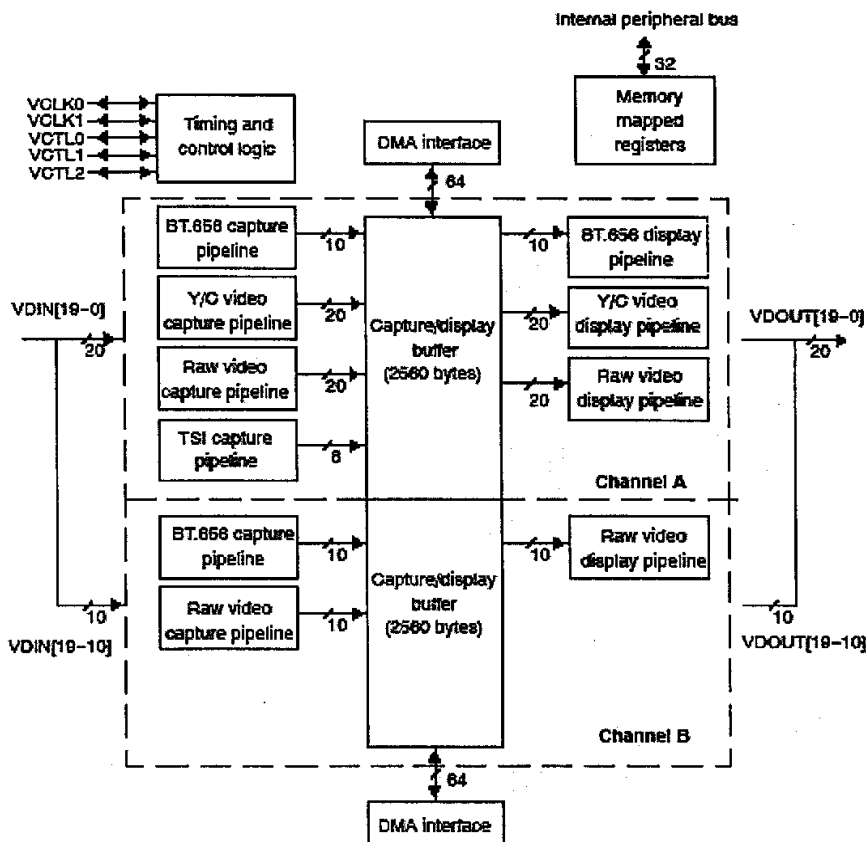


图 4-1 视频口内部结构

通过 DM642 的 I²C 总线对视频编/解码器的内部寄存器进行编程，实现不同的输入输出。由于 TVP5150 的 I²C 从地址只有 2 种选择，因此需要 2 选 1 转换开关 SN74CBT3257 来切换^[14]。

DM642 视频口与视频解码器的接口：作为视频输入口时，视频数据的行/场同步又包含在 BT.656 数字视频数据流中的 EAV 和 SAV 时基信号控制，视频口只需视频采样时钟和采样使能信号(控制采样起始)即可，TVP5150 用系统时钟 SCLK 提供采样时钟，用可编程引脚 GPCL 提供采样使能。各个连接管脚功能如表 4-1，具体电路如图 4-2。

表 4-1 DM642 和 TVP5150 引脚定义

DM642	TVP5150	功能描述
管脚 (x=0, 1, 2)	对应管脚	
VPxD[9:2]	YOUT[7:0]	数字视频数据流数据总线
VPxCLK0	SCLK	输入时钟
VPxCTL0:CAPEN	GPCL	视频采集使能信号
VP2D[19:12]	YOUT[7:0]	数字视频数据流数据总线

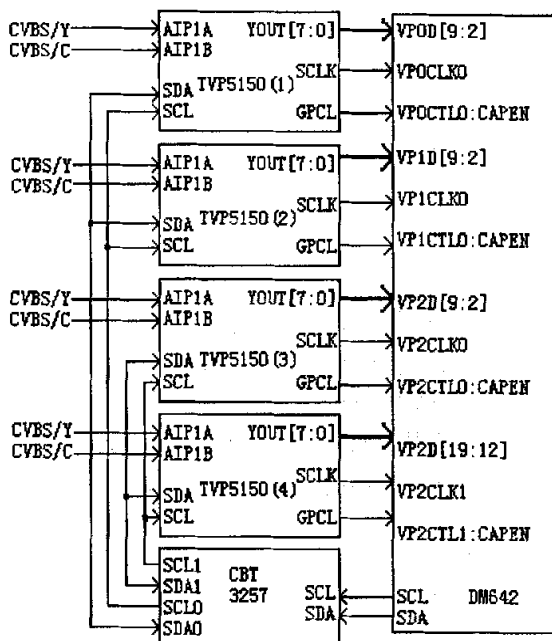


图 4-2 DM642 的视频接口输入电路

DM642 视频口输出配置: VP0 A 通道配置为 8-bit BT.656 视频输出, 接口视频输出通道。视频编码器采用 SAA7105, 它支持 8-bit BT.656 数字视频数据流输入, PAL/NTSC CVBS 或 Y/C 模拟视频输出。

DM642 视频口与视频编码器的接口: 作为视频输出口时, 视频口要为 SAA7105 提供时钟和行/场同步信号。

在视频输出电路中 J1、J2、J3 可配置成 RGB 输出信号, J2、J3 可连接到 S 端子, J4、J5 为行、场同步信号。具体接口电路如图 4-3 所示, 其中 FPGA 为实现 SAA7105 与 DM642 之间的连接, 将在 4.4 节中介绍。

表 4-2 DM642 和 SAA7105 引脚定义

DM642	SAA7105	功能描述
管脚	对应管脚	
VP0D[9:2]	PD[8:0]	视频数据流数据总线
VP0CTL0	HSVGC	行同步
VP0CTL1	VSVGC	帧同步
VP0CTL2	FSVGC	场同步
VP0CLK0	PIXCLK0	时钟信号

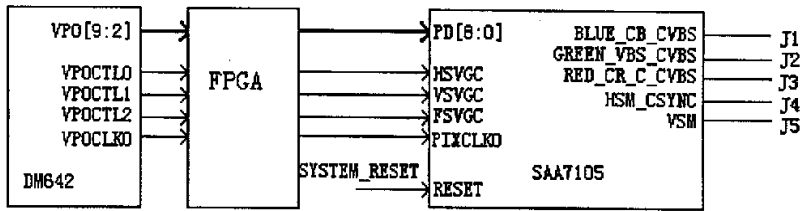


图 4-3 DM642 的视频接口输出电路

4.2 多通道音频串口(McASP)设计^[5]

DM642具有一个多通道音频串口McASP (Multichannel Audio Serial Port), 用于多通道音频应用。该串口由收发两个部分组成, 对于不同的数据格式、单独的主时钟、位时钟和帧同步, 这两个部分可以完全独立地工作, 并且接收和发送可以同步进行。McASP模块包括一组16个移位寄存器, 可配置成接收数据、发送数据和GPIO模式。McASP含有8个串行收/发引脚AXR[7:0], 所有接收引脚公用接收同步AFSR和时钟ACLKR、AHCLKR信号, 所有发送引脚公用发送帧同步AFSX和时钟ACLKX、AHCLKX信号, 并提供静音控制。图4-4是McASP的内部结构图。

本文采用了 4 路模拟音频输入和 1 路模拟音频输出, 音频编/解码器采用 TLV320AIC23B, 它支持麦克风/立体声模拟输入/输出, 数字音频数据流输出/输入。

可编程视频/音频同步数字锁相环 PLL1708 给 McASP 和 TLV320AIC23B 提供时钟信号, SCK02 端口接 MCASP 的 AHCLKX, SCK03 端口接 AIC23B 的主时钟 MCLK。PLL1708 本身采用 27MHz 的时钟输入。

McASP 与音频编解码器的接口: AIC23B 数据口配置为从; McASP 的 8 个收/发引脚配置为 4 收/4 发, 分别接 4 个编解码器的 Dout/Din; McASP 的接收帧同步配置为输出, 同时给 4 个编解码器的 LRCout, McASP 的发送帧同步配置为输出, 同时给 4 个编解码器的 LRCin; McASP 的发送位时钟 ACLKX 配

置为输出(由 AHCLKX 分频), 同时给 4 个编解码器的 BCLK; AIC23B 的控制口配置为 I²C, 由 2 选 1 开关 SN74CBT3257 来切换。具体电路如图 4-5 所示。

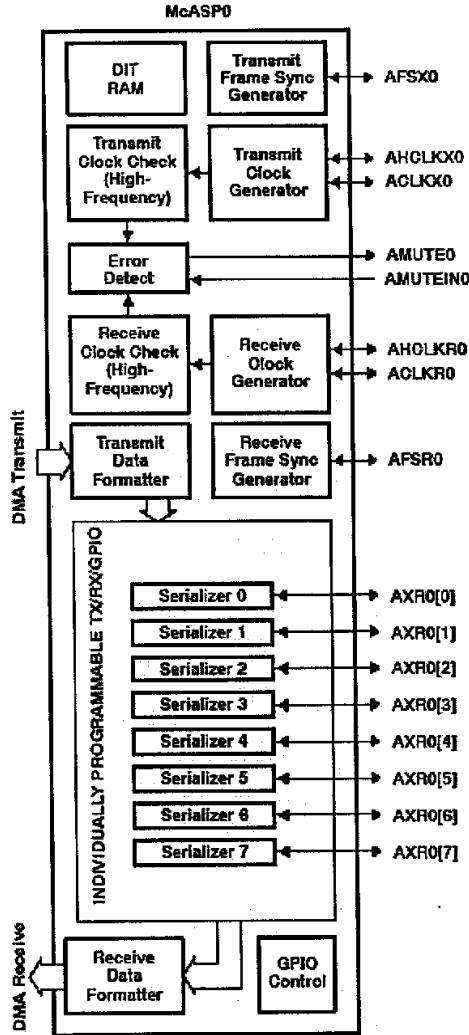


图 4-4 McASP 内部结构图

表 4-3 DM642 和 TLV320AIC23B 引脚定义

DM642	AIC23Bx (x=1,2,3,4)	功能描述
管脚	对应管脚	
AXRx (x=0,2,4,6)	Din	音频数据流输入
AXRx (x=1,3,5,7)	Dout	音频数据流输出
AFSX	LRCin	接收帧同步
AFSR	LRCout	发送帧同步
ACLKX	BCLK	接收位时钟信号

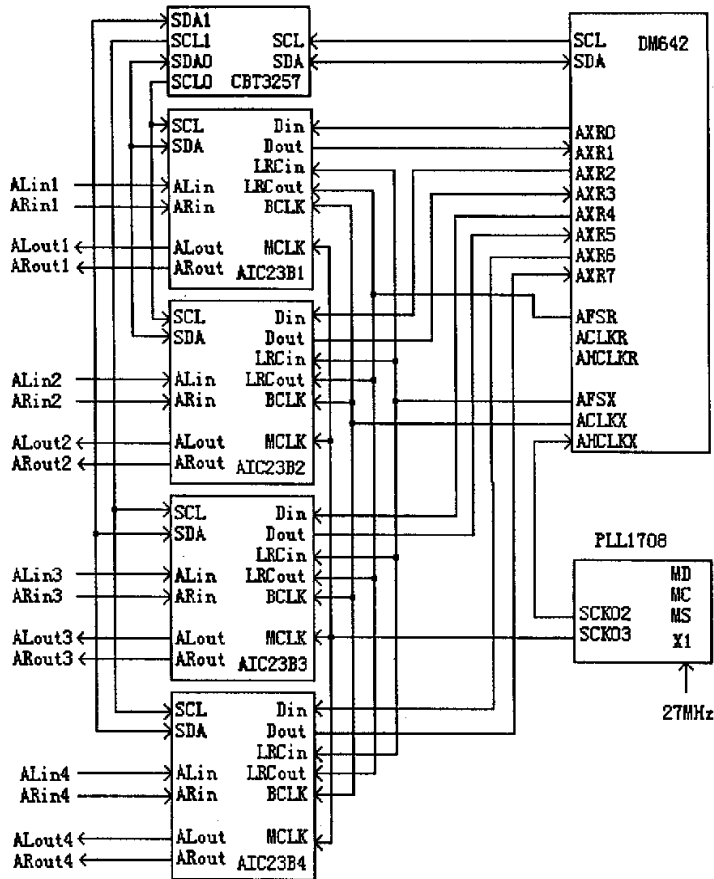


图 4-5 DM642 的音频接口电路

4.3 外部存储器接口设计

在本系统中，程序存储器主要存储主应用程序和程序中使用的图像数据，为了提高系统的扩展性且考虑到图像所占用的存储空间较大，在设计中，将主应用程序和图像数据分开存储。Flash 存储器具有体积小，耗电省，非易失存储的特性得到广泛使用。因此，本系统将主应用程序放在主 ROM 区，使用 Flash 芯片。在扩展 ROM 区，使用容量较大的 SDRAM 芯片，存储程序中需要使用的图像和声音数据。

4.3.1 存储空间的分配

由于 DM642 芯片内部带有 ROM 控制器和 DRAM 控制器，使得存储器的扩展变得非常容易。DM642 的地址空间如表 4-4 所示。从表中可以看出，DM642 整个地址空间采用统一编码原则。

表 4-4 DM642 的地址空间表

地址范围	描述	容量
0000 0000h — 0003 FFFFh	内部 RAM (L2)	256k
0004 0000h — 000F FFFFh	保留	768k
0010 0000h — 017F FFFFh	保留	23M
0180 0000h — 0183 FFFFh	EMIFA 寄存器	256K
0184 0000h — 0187 FFFFh	L2 寄存器	256K
0188 0000h — 018B FFFFh	HPI 寄存器	256K
018C 0000h — 018F FFFFh	McBSP0 寄存器	256K
0190 0000h — 0193 FFFFh	McBSP1 寄存器	256K
0194 0000h — 0197 FFFFh	定时器 0 寄存器	256K
0198 0000h — 019B FFFFh	定时器 1 寄存器	256K
019C 0000h — 019F FFFFh	中断选择寄存器	256K
01A0 0000h — 01A3 FFFFh	EDMA RAM 和 EDMA 寄存器	256K
01A4 0000h — 01AB FFFFh	保留	512K
01AC 0000h — 01AF FFFFh	定时器 2 寄存器	256K
01B0 0000h — 01B3 FFFFh	GP0 寄存器	252K
01B3 F000h — 01B3 FFFFh	设备配置寄存器	4K
01B4 0000h — 01B4 3FFFh	I ² C0 数据和控制寄存器	16K
01B4 4000h — 01B4 BFFFh	保留	32K
01B4 C000h — 01B4 FFFFh	McASP0 控制寄存器	16K
01B5 0000h — 01B7 FFFFh	保留	192K
01B8 0000h — 01BB FFFFh	保留	256K
01BC 0000h — 01BF FFFFh	仿真	256K
01C0 0000h — 01C3 FFFFh	PCI 寄存器	256K
01C4 0000h — 01C4 3FFFh	VP0 控制	16K
01C4 4000h — 01C4 7FFFh	VP1 控制	16K
01C4 8000h — 01C4 BFFFh	VP2 控制	16K
01C4 C000h — 01C4 FFFFh	VIC 控制	16K
01C5 0000h — 01C7 FFFFh	保留	192K
01C8 0000h — 01C8 0FFFh	EMAC 控制	4K
01C8 1000h — 01C8 2FFFh	EMAC 外封	8K
01C8 3000h — 01C8 37FFh	EWRAP 寄存器	2K
01C8 3800h — 01C8 3FFFh	MDIO 控制寄存器	2K
01C8 4000h — 01FF FFFFh	保留	3.5M
0200 0000h — 0200 0033h	QDMA 寄存器	52
0200 0034h — 02FF FFFFh	保留	928M—52
3000 0000h — 33FF FFFFh	McBSP0 数据	64M
3400 0000h — 37FF FFFFh	McBSP1 数据	64M
3800 0000h — 3BFF FFFFh	保留	64M
3C00 0000h — 3C0F FFFFh	McASP0 数据	1M
3C10 0000h — 3FFF FFFFh	保留	63M
4000 0000h — 73FF FFFFh	保留	832M
7400 0000h — 75FF FFFFh	VP0 通道 A 数据	32M
7600 0000h — 77FF FFFFh	VP0 通道 B 数据	32M
7800 0000h — 79FF FFFFh	VP1 通道 A 数据	32M
7A00 0000h — 7BFF FFFFh	VP1 通道 B 数据	32M

7C00 0000h — 7DFF FFFFh	VP2 通道 A 数据	32M
7E00 0000h — 7FFF FFFFh	VP2 通道 B 数据	32M
8000 0000h — 8FFF FFFFh	EMIFA CE0	256M
9000 0000h — 9FFF FFFFh	EMIFA CE1	256M
A000 0000h — AFFF FFFFh	EMIFA CE2	256M
B000 0000h — BFFF FFFFh	EMIFA CE3	256M
C000 0000h — FFFF FFFFh	保留	1G

TMS320DM642 的 EMIF (外部寄存器端口)^[15]有 4 个独立的可设定地址的区域,称为芯片使能空间(CE0-CE3)。当 Flash 和 FPGA 映射到 CE1 时,SDRAM 占据 CE0。CE3 的一部分被配置给 OSD 功能的同步操作和扩展的 FPGA 中的其他同步寄存器操作。本系统合并形成了一个 64bit 长的外部寄存器端口,将地址空间分割成了 4 个芯片使能区,允许对地址空间进行 8bit、16bit、32bit 和 64bit 的同步或异步的存取,并且使用了芯片使能区 CE0、CE1 和 CE3。CE0 被发送给 64bit 的 SDRAM 总线,CE1 被 8bit 的 Flash 和 FPGA 功能使用,CE3 被设置成同步功能。

(1) SDRAM 寄存器端口

在 CE0 空间连接了 64bit 的 SDRAM 总线。选取 2 片 MT48LC4M32B2 来构成 SDRAM。这 32MB 的 SDRAM 空间用来存储程序、数据和图像处理中间结果等信息。总线由外部 PLL 驱动设备控制,SDRAM 的刷新由 TMS320DM642 自动控制。

(2) Flash 寄存器接口

本系统扩展 4M 的 Flash,映射在 CE1 空间的低位。Flash 寄存器选用 4M*8bit 的 AM29LV033C,主要用来导入装载和存储 FPGA 的配置信息。CE1 空间被配置成 8bit,Flash 寄存器也是 8bit。由于 CE1 的可利用地址空间小于 Flash 的空间,所以利用 FPGA 可产生 3 个扩展页。这些扩展的线形地址通过 FPGA 的 Flash 基础寄存器进行定义,复位后的默认值是 000。

(3) FPGA 异步寄存器端口

本系统采用 Xilinx 的型号为 XC2S300E-6PQ208C 的 FPGA 来实现视频增强和其他的一些连带功能。在默认模式下,FPGA 通过 TMS320DM642 的视频端口 2 输出视频到 SAA7105。视频编码器 FPGA 有 10 个定位在 CE1 空间高位的异步存储寄存器。这些寄存器可实现 OSD 控制寄存器、DMA Threshold LSB 寄存器、DMA Threshold MSB 寄存器、中断状态寄存器、中断使能寄存器、GPIO 方位寄存器、GPIO 状态寄存器、LED 寄存器和 Flash Page 寄存器。

(4) FPGA 同步寄存器端口

FPGA 在 CE3 地址空间开设同步寄存器。这些寄存器主要实现 ODS 功能和一些连接。

4.3.2 SDRAM 接口电路设计

在表 4-4 DM642 的地址空间表中可见, DM642 的 EMIFA CE0 空间最大可以外扩 256M 的存储器,因此在 DM642 片外扩展了 2 片型号为 MT48LC4M32B2 的 32M Bytes 的 SDRAM,位于 EMIF 的 CE0 地址空间,存储空间分配为 0x8000 0000~0x81FF FFFF,用于存储程序、数据和图像处理中间结果等信息。SDRAM 工作时钟为 100MHz,是由 DM642 芯片的 CPU 工作时钟 6 分频产生的,数据更新由 DM642 自动完成。具体接口电路如图 4-6^[16]。

表 4-5 DM642 和 SDRAM 的引脚定义

DM642	SDRAM(1,2)	功能描述
管脚	对应管脚	
AEA3-16	A0-A11	地址输入引脚
	BA0/BA1	Bank 地址输入信号引脚
AED0-31	DQ0-DQ31 (片 1)	数据输入输出引脚
AED32-63	DQ0-DQ31(片 2)	
AECLKOUT1	CLK	时钟信号输入引脚
ASDCKE	CKE	时钟使能
/ACE0	/CS	芯片选择
/ASDRAS	/RAS	行地址选择: Row Address Select
/ASDCAS	/CAS	列地址选择: Column Address Select
/ASDWE	/WE	写使能: Write Enable
/BE0-3	DQM0-3 (片 1)	字节使能
/BE4-7	DQM0-3(片 2)	
	NC1-6	空
	VDD, VDDQ	电源引脚
	VSS, VSSQ	地引脚

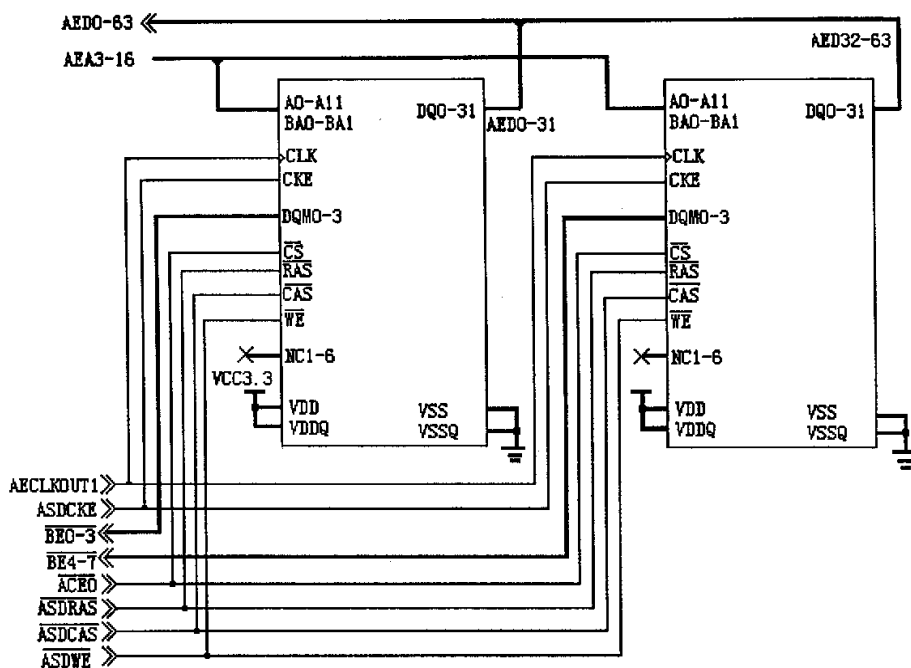


图 4-6 SDRAM 与 DM642 的接口电路

4.3.3 Flash 接口电路设计

DM642 的 EMIFA CE1 空间最大可以外扩 512K*8bit 的 Flash, 因此在 DM642 片外扩展了 4M Bytes 的 Flash 存储器, 位于 DM642 的 CE1 空间, 存储空间分配为 0x9000 0000~0x9007 FFFF, 宽度为 8bits, 用来导入装载和存储 FPGA 的配置信息。由于 CE1 中可利用存储器地址空间容量小于 4M Bytes 的 Flash, 所以在 FPGA 中扩展了 3 根地址线, 把 Flash 分为 8 页, 扩展的 3 根地址线由 FPGA 中的 Flash 基址寄存器控制。本文采用了 AMD 公司生产的 Am29LV033C (4M*8-bit) 作为 DM642 的外扩存储单元。具体接口如图 4-7^[17]。

表 4-6 DM642 和 Flash 引脚定义

DM642	Flash	功能描述
管脚	对应管脚	
AEA3-21	A0-A18	地址输入引脚
FLASH_EXT A19-21	A19-21	地址输入引脚
AED0-7	DQ0-DQ7	数据输入/输出引脚
/ACE1	CE#	片选使能
/AARE	OE#	输出使能
/AAWE	WE#	写使能

SYSTEM_RESET#	RESET#	硬件复位管脚，低电平有效
	RY/BY#	准备好/忙碌 输出
	ACC	电源引脚
	V _{SS1} , V _{SS2}	地信号

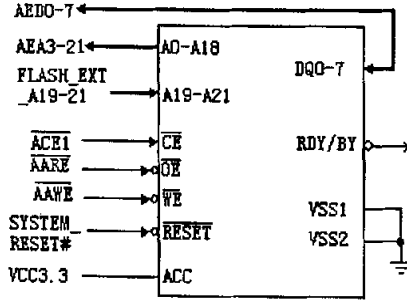


图 4-7 Flash 与 DM642 的接口电路

4.4 FPGA 接口电路设计

FPGA用于系统的逻辑控制，并提供了DM642与视频解码器SAA7105的接口，通过这个接口可以直接输出8-bit视频信号到解码器，或者对EMIF进来的输入信号执行视频叠加（OSD）功能。在需要屏幕显示功能时，FPGA把内部FIFO中的数据和视频口输出的数据混和，对FPGA内部FIFO的访问可以通过对DM642的EMIF的CE3地址空间的同步模式的访问实现。具体接口见表4-7和图4-8^{[9][18][19]}。

表 4-7 FPGA 和各个芯片引脚定义

FPGA		功能描述
/RESET		异步系统复位引脚
/FLASH_PAGE[2:0]		FLASH分页引脚
GPIO[7:0]		通用I/O引脚
/DC_EMIF_OE		EMIF数据总线收发器的输出使能引脚
DC_EMIF_DIR		EMIF数据总线收发器方向控制引脚
EXTINT6		DM642的外部中断
EXTINT7		DM642的外部中断
	DM642 EMIF	
/CE1	/CE1	EMIF存储空间1使能引脚
/CE2	/CE2	EMIF存储空间2使能引脚
/CE3	/CE3	EMIF存储空间3使能引脚
ECLKOUT2	ECLKOUT2	EMIF输出时钟2引脚
/ARE	/ARE	EMIF异步存储器读使能

/AWE	/AWE	EMIF异步存储器写使能
/AOE	/AOE	EMIF异步存储器输出使能
/SOE3	/SOE3	EMIF异步存储器输出使能 (/CE3空间)
EA[22,7:3]	EA[22,7:3]	EMIF地址总线
ED[31:0]	ED[31:0]	EMIF数据总线
	DM642 VP2	
VP2CLK0	VP2CLK0	视频口2时钟0, 输入到DM642中
VP2CLK1	VP2CLK1	视频口2时钟1, 从DM642输出
VP2CTL0	VP2CTL0	视频口2控制0, 提供HSYNC信号
VP2CTL1	VP2CTL1	视频口2控制1, 提供VSYNC
VP2CTL2	VP2CTL2	视频口2控制2, 提供FIELD
VP2D[19:0]	VP2D[19:0]	视频口2数据总线
	视频编码器	
PIXCLKI	PIXCLKI	像素时钟输出
PIXCLKO	PIXCLKO	像素时钟输入
DENC DATA[8:0]	PD[8:0]	视频数据
DENC_HSYNC	HSVGC	
DENC_VSYNC	VSVGC	
DENC_FIELD	FSVGC	场同步
TVDETECT	TVD	TV检测引脚
	视频解码器	
RTS0_A	RSTINB	TVP5150的实时状态和同步信息
RTS0_B	RSTINB	TVP5150的实时状态和同步信息
	PLL1708串口	
PLL_MS	MS	串口控制的片选引脚
PLL_MD	MD	串口控制的数据引脚
PLL_MC	MC	串口控制的位时钟
FPGA配置管脚		
FPGA_INIT		FPGA状态控制引脚
FPGA_PROG		异步复位
FPGA_DIN		串口设备数据输入
FPGA_CCLK		设备时钟
FPGA_DONE		设备状态和启动控制

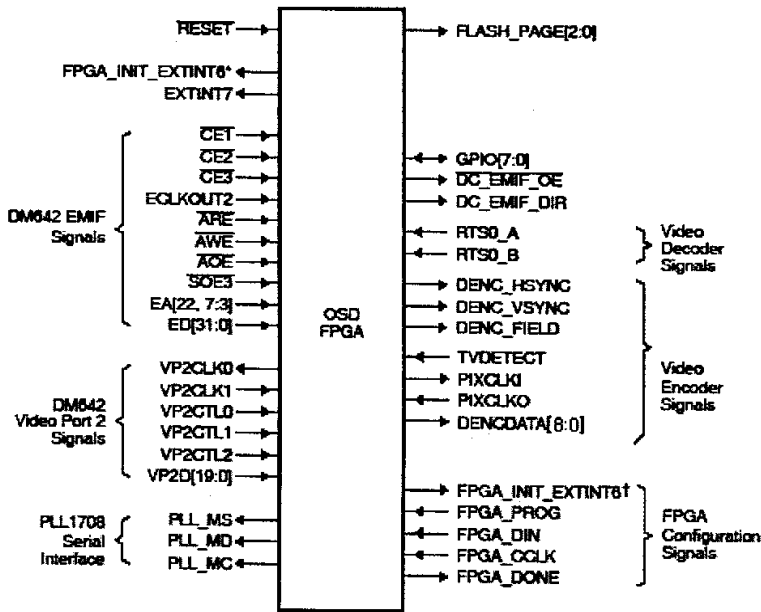


图 4-8 FPGA 接口电路

4.5 时钟电源复位电路

整个电路用一个 5V 的直流变压器供电，由这个 5V 的电压器产生 1.4V 和 3.3V 电压分别给 DSP 内核和 I/O 端口供电，产生另外一个 3.3V 给视频编解码及其他芯片供电。注意这两个 3.3V 电源要分开设计，以免电源噪声相互干扰。

由于 DSP 需要两种电压，所以要考虑供电系统的配合问题。加电过程中，应当保证内核电源先上电，或者与 I/O 电源一起加。关电源时，先关闭内核电源，再关闭 I/O 电源。讲究供电次序的原因在于：如果仅 CPU 内核获得供电，周边 I/O 没有供电，对芯片不会产生损害，只是没有输入/输出能力而已。如果反过来，周边 I/O 得到供电而 CPU 内核没有加电，那么芯片缓冲/驱动部分的晶体管将在一个未知状态下工作，这是非常危险的。

为了解决这个问题，本文采用了开关电源芯片 TPS54310PWP^[20]，把 1.4V 模块的电源输出有效引脚 PG (power good) 连接到 3.3V 模块的允许电压输入引脚 EN。这样，只有当 1.4V 电压有效之后，3.3V 电压才开始上电，这就保证了 DM642 的内核电压先于 I/O 电压上电。具体电源和复位电路如图 4-9。

在系统中需要时钟输入的器件有：

DM642: CPU 主时钟 600MHz, EMIF 时钟 133MHz, McASP 主时钟 $256 \times F_s$, 片上有 PLL, $\times 6$ 或 $\times 12$; TVP5150: 14.31818MHz; SAA7105: 27MHz; TLV320AIC23B: $384 \times F_s$ 。

因此 CPU 主时钟采用 $50\text{MHz} \times 12$, McASP 和 TLV320AIC23B 采用 PLL1708

实现，其他时钟采用可编程时钟芯片 CY22381 实现。时钟电路如图 4-10。

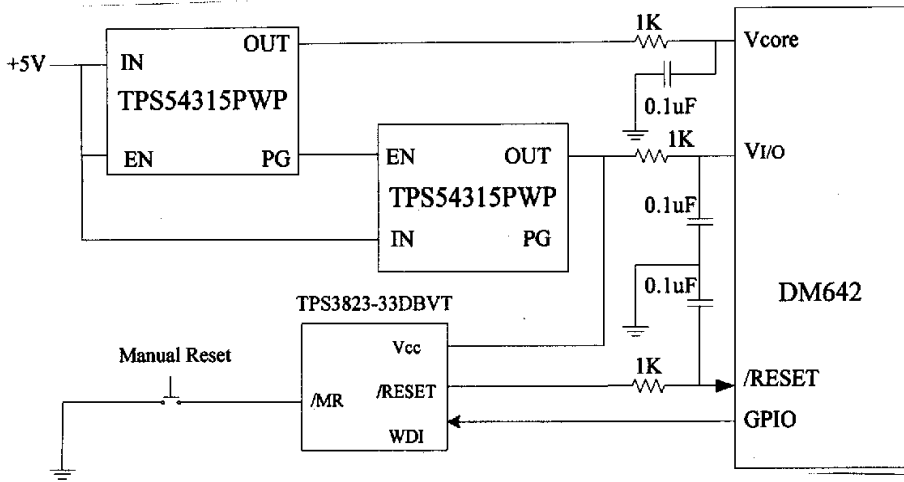


图 4-9 电源和复位电路

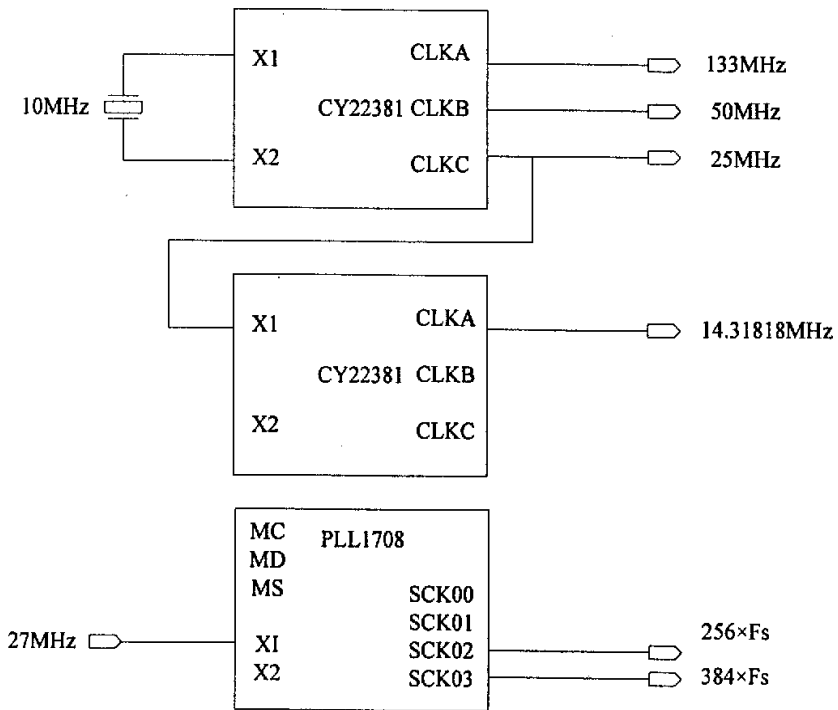


图 4-10 时钟电路

第五章 系统软件设计

本章介绍基于 DM642 的音视频多路采集处理系统的软件设计。软件采用模块化的方法设计，用 C 语言编制。主要介绍了初始化设置模块、视频数据采集读取模块和声音采集播放模块。

具体的软件流程图如图 5-1 所示。

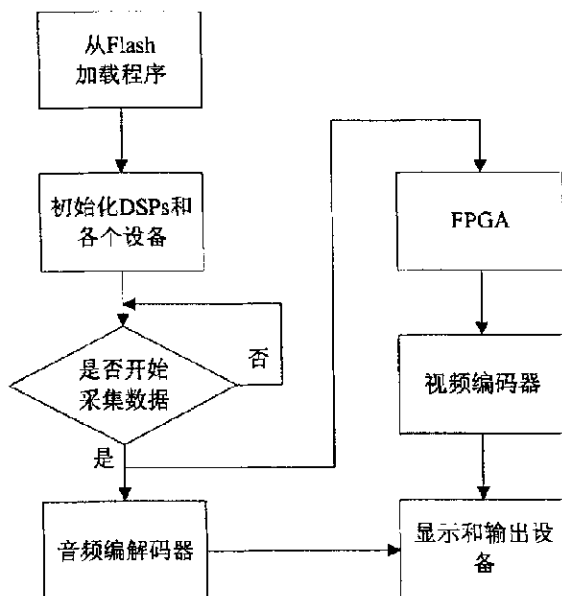


图 5-1 系统软件流程图

5.1 系统初始化设置模块

系统上电载入程序后即对整个硬件系统进行初始化，包括 DM642 的上电初始化、DM642 的寄存器和系统配置管脚的设置等。

DM642 的引导模式设置为从 EMIFA 引导，把管脚 AEA[22:21] 设置为 11，其它配置管脚的初始化设置为默认值，具体设置见表 5-1^[5]。

其它配置管脚的初始化设置为默认值，具体设置见表 5-1^[5]。

表 5-1 DM642 初始化配置管脚

配置管脚	功能介绍
AEA[22:21]	引导模式：00-no boot (default) 01-HPL/PCI 10-保存 11-EMIFA
AEA[20:19]	EMIFA输入时钟选择：

	00- AECLKIN(default) 11-保存 10-CPU/6 Clock 01-CPU/4 Clock
TOUT1/LENDIAN	芯片的Endian模式: 0-Big Endian模式 1-Little Endian模式 (default)
GPO[3]/PCIEEAI	PCI EEPROM的自动初始化: 0-PCI不经过EEPROM来初始化, PCI外围设备使用默认的值 (default) 1-PCI通过EEPROM来初始化
VDAC/GPO[8]/PCI66	PCI工作频率的选择: 0-66MHz(default) 1-33MHz
HD5/AD5	HPI总线宽度: 0-16bit 1-32bit
PCI_EN; TOUT0/MAC_EN	外围设备的选择: 00-HPI(default) 10-PCI 11-保存 01-EMAC和MDIO; HP16, if HD5=0; HPI不用, if HD5=1

系统复位后寄存器的设置:

- 外围配置寄存器 Peripheral Configuration Register (PERCFG)
控制视频口、多通道缓冲串口、多通道音频串口、I²C 总线的使能: 0x0000 0079h

- 设备状态寄存器 Device Status Register (DEVSTAT)
控制芯片各个外围设备的状态: EMAC、HPI、PCI、CPU 时钟频率选择模式、芯片引导模式、EMIFA 输入时钟的选择: 0x0000 005Ch

- EMIF 存储器映射寄存器:

EMIF 全局寄存器 (GBLCTL)

控制 EMIF 的输出时钟及对 EMIF 的访问状态:

0000 0000 0000 1001 00x0 xxxx x01x x000b

EMIF CE 空间控制寄存器 (CECTL0~3)

该寄存器是为了实现可编程的徒步接口而增加的, 并且控制可编程同步存储器访问的时序和时钟, 用于指定的 CE 空间的同步。因为各个 CE 存储器空间连接的存储器类型不同, 因此各个寄存器的设置也不同, MTYPE 位段为相应的 CE 空间识别存储器类型。

CECTL0: 接 64-bit SDRAM, MTYPE=Dh

CECTL1: 接 8-bit Flash 和 FPGA, MTYPE=0h

CE2: 可用于 16-bit 的异步硬盘接口

CE3: 映射了 FPGA 的同步寄存器

在编写软件时, 必须有以下几个程序^[21]:

1. 初始化程序

采用 C 语言开发程序时, 需要利用 C 初始化程序建立 C 运行环境, 通常采用 c_int00 来实现程序的引导。_c_int00 包含在库文件中, build 时自动将其链接

进可执行程序中，程序的入口地址必须设为_c_int00 起始地址。

C_int00 在初始化 c 环境完成下述任务

- 为系统堆栈定义了一个叫.stack 的段并设置了初始堆栈指针
- 通过复制.cint 段初始化表的数据到.bss 段中为变量分配的存储空间，完成对全局变量的初始化
- 调用主函数执行 C/C++程序。

2. 向量表 (Vector Table)

向量表也叫中断服务表 (Interrupt Service Table),在处理器复位, 程序加载后, 中断服务表也从 0 地址开始。

中断向量表由 32 个服务向量组成, 每个对应一个 CPU 中断:

- 中断 0 保留为复位向量
- 中断 1 保留为不可屏蔽中断 (NMI)
- 中断 4~15 时可编程事件出发中断
- 其余中断号是保留的

3. 链接命令文件(Linker command file)

链接命令文件可以将链接信息写入文件, 利用 MEMORY 和 SECTIONS 的指示字可以根据需要定制应用程序。链接命令文件是 ASCII 文件, 包括:

- 输入文件名, 用于制订目标文件、档案文件以及其他命令文件
- 链接器指令, 可以按照命令行的方式在命令文件中使用
- MEMORY 和 SECTIONS 连接器指示字, MEMORY 定义目标存储区的配置 (即系统硬件资源), SECTIONS 控制段的创建与分配 (即描述软件人员程序中用到的段是如何定位到恰当的硬件资源上)
- 分配声明, 用于全局变量的定义和分配

```
//linker.cmd
```

```
-c                ; 运行时初始化全局变量
-o dsp642.out     ; 输出文件名
-m dsp642.map    ; 输出映射文件名
```

```
MEMORY
```

```
{
    IPRAM      :origin=0x0, len=0x40000          ; 256kB
    EDRAM     :origin=0x8000 0000, len=0x200 0000 ; 128MB
}
```

```
SECTIONS
```

```
{
    .vectors   > IPRAM
```

```

.text      > EDRAM      ; 存放 C 程序的代码
.switch   > EDRAM      ; 存放 C 程序中 switch 语句的跳转地址表
.cinit:   > EDRAM      ; 存放 C 程序中的变量初值和常量
.const:   > EDRAM      ; 存放 C 程序中的字符常量、浮点常量和用 const
                          声明的常量

.cio:     > EDRAM
.bss      > EDRAM      ; 为 C 程序中的全局和静态变量保留存储空间
.systemem > EDRAM      ; 用于 C 程序中 malloc、calloc 和 realloc 函
                          数动态分配存储空间

.data     > EDRAM
.far      > EDRAM      ; 为 C 程序中用 far 声明的全局和静态变量保
                          留空间
}

```

5.2 视频数据采集读取模块

对于视频数据采集读取模块来说，最重要的地方是如何有效的使图像采集的速度与 CPU 处理的速度匹配。在本文中采用了双 SDRAM 存储器结构，有效地解决了这一问题。

首先介绍 SDRAM 的几个概念：

- CAS#等待时间(CL)：指的是从 CAS#信号有效开始要经过多少个时钟周期之后才能读取数据(写操作时数据与 CAS#信号同时到达)，通常可以选择 2 或者 3；
- 突发长度(BL)：SDRAM 每次读写操作的数据量可以设定(也即支持突发式读写)，可以是 1、2、4、8 个字节或整页读写(一次读写一行数据)，这样每次可以处理一批数据，从而提高了读写速度；
- 预充电(PRECHARGE)：读写操作只对预充电过的行有效，所以每次读写操作前都要发出预充电指令或者在 CAS#有效时，使 A10 为高①，即让 SDRAM 自动预充电；
- 自动刷新(REF)：每隔一定的时间要向 SDRAM 发出一条刷新指令，这个时间可以通过读取 SDRAM 芯片的数据获得，通常为 15.625 μ s；
- 自刷新(SELF)：当对 SDRAM 暂时不进行操作，但又希望保留其内部数据时，可以发出自刷新信号，SDRAM 会自己刷新内部数据；
- 模式寄存器设置(MRS)：通过一条指令对 CL 及 BL 进行设定。除了在初始化可以进行设置外，也可通过插入这条指令来改变 CL 或 BL。

MT48LC4M32B2 分为四个 BANK，地址线的最高两位即为 BANK 的片选。其行地址为 A0-A11，列地址为 A0-A7，数据总线宽为 32bit。该 SDRAM 的操作命令包括 COMMAND INHIBIT (NOP)、NO OPERATION (NOP)、ACTIVE (选择 bank 并且激活相应的行)、READ (选择 bank 和列地址，并且开始突发读取)、WRITE (选择 bank 和列地址，并且开始突发写入)、PRECHARGE (让相应的 bank 中的行失活或者让该 bank 失活)、AUTO REFRESH(进入自动刷新模式)、LOAD MODE REGISTER (模式寄存器编程)。命令的执行是通过使 SDRAM 的相应输入管脚如/RAS、/CAS、/CS、/WE、/DQM、/ADDR 获得相应的电平完成的。操作命令真值表详见表 5-2。该 SDRAM 具有突发读写功能，即一次读写命令可以进行多次连续的读写；突发读写长度可取为 1、2、4、8，为简便起见，本设计实例定义突发长度为 1。

表 5-2 SDRAM 操作命令真值表(L 代表低电平，H 代表高电平，X 代表任意电平)

操作命令	/CS	/RAS	/CAS	/WE
COMMAND INHIBIT	H	X	X	X
NO OPERATION	L	H	H	H
ACTIVE	L	L	H	H
READ	L	H	L	L
WRITE	L	H	L	L
PRECHARGE	L	L	H	L
REFRESH	L	L	L	H
LOAD MODE REGISTER	L	L	L	L

SDRAM 控制器设计：

1. 刷新定时器设计

MT48LC4M32B2 要求每隔 64ms 刷新 4096 行或页。SDRAM 的刷新是通过 AUTO REFRESH 命令触发的，它有两种刷新方式：AUTO REFRESH 和 SELF REFRESH，当 CKE 高电平时，进入 AUTO REFRESH，否则进入 SELF REFRESH 方式。AUTO REFRESH 和传统的 CBR 刷新方式相似，它不连续进行，而只要求每隔 15.625us 刷新一行或页，SDRAM 内部自动对刷新计数并轮流刷新各页。而 SELF REFRESH 方式不同，在该方式下，输入 CKE 为低电平，可以用来保持 SDRAM 中的数据，或使系统处于低功率状态；此时，SDRAM 所有输入管脚任何状态都无效，其内部提供刷新时钟，自动进行刷新。

由于在 AUTO REFRESH 刷新方式要求每隔 64ms 刷新 4096 行，每 15.625us 就要刷新一行。所以，可以设定定时器每 15.525us 发送一次刷新请求信号，本设

计让 SDRAM 工作在 100MHz，则要求刷新定时器每 1242 个时钟周期发送一次刷新请求。其工作流程如下：

系统复位后，定时计数器初始化为 0；复位撤销后，计数器开始计数，当计数到 1241 后，计数器重新复位到 0，开始新一轮计数，同时产生刷新请求信号 RFQ，通知 SDRAM 控制器发出刷表命令：AUTO REFRESH，刷新 SDRAM 中的一行。

2. SDRAM CONTROLLER 设计

正常读或写操作：对于突发长度为 1 的读写操作，一次只能读出或者写入一个数据。如果是同一页操作，进行一次 READ 命令后，可以立即在下一时钟进行下一次 READ 命令，但是需要等待 CAS LATENCY 结束才能进行下一次 WRITE 命令；而进行一次 WRITE 命令后，可以立即进行下一次 READ 或 WRITE 命令。如果是跨页边界访问，则必须经过 PRECHARGE、ACTIVE 命令后才能继续进行 READ 或 WRITE 命令。无论是 READ 或者 WRITE 命令之后，要接着执行 PRECHARGE 命令，都要经过 t_{WR} 或者 $(CAS\ LATENCY-1)$ 时间参数得到满足后才行。

刷新过程出现读写请求命令：在刷新定时器产生刷新请求后进入刷新状态的过程中，如果 DSP 使 $/MS_0$ 有效，即选中作为存储器块 0 的 SDRAM 进行读写操作，则 SDRAM 控制器只有在完成正在进行的所在行或页的刷新后，再处理对存储器的访问请求。在刷新期间，SDRAM 控制器使 ACK 引脚保持低电平，延长 DSP 对外部存储器的等待时间；而且，刷新期间 DSP 将一直驱动 $/MS_0$ 、 $/RD$ 或 $/WR$ 以及数据和地址信号线。

读写操作中出现刷新请求：如果 SDRAM 控制器在对存储器进行读写操作中，刷新定时器发出刷新请求信号 RFQ，则控制器将会在完成本次对 SDRAM 的读或写操作之后再发出刷新命令；RFQ 信号将保持为高电平，直到完成了一次 AUTO REFRESH 方式的刷新，RFQ 变低，RFC 信号才有效^{[22][23]}。

对于 4 路视频信号和 4 路音频信号，CPU 在一个时刻只能处理 1 路数据，扩展了两块 $4M \times 32bit$ 的 SDRAM，在系统工作的任一时刻，一块用于图像的采集，采集部分向该存储区写图像数据；另一块用于外部对图像数据的读取，DSP 可以读取该存储区中的图像数据。双 SDRAM 结构的一个重要特点在于 DSP 对存储区的数据操作是来回切换的。当 AD 转换数据写满 SDRAM-1 时，FPGA 会向 DSP 发出一个中断信号，此时，DSP 读取 SDRAM-1 中的数据同时，AD 转换数据写入 SDRAM-2，当 SDRAM-2 中的数据写满时，FPGA 会向 DSP 发出一个中断信号此时，DSP 读取 SDRAM-2 中的数据，同时，AD 转换数据写入 SDRAM-1，如此交替，实现数据的写入与读取同时进行。由于 DSP 读取 SDRAM 中数据的速度远远大于 AD 转换写入数据的速度，就允许采集与外部访问的同时进行，采用两块存储区操作的乒乓式切换，满足数据实时交换的要求。

由于 DSP 对存储区的数据操作是来回切换的, 因此需要采用中断来实现取数。具体实现为在 DSP 内部设置中断, 这里选用 INT6 作为中断触发管脚。当外部中断信号到来时, 则相应中断服务程序, 执行中断响应。

对于符合 JEDEC 标准的 SDRAM, 其工作原理及引脚是互相兼容的。所以在 SDRAM 控制器的设计上, 基本上是相同的, 甚至可以设计一个通用的 SDRAM 控制器, 在应用到具体的处理器和 SDRAM 时, 再做相应的修改。本设计的方法, 也可以用于各种处理器和各种 SDRAM 间的接口设计^{[24][25]}。

5.3 音频采集播放的软件设计^{[3][5][26]}

DSP 需要处理来自和发向 AIC23 的数据, 从而达到采集和播放声音。这些数据都是通过 DSP 的 McBSP 交换的。McBSP 可以有三种方式跟 CPU 通信: 每收到或发送一个单元, 置标志位, CPU 轮询此标志位; 每收到或发送一个单元, 给 CPU 发送中断; 通过 DMA 收到或发送完一组单元, 再给 CPU 中断。通常, 为了减轻 CPU 负担, 都采用第三种方法。

采用 DMA 的方式, 即串口每发送或接受到一个单元, 都会自动触发 DMA 将其搬送到一个内部的 Buffer, 等 Buffer 满了再通过中断方式告诉 CPU 处理。这时 DMA 采用 ABU (Auto Buffering) 模式, 在这种模式下, DMA 在两个 Buffer (其实是一个大 Buffer 的前一半和后一半) 之间自动切换, 每个 Buffer 满了 (接收) 或空了 (发送) 都会给 CPU 发出中断, 在 CPU 处理这个 Buffer 的时候, DMA 会自动去操作另一个 Buffer。采用这种方式可以有效防止 Buffer 中的数据在串口速率较高时被新数据冲掉的问题。

在 DMA 的中断服务程序中为了可靠可以把这个 Buffer 的数据再拷贝到另一个待处理的空间, 即两级 Buffer, 然后置标志位, CPU 在主程序中查询标志位然后作出相应的处理。DMA 操作的 Buffer 可以通过寄存器配置, Buffer 的大小和起始位置应设置正确。在指定 Buffer 的起始位置时应该注意, 起始位置应该为大于 Buffer 大小的下一个 2 的整数幂的倍数。例如, 在 8K、16bit 采样的情况下, 以 20ms 数据为 Buffer 大小, 那么一次处理的数据是 $8000 \times 32 \times 0.02 = 5120 \text{bit} = 320 \text{word}$ 。所以, DMA 的 Buffer 应为 640word (两个 320word Buffer) 大小, 而 Buffer 的起始地址应该为 $1024 = 2^7 > 640$ 的整数倍, 如 0x7000, 0x7400 等。

第六章 DSPs 的典型应用

基于 DSPs 的多路音视频采集处理系统可以应用于视频监控、视频分割器和视频服务器中，下面进行具体介绍。

6.1 视频监控^[27]

视频监控系统是对人们无法或不可能直接、即时观察的场所，提供一种实时、形象、真实的反映被监控对象的画面，作为即时处理或事后分析的一种手段。包括数字化网络型视频监控系统、本地目标视频监控、远程视频监控系统。

DM642 通过 HPI 接口与主机（PC 机）进行连接，由 PC 机对它进行控制。在视频监控系统中不必对声音进行采集，因此不需要用到 McASP0 模块。在该系统中用到的功能模块包括：3 个 20-Bit 的视频口、HPI、I²C0、EMIF、3 个定时器。

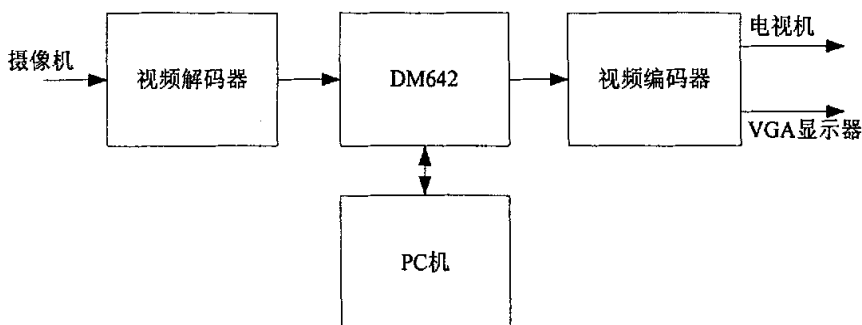


图 6-1 DM642 在视频监控中的应用

视频监控系统

视频图像采集：视频解码器将从摄像机采集的视频流，通过解码芯片，得到原始 YUV 视频流，送入 DM642 的视频端口。

视频图像处理：由 DM642 固化程序处理，或由 PC 机对 DM642 进行控制处理。

视频图像 PAL 制式输出：通过编码器上的 S 端子（即 S-Video）输出模拟信号到电视机。

视频图像 VGA 制式输出：通过编码器上的 RGB 端子输出信号到 VGA 显示器。其中：S 端子、YUV 和 RGB 的说明如下：

S-Video：也称 S 端子，S-Video 中将亮度信号 Y 和色度信号 C 分开传输，确保亮度信号不会受到色度信号的干扰，在色度信号传输中采用将色差信号调制在色负载波上的方式，S-Video 的视频传输效果得到了很大改善。

RGB: 对一种颜色进行编码的方法统称为“颜色空间”或“色域”。用最简单的话说, 世界上任何一种颜色的“颜色空间”都可定义成一个固定的数字或变量。RGB (红、绿、蓝) 只是众多颜色空间的一种。采用这种编码方法, 每种颜色都可用三个变量来表示—红色绿色以及蓝色的强度。记录及显示彩色图像时, RGB是最常见的一种方案。

YUV: YUV (亦称YCrCb) 是被欧洲电视系统所采用的一种颜色编码方法 (属于PAL)。YUV主要用于优化彩色视频信号的传输, 使其向后兼容老式黑白电视。其中“Y”表示明亮度 (Luminance或Luma), 也就是灰阶值; 而“U”和“V”表示的则是色度 (Chrominance或Chroma), 作用是描述影像色彩及饱和度, 用于指定像素的颜色。“亮度”是通过RGB输入信号来创建的, 方法是将RGB信号的特定部分叠加到一起。“色度”则定义了颜色的两个方面: 色调与饱和度, 分别用Cr和Cb来表示。其中, Cr反映了RGB输入信号红色部分与RGB信号亮度值之间的差异。而Cb反映的是RGB输入信号蓝色部分与RGB信号亮度值之间的差异。

6.2 视频分割器

在有多个摄像机组成的电视监控系统中, 通常采用视频切换器使多路图像在一台监视器上轮流显示。但有时为了让监控人员能同时看到所有监控点的情况, 往往采用多画面分割器使得多路图像同时显示在一台监视器上。这样, 既减少了监视器的数量, 又能使监控人员一目了然地监视各个部位的情况。常用的画面分割器为二画面、四画面、九画面和十六画面。

画面分割器的基本工作原理: 采用图像压缩和数字化处理的方法, 把几个画面按同样的比例压缩在一个监视器的屏幕上。有的还带有内置顺序切换器的功能, 此功能可将各摄像机输入的全屏画面按顺序和间隔时间轮流输出显示在监视器上(如同切换主机轮流切换画面那样), 并可用录像机按上述的顺序和时间间隔记录下来。其间隔时间一般是可调的。

本系统可以工作在三种方式:

1、四路画面切换器: 4路输入视频在同一监控器上循环显示。4路视频按顺序切换, 每路切换间隔时间设定为1秒到35秒之间可调, 或保持一路显示时间为无穷大 ∞ 。

2、二画面分割器: 4路输入视频中的可设定任意两路显示在同一个监视器上。对两路视频信号, 抽取出图像的偶数行/列, 这样整个图像大小就只有原来的二分之一, 然后把存储器内的两路信号在同一时钟的驱动下输出给视频编码器, 从而就实现了两路视频在同一监视器显示的功能。

3、四画面分割器: 4路输入视频同时显示在同一个监视器上。4路视频信号

分别在水平和垂直方向上按照 2:1 的比率抽样存储。存储器内的各路信号在同一时钟的驱动下输出给视频编码器, 从而就实现了四路视频在同一监视器显示的功能。

6.3 视频服务器

视频服务器是一种压缩、存储、处理视音频数据的专用计算机, 它由视音频压缩编码器、大容量存储设备、输入/输出通道、网络接口、视音频接口、RS422 串行接口、协议接口、软件接口、视音频交叉点矩阵等构成, 同时, 提供外锁相和视频处理功能。视频服务器的解决方案有多种选择, 但是市场产品的主流一般选择两种方案: (1) CPU+ASIC。该方案选择以 ARM 为核的 CPU 和专用媒体处理芯片搭建。优点是开发时间相对较短, 但由于采用 ASIC, 灵活性较差, 产品一旦定型, 很难更改。(2) 采用面向媒体处理的专用 DSP。其开发时间不长, 优点是算法是软件代码, 所以可以不断对产品性能进行升级, 重复开发成本较低。

视频服务器最主要的功能是完成图像和声音的采集、压缩及视频网络数字化传输。其中 DM642 主要进行音视频码流压缩。通过 HPI 接口与主机 (PC 机) 进行连接, 由 PC 机对 DM642 进行实时控制和压缩好的码流存储, 能够随时读取或者传输到网络。对于视频采用视频压缩标准 H.264, 对于音频采用 AAC 音频压缩算法。

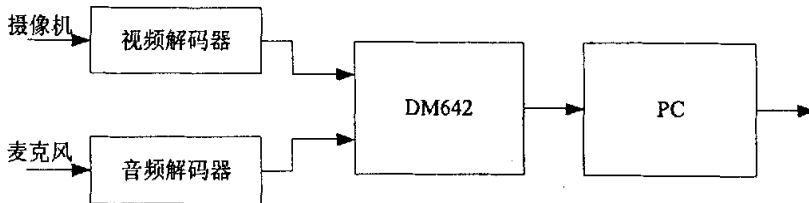


图 6-2 DM642 在视频服务器上的应用

H.264 是由 ITU-T 视频编码专家组 (VCEG) 和 ISO/IEC 移动图像专家组 (MPEG) 共同提出的最新国际视频编码标准。它在 H.263 视频压缩标准的基础上, 进行了进一步的改进和扩展。其目的是为了进一步降低编码率, 提高压缩效率, 同时提供一个友好的网络接口, 使得视频码流更适合在网络上传送。由于该标准可以提供更低的码率, 所以更适合应用于多媒体通信领域。在相同的图像质量下, H.264 所需码率约为 MPEG-2 的 36%、H.263 的 51%、MPEG-4 的 61%。

AAC 实际上是高级音频编码的缩写。AAC 是由 Fraunhofer IIS-A、杜比和 AT&T 共同开发的一种音频格式, 它是 MPEG-2 规范的一部分。AAC 所采用的

运算法则与 MP3 的运算法则有所不同，AAC 通过结合其他的功能来提高编码效率。AAC 的音频算法在压缩能力上远远超过了以前的一些压缩算法（比如 MP3 等）。它还同时支持多达 48 个音轨、15 个低频音轨、更多种采样率和比特率、多种语言的兼容能力、更高的解码效率。总之，AAC 可以在比 MP3 文件缩小 30%的前提下提供更好的音质^{[27][28]}。

第七章 结论

7.1 工作总结

在深入了解音视频采集处理系统在国内外的的发展情况和比较各种音视频采集处理方法的基础上,提出了基于 DSPs 的多路音视频采集处理系统。本系统是参考 TI 公司的产品 DM642EVM 板^[29]进行设计的,该板只具有两路视频输入一路视频输出,一路音频输入和一路音频输出的功能。在充分了解 DM642 芯片所有接口特性的基础上,结合已有的 DM642EVM 板的电路和软件,设计出能同时处理 4 路视频和 4 路音频的多路音视频采集处理系统。该系统具有以下特点:

(1) 实时性:能够同时处理 4 路 CIF 格式的数字视频和 4 路音频,并且可以动态切换,最大帧速率为 4 路 CIF 同时每路可达 30 帧/秒,系统帧能力为 CIF 格式 120 帧/秒,音频采集速率为 64Kbps,可以完全保证图像和声音的实时采集。

(2) 稳定性和可靠性:在系统方案设计、设备选型、软硬件开发以及操作使用中,都优先考虑了提供稳定可靠的技术条件。

(3) 标准性和规范性:采用国际、国家及行业标准,系统设计规范化,在 TI 公司推出的 DSP 软件开发环境 CCS2.0 中采用 C 语言结合汇编语言进行的软件设计,完全符合规范。

(4) 可维护性和可扩展性:系统的总体结构合理,扩展灵活,系统外设配置可灵活增加,易于同相关产品互连。

基于 DM642 芯片设计的音视频采集处理系统能广泛地应用于机顶盒、视频分割器和视频服务器等方面。

7.2 工作展望

在本文工作和研究的基础上,有待于进一步研究的工作有以下几点:

(1) 对于该系统的软硬件还可以进一步的优化扩展,使 DM642 芯片的性能得到最大程度的发挥。

(2) 如果不考虑音频,该芯片可以连接最多六路视频输入,如何保证六路视频采集输入的实时性,也是未来的研究问题之一。

参考文献

- [1] 李在铭等, 数字图像处理、压缩与识别技术, 成都: 电子科技大学出版社, 2000.11, 2-3 页;
- [2] 苏光大, 微机图像处理系统, 北京: 清华大学出版社, 2000, 5-16 页;
- [3] 李方慧、王飞、何佩琨, TMS320C6000 系列 DSPs 原理与应用, 北京: 电子工业出版社, 2003.1, 4-8 页;
- [4] DSP Selection Guide, TI Company, 2004.4;
- [5] Video and Imaging Solutions Guide, TI Company, 2004.1;
- [6] 赵训威, 基于 TMS320C6200 系列 DSP 芯片的应用与开发, 人民邮电出版社, 2-5 页;
- [7] TMS320DM642 Video Imaging Fixed-Point Digital Signal Processor, TI company, 2002, Page 1-87;
- [8] 魏振宇、张旭东, 一种新的数字信号处理器——媒体处理器 DM642, 世界电子元器件, 2004.6;
- [9] TMS320DM642 EMAC/MDIO Module Reference Guide, TI Company, 2004.3;
- [10] TMS320C6000 DSP General-Purpose Input/Output (GPIO) Reference Guide, TI Company, 2002.10;
- [11] TMS320C6000 DSP Multichannel Audio Serial Port (McASP) Reference Guide, TI Company, 2002.10;
- [12] TVP5150 Low-Power Video Decoder With Scaling Data Manual, TI company, 2002.9;
- [13] SAA7104E/SAA7105E Digital video encoder Data Sheet, PHILIPS Semiconductors, 2004.3;
- [14] TLV320AIC23 Data Manual, TI company, 2002.5;
- [15] TMS320DM642 EVM OSD FPGA User's Guide, TI company, 2002.6;
- [16] SYNCHRONOUS DRAM MT48LC4M32B2, Micron Technology, 2001;
- [17] Am29LV033C Data Sheet, AMD company, 2003.7;
- [18] TMS320C64x DSP Video Port VCXO Interpolated Control (VIC) Port Reference Guide, TI company, 2005.1;
- [19] TMS320DM642 Video Port Mini-Driver for TVP 5146 and TVP5150 Decoder TI Company, 2004.7;
- [20] TMS320C6000 DSP Inter-Integrated Circuit(I2C) Module Reference Guide, TI Company, 2002.10;
- [21] SN74CBT3257 Data Sheet, TI company, 2004.1;

- [22] TMS320C6000 McBSP:AC' 97 Codec Interface (TLV320AIC27), TI Company, 2004.5;
- [23] TMS320C6000 DSP External Memory Interface (EMIF) Reference Guide, TI company, 2005, 97-105;
- [24] TMS320C6000 EMIF-to-External SDRAM Interface, TI company, 2004.3;
- [25] TMS320C6000 EMIF to External Flash Memory, TI company, 2002.2;
- [26] 杨朋林、张晓飞, FPGA 控制实现图像系统视频图像采集, 计算机测量与控制, 2003.11(6)451-454 页;
- [27] 刘德良、姚春莲、李炜、葛宝珊, 多分辨率图像实时采集系统的 FPGA 逻辑设计, 《电子技术应用》2003 年第 3 期 69-72 页;
- [28] tps54315pwp Data Sheet, TI company, 2002;
- [29] TMS320C6000 CPU and Instruction Set Reference Guide, TI company, 2000, Page 64-205;
- [30] TMS320C6000 Optimizing Compiler User' s Guide, TI Company, 2002.10;
- [31] 李军, 钟洪声, SHARC DSP 与 SDRAM 接口设计及 Verilog HDL 语言实现, 半导体技术;
- [32] 刘书明, 罗军辉, ADSP SHARC 系列 DSP 应用系统设计, 电子工业出版社, 2003, 94-99 页;
- [33] 张晓飞、袁祥辉, 基于 DSP 成像系统的视频图像采集部分的实现, 压电与声光, 2002. 6,第 24 卷第三期, 247-250;
- [34] 吴皓等, 视频采集系统 SDRAM 控制器的 FPGA 实现, 中国有线电视, 2003 年第 22 期 57-60;
- [35] 张雄伟等, 现代语音处理技术及应用, 机械工业出版社, 2003.8;
- [36] 刘富强, 数字视频监控系統开发及应用, 北京: 机械工业出版社, 2003.3;
- [37] 精英科技, 视频压缩与音频编码技术, 北京: 中国电力出版社, 2001.6;
- [38] DSP Development Systems, TMS320DM642 Evaluation Module Technical Reference, SPECTRUM DIGITAL, 2003;
- [39] www.ti.com 美国 TI 网站;
- [40] TMS320DM642 Hardware Designer' s Resource Guide, TI Company, 2004.7;