



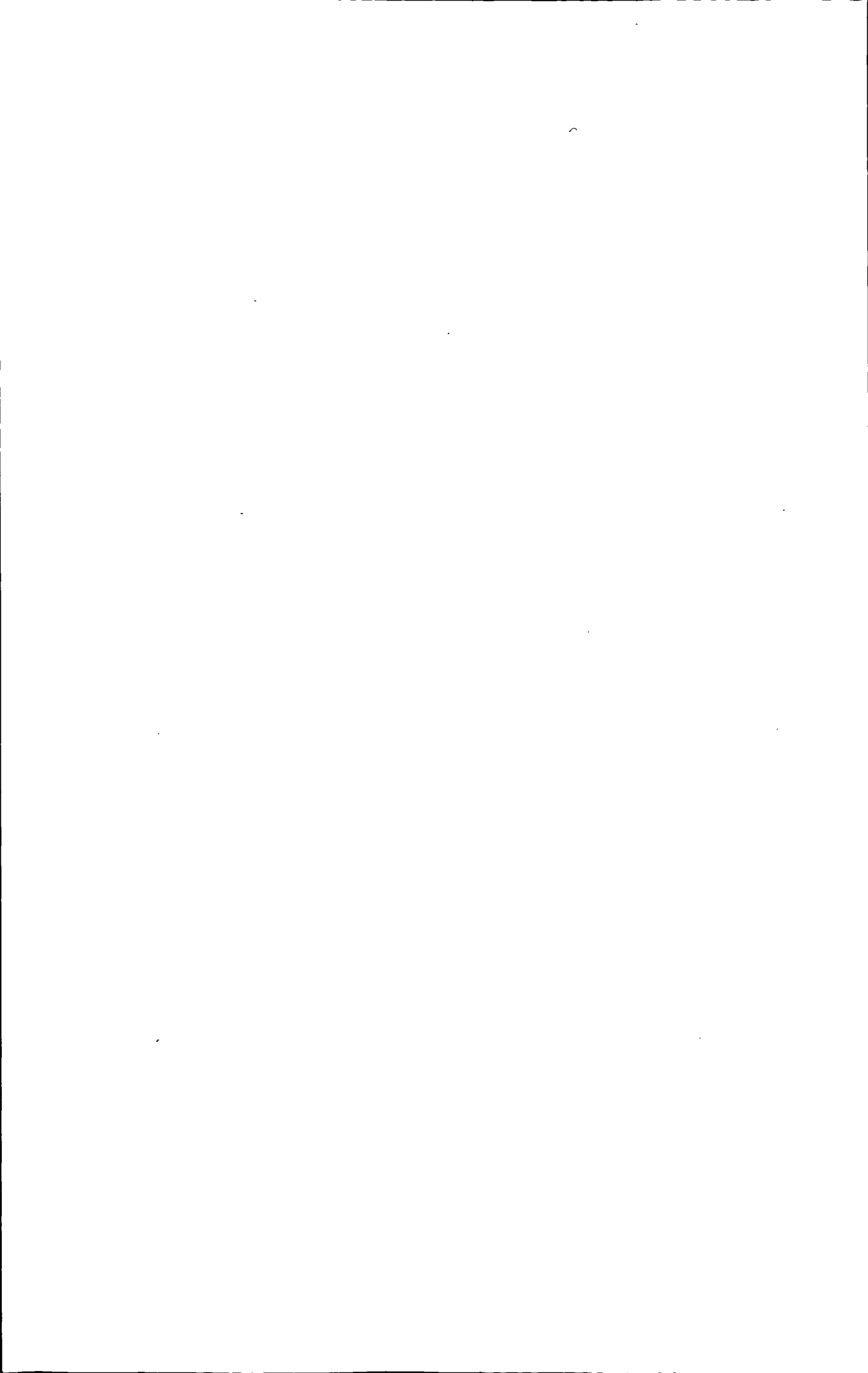
摘要

随着通信技术和集成电路工艺技术的发展,数字信号处理和传输的速度越来越快,同时模拟信号和数字信号之间的转换速率也越来越快,对时钟信号质量的要求越来越苛刻,这些都急需设计高性能的时钟发生器。时钟发生器可广泛应用于接口电路、专用集成电路、时钟数据恢复和微处理器中。

在对时钟发生器原理进行分析和研究的基础上,本文设计了一种低功耗、小抖动、基于延迟锁相环的时钟发生器。该时钟发生器包括时钟锁相电路、倍频器和抗谐波锁定电路三部分。时钟锁相电路(Delay-Locked Loop, DLL)部分与传统的 DLL 相比,增加了相位误差补偿模块,从而可以时刻保持跟踪由外界环境变化引起的任何潜在相位误差。倍频器部分倍频系数可编程,可以实现参考时钟的 $\times 2$ 、 $\times 4$ 、 $\times 6$ 、 $\times 12$ 倍频,且脉冲组合电路主要由 MOS 管构成,而不是由大量的逻辑门构成,从而减小了抖动和功耗。抗谐波锁定电路可以在很宽范围内检测出 DLL 是否处于谐波锁定状态,且只用了多相时钟中的两个。

本文采用 SMIC $0.18\mu\text{m}$ CMOS 标准工艺,电源电压为 1.8V,利用 spectre 和 HSIM 仿真器对基于延迟锁相环的时钟发生器进行仿真验证。参考时钟的频率范围为 25MHz~150MHz。仿真结果表明,时钟发生器中的 DLL 在启动 15 个参考时钟周期内实现锁定,生成 24 相时钟,相邻两个时钟的相位差为 15 度。24 相时钟作为倍频器的输入,根据不同用户码,实现对参考时钟的 $\times 2$ 、 $\times 4$ 、 $\times 6$ 、 $\times 12$ 倍频,得到占空比为 50%的倍频时钟。

关键词: 时钟发生器 延迟锁相环 倍频器 谐波锁定



Abstract

With the development of communication technology and integrated circuits process, the speed of digital signal processing and transmission is becoming incredible. Besides, the slew rate between analog signals and digital signals is more and more rapidly. As a result, the requirement of clock signal quality is rigorous. It is necessary to design a high-performance clock generator. Clock generators can be widely used in interface circuits, ASIC, clock and data recoveries, microprocessors, etc.

A low-power low-jitter DLL-based clock generator is presented in this paper based on the analysis and research on the principle of clock generators. The clock generator proposed in this paper consists of a DLL, a frequency multiplier and an antiharmonic-lock circuit. Compared with conventional DLL, a phase_error compensation block is added to the proposed DLL so that the clock generator can keep track of any potential phase error introduced by unwanted environmental variations or reference frequency instability. In the frequency multiplier, the multiplication factors- $\times 2$, $\times 4$, $\times 6$, $\times 12$ are programmable. Moreover, the pulse-combiner circuit is mainly composed of MOS transistors instead of logic gates, which decreases jitter and power consumption. The antiharmonic-lock circuit uses only two lock phases of multiphase clock, and it can detect whether the DLL is in the harmonic-lock state or not over a wide range.

The proposed DLL-based clock generator is applied in a SMIC 0.18- μm COMS technology. It can take input reference frequencies from 25MHz to 150MHz at power voltage 1.8V. Simulation results show that the DLL can be locked within 15 clock cycles and generates 24 uniformly-spaced phase-shifted signals. According to the programmed 2-bit signals, the frequency multiplier selects phase-shifted signals among 24 streams and provides a multiplied clock. The 50% duty cycle ratio can be achieved by any frequency multiplication factor- $\times 2$, $\times 4$, $\times 6$, $\times 12$ of the DLL-based clock generator, without any risk of harmonic locking.

**Keywords: Clock Generator Delay-Locked Loop Frequency Multiplier
Anti-harmonic Lock**



目录

第一章 绪论.....	1
1.1 研究背景.....	1
1.2 国内外发展现状与课题研究的意义.....	2
1.3 本文的主要研究内容与创新点.....	3
第二章 时钟发生器技术.....	7
2.1 锁相环.....	7
2.1.1 锁相环的工作原理.....	7
2.1.2 锁相环的分类.....	11
2.1.3 锁相环的工作状态.....	12
2.1.4 锁相环的应用.....	13
2.2 延迟锁相环.....	13
2.3 频率合成器.....	15
2.4 本章小结.....	18
第三章 时钟锁相电路的设计.....	19
3.1 时钟周期测量电路.....	19
3.2 多相时钟产生电路.....	21
3.2.1 主译码器.....	22
3.2.2 精调电路.....	23
3.2.3 数据选择器.....	24
3.3 相位误差补偿电路.....	25
3.4 控制电路.....	28
3.4.1 时钟镜像信号产生电路.....	28
3.4.2 测量开始信号产生电路.....	30
3.4.3 测量结束信号产生电路.....	31
3.4.4 控制信号产生电路.....	32
3.5 本章小结.....	34
第四章 倍频器的设计.....	35
4.1 译码器.....	35
4.2 脉冲发生电路.....	37
4.3 脉冲组合电路.....	38
4.4 本章小结.....	45
第五章 抗谐波锁定电路的设计.....	47

目录

5.1 谐波锁定的机理.....	47
5.2 抗谐波锁定电路.....	48
5.3 本章小结.....	53
第六章 基于 DLL 的时钟发生器的总体仿真.....	55
第七章 结论与展望.....	59
致谢.....	61
参考文献.....	63
硕士研究生在读期间参加的科研项目.....	67

第一章 绪论

1.1 研究背景

随着通信和计算机等领域的带宽和运算速度不断增加，数字信号处理和传输的速度越来越快，同时，模拟信号和数字信号之间的转换速率也越来越快，分频率越高，从而对时钟信号质量的要求也越来越苛刻。另一方面，时钟是大多数集成电路和电子产品终端不可或缺的组成部分，因此，时钟成为许多半导体厂商关注的重点之一。

为了满足复杂电路中各种芯片和接口在频率、性能等方面对时钟的需求，通常的解决方案是在电路中采用多个分散晶振。但是，这种方法会引起系统多个时钟源之间的干扰，时钟电路设计复杂，而且物料成本、库存管理和设计资源的成本也居高不下。

随着集成电路制造工艺的发展，越来越复杂的功能模块集成在单个芯片上。SoC(System on Chip)技术正是在集成电路(Integrated Circuits, IC)向集成系统(Integrated Systems, IS)转变的背景下产生的^[1]。国内外学术界定义SoC是将微处理器、模拟IP核、数字IP核和存储器(或片外存储控制接口)等集成在单一芯片上的系统，其体系结构已成为未来高性能微处理器体系结构的趋势。图1.1给出了可复用可配置的时钟发生器示意图，由于SoC集成了更多的模块，导致必须将较大的数字系统分成许多更小的子系统，每个子系统(比如内核、存储、外设等不同部件)工作在不同的频率，因此，需要设计一个单一的可复用可配置的时钟发生器，而不是为每个频率设计一个独立的时钟模块。这样使用，不仅可以避免增加功耗，而且可以充分利用已有的设计积累，显著提高ASIC(Application Specific Integrated Circuits)的设计能力和周期。

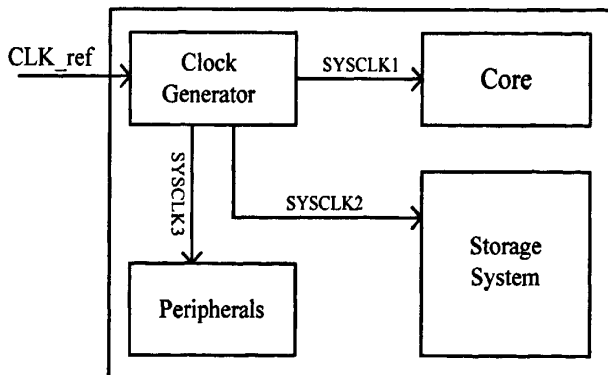


图1.1 可复用可配置的时钟发生器示意图

锁相环(Phase_locked loop, PLL)在过去的二十多年里是微处理器和数字电路领域内许多应用的基础。这些应用包括通信领域中的时钟频率合成(Clock Frequency Synthesis)、高速串行传输接口中的时钟数据恢复(Clock Data Recovery)以及用于同步或者去偏斜的时钟生成(Clock Generation)^[2]。在这些应用中,相位或者抖动的随机瞬态变化是一个关键的性能参数,在数字电路中会引起建立时间和保持时间紊乱,导致数据传输错误或者功能错误。

近年来,随着系统频率的不断提升以及全芯片集成的需求不断提高,对时钟频率的抖动要求越来越苛刻。内部电子器件噪声、外部电源、地与衬底噪声的存在等因素对深亚微米工艺下低抖动 PLL 的设计提出了严峻的挑战。因此,设计一种高性能的时钟发生器是非常必要的。时钟发生器可广泛应用于便携式移动应用、动态频率调整、接口电路、专用集成电路、时钟数据恢复和微处理器中。

1.2 国内外发展现状与课题研究的意义

时钟是大多数集成电路和电子产品终端不可或缺的组成部分,随着通信技术的发展,时钟成为许多半导体厂商关注的重点因素之一。目前,生产时钟产品的厂商主要有美国的国家半导体、德州仪器(TI)、Cypress 公司、Maxim、安森美、日本的三菱、富士通、荷兰的飞利浦等公司^[3]。

德州仪器推出的可编程锁相环时钟发生器 CDCEL9xx,电源电压为 1.8V, RMS 抖动为 60ps,可以从输入频率生成多达 9 个输出时钟源,每个输出都能在系统内编程,以支持高达 230MHz 的任意时钟频率^[4]。

美国国家半导体公司生产的锁相式时钟发生器 LMH1982,不但具备同步锁定功能,而且高分辨率时钟输出的抖动只有 40ps(pk-pk),可以为视频系统的模拟/数字转换器、数字/模拟转换器及 FPGA 收发器分别提供不同的参考时钟,从而确保 3Gbps(3G)。输出的时钟有多种频率可供选择,27MHz、67.5MHz、74.25MHz、74.25/1.001MHz、148.5MHz、148.5/1.001MHz。电源电压为 3.3V 或 2.5V^[5]。

Cypress 公司推出的时钟产品系列 FleXO, RMS 相位抖动为 0.6ps,具有可编程性,可生成从 50MHz 到 690MHz 之间的任意频率,并满足差分信号要求,支持频率容限功能^[6]。

Silicon Laboratories 的时钟发生器 Si5324,能从 2kHz 到 710MHz 范围间的任一输入频率,生成介于 2kHz 至 1.4GHz 间的任一输出频率,时钟抖动为 5ps(pk-pk)^[7]。

国内市场对时钟发生器的需求很大,但是,国内研究生产单片时钟发生器的单位不多,研究也较少^[2,3]。文献[2]研究设计了一种电荷泵锁相环时钟发生器,电源电压为 5V,片内时钟频率达到 160MHz。但是它的压控振荡器(Voltage Controlled

Oscillator, VCO)电压转电流部分,在 0~2V 和 3~5V 产生的电流斜率比较小,容易产生鉴相盲区。文献[3]探讨了一种 CMOS PLL 时钟发生器,电源电压为 3V、3.3V、3.6V,输入参考时钟频率为 25MHz,输出时钟频率为 133、100、66、50、33、25MHz,但是它的带宽和对电源噪声的抑制性能还需要进一步优化。国外产品垄断着时钟发生器的市场,研究也相对较多^[8-12]。文献[8]概述了一种寄存器控制的全数字延迟锁相环(A11 Digital Delay-Locked Loop, ADDLL),该 ADDLL 应用在多相位时钟发生器时,可以克服错误锁定的问题,但是它的锁定时间比较长,不适用于较宽的工作频率范围。文献[9]设计了一种基于 CMOS DLL 的时钟合成器和温度补偿调整振荡器,尽管它通过一个自我调节电路能使 DLL 被正确锁定。但是,这个自我调节电路是根据多相位时钟信号的取值进行采样的,因此,对参考时钟的占空比非常敏感。文献[10]讨论了一种基于 DLL 的时钟发生器,它的倍频系数可编程,锁定范围宽。而且,即使输入时钟的占空比不是 50%,输出倍频时钟的占空比也是 50%。但是,倍频器中内部节点电容很大,这限制了时钟发生器的最大工作速度。文献[11]研究了一种多相位时钟发生器,工作频率为 2.1~3.5GHz,锁定时间为 256 个周期,时钟抖动为 40ps(pk-pk),功耗为 70mW(@3.5GHz)。但是,当 DLL 锁定时,它的数字控制码会不停地变化,从而增加了输出时钟的抖动。文献[12]设计了一种全数字延迟锁相环,工作频率为 40~550MHz,锁定时间为 14 个周期(@550MHz),时钟抖动为 12ps(pk-pk),功耗为 12.6mW(@550MHz)。尽管它的锁定时间变短了,但是开环特性使得它很难跟踪工艺、电压、温度的变化。

随着小型化系统化应用的发展,单独的分频器的市场需求量减少,对集成的时钟发生器的需求迅速增加。综合国内外的形势,研究基于延迟锁相环的时钟发生器具有很强的现实意义和市场价值。

1.3 本文的主要研究内容与创新点

许多高性能系统中的时钟发生器都是用 PLL 来实现高频和可编程时钟倍频^[13,14]。然而,基于 PLL 的时钟发生器有一些缺点。首先,由于 PLL 对于稳定性是高阶系统,所以它的带宽会随着工艺、电压、温度的变化而变化。其次,由于压控振荡器的输出反馈到 PLL,所以振荡周期的抖动积累会导致很大的相位误差^[15]。这些都会影响 PLL 的整体性能,使基于 PLL 的时钟发生器设计更复杂,更费时,更具有挑战性。相反,基于 DLL 的时钟发生器采用一阶环路,具有更小的抖动和相位噪声。而且,它对工艺、电压、温度的变化更稳定^[16],易设计,占据面积小。

图 1.2 为传统的基于 DLL 的时钟发生器模块图,通过鉴相器(Phase Detector, PD)比较延迟线的输出和参考时钟之间的相位差,并为计数器产生一控制信号,来控制延迟线的整体延迟。当延迟线的输出和参考时钟之间的相位差精确等于参考时

钟的一个周期时, DLL 被正确锁定。当 DLL 锁定时, 环路控制单元使计数器和其他控制电路停止工作。计数器的输出保存到寄存器中, 使得延迟线保持一个固定的延迟。此方案使得反馈回路变成一个固定的延迟, 减小了抖动, 降低了功耗。

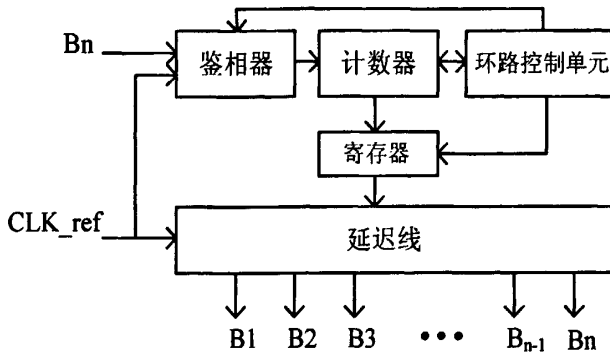


图 1.2 传统的基于 DLL 的时钟发生器

图 1.2 所示的时钟发生器主要的缺点是不能补偿由外界环境变化(例如: 温度变化, 参考频率变化, 电源噪声等)引起的任何潜在相位误差。

为了解决这个问题, 本文设计了一种低功耗、小抖动、基于 DLL 的新的时钟发生器。图 1.3 为该时钟发生器系统结构图, 包括时钟锁相电路(DLL)、倍频器和抗谐波锁定电路三部分。时钟锁相电路部分增加了一个相位误差补偿模块, 从而, 该时钟发生器可以时刻保持跟踪由外界环境变化引起的任何潜在相位误差。另外, 为了得到高频时钟, 增加了倍频器, 由 DLL 锁定时产生的多相时钟合成倍频时钟; 为了避免谐波锁定, 增加了抗谐波锁定电路。

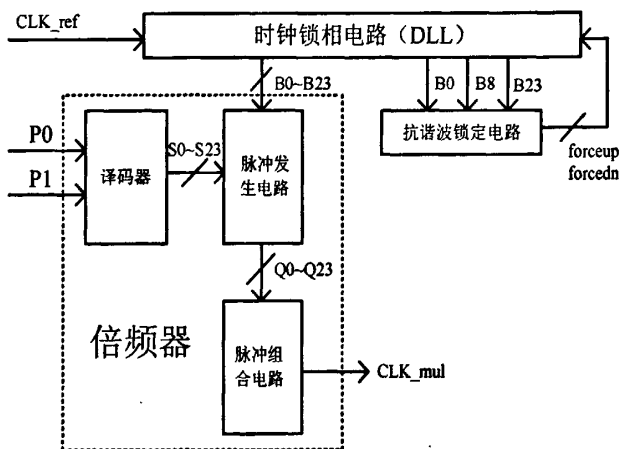


图 1.3 本文设计的基于 DLL 的时钟发生器的系统结构图

本文设计的时钟发生器的工作过程为: 参考时钟 CLK_ref 被传送到时钟锁相电路(DLL), 当 DLL 锁定时, 生成 24 相时钟(B0~B23), 相邻两时钟的相位差相等,

均为 15 度。此 24 相时钟作为倍频器的输入。根据用户码(P0,P1), 倍频器可生成四种倍频($\times 2$ 、 $\times 4$ 、 $\times 6$ 、 $\times 12$)输出时钟中的一种。在多相时钟(B0~B23)中, B0、B8 和 B23 被选为抗谐波锁定电路的输入, 用来检测 DLL 是否为谐波锁定。抗谐波锁定电路生成两个信号(forceup 和 forcedn), 用来控制时钟锁相电路, 通过调整, 使 DLL 被正确锁定。

本文设计的基于 DLL 的时钟发生器, 其倍频系数可编程, 并且能够时刻保持跟踪由外界环境变化引起的任何潜在相位误差。

本文共分为七个章节, 各章节组织如下: 第一章绪论, 主要概述本课题的研究背景、现状、研究意义以及本文的主要研究内容; 第二章分析讨论时钟发生器的一些主要技术, 包括锁相环、频率合成器等; 第三章是时钟锁相电路的设计; 第四章是倍频器的设计; 第五章是抗谐波锁定电路的设计; 第六章为基于 DLL 的时钟发生器的总体仿真及结果分析; 第七章对全文进行总结并提出一些可以继续研究的方向。

第二章 时钟发生器技术

随着集成电路工艺技术和通信技术的发展,芯片的工作频率越来越高,信号转换速率也越来越快,各类电子系统对时钟发生器的要求越来越高,包括更低的相位噪声和功耗、更快的频率转换时间、更高的频率分辨率等。为了满足不同应用和时刻变化的技术需求,时钟发生器变得越来越复杂而且昂贵。时钟发生器技术的重要地位日益凸显。

时钟发生器技术最主要的组成部分是频率合成器,它是一个系统,能够产生参考频率的整数或者小数倍的各种频率,根据不同的应用可采用不同的频率合成技术,而且具有可以不用电感线圈、易于集成化等优点,因此广泛用于通信、雷达、导航、仪表和机电等方面。

2.1 锁相环

锁相技术是一种实现相位自动控制的方法,是专门研究系统相位的技术。利用锁相技术得到的锁相环(Phase-Locked Loop, PLL)是一个闭环的相位自动控制系统,它的输出信号能够自动跟踪输入信号的相位变化,也可以将之称为一个相位差自动跟踪系统,它能够自动跟踪两个信号的相位差,并且靠反馈控制来达到自动调节输出信号相位的目的。

2.1.1 锁相环的工作原理

锁相环的实现方式多种多样,图 2.1 为锁相环基本组成示意图,通常包括三个基本模块:鉴相器 (Phase Detector, PD)、环路滤波器(Loop Filter, LF)和压控振荡器 (Voltage Controlled Oscillator, VCO)^[3]。

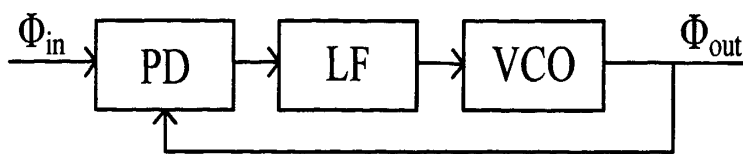


图 2.1 锁相环基本组成示意图

锁相环的基本功能是跟踪输入信号的相位。这一功能是由鉴相器产生一个与输入信号和 VCO 输出信号相位差($\phi_{out} - \phi_{in}$)成比例的电压而完成的。这个相位误差电压通过环路滤波器,抑制了噪声和低频信号成分。经滤波后的相位误差电压调制 VCO 振荡频率,而 VCO 的输出信号经过反馈回路重新在鉴相器中与输入信号

比较相位。经过这样一个负反馈环使得 VCO 以固定的相位关系跟踪输入信号, 此时相位差($\phi_{out} - \phi_{in}$)恒定且很小。当相位差($\phi_{out} - \phi_{in}$)不再随时间变化时, 则定义为环路锁定, 即:

$$\frac{d\phi_{out}}{dt} - \frac{d\phi_{in}}{dt} = 0 \quad (2-1)$$

$$\omega_{out} = \omega_{in} \quad (2-2)$$

所以, 锁相环可以通过跟踪信号的相位, 来获得相位同步和频率跟踪。

图 2.1 所示锁相环的闭环传输函数为:

$$H(s) = \frac{\Phi_{out}(s)}{\Phi_{in}(s)} = \frac{K_{PD}K_{VCO}F_{LPF}(s)}{s + K_{PD}K_{VCO}F_{LPF}(s)} \quad (2-3)$$

(1) 鉴相器

鉴相器比较输出相位和输入相位, 输出一组逻辑状态, 控制电荷泵的开关。

鉴相器是锁相环中的数字部件, 其数学模型如式(2-4)所示:

$$\overline{u_d} = K_d \Delta\phi \quad (2-4)$$

式(2-4)中 K_d 表示鉴相器(PD)的增益, 单位是 V/rad , $\Delta\phi$ 是输入信号相位差。实际上, $\overline{u_d}$ 与 $\Delta\phi$ 之间的关系不可能是线性, 甚至也不是与 $\Delta\phi$ 单调的, 而且 K_d 可能与输入信号的幅度及占空比都有关系。

很多电路都可以用作鉴相器。在混合信号锁相环中主要有四类鉴相器, 分别是乘法器鉴相器(Multiplier Phase Detector)、异或门鉴相器(XOR Phase Detector)、JK 触发器鉴相器(JK-flipflop Phase Detector)和鉴频鉴相器(Phase Frequency Detector, PFD)^[3]。下面主要介绍鉴频鉴相器的原理和性质。

数字式鉴频鉴相器是利用输入信号的跳变沿触发工作, 既能鉴相又能鉴频。由于它只是对两个输入信号的跳变沿进行比较, 因此对输入信号的占空比无固定要求, 性能优越。图 2.2 给出了数字式鉴频鉴相器的基本框图。它是由两个边沿触发、带复位的 D 触发器组成, 触发器数据端都接高电平, 时钟端分别接参考时钟 F_{ref} 和反馈时钟 F_{rb} 。如果 F_{ref} 和 F_{rb} 的起始值都为 0, 且 F_{ref} 由低变高, 则 UP 输出高电平。接着 F_{rb} 也由低变高, 于是 DN 也输出高电平, 则与门使两个触发器复位。可以看出, UP 或 DN 有效的的时间正比于两输入信号相位差的大小。最后用鉴相器产生的 UP 和 DN 信号去控制电荷泵对滤波电容的充放电, 以产生控制电压 V_{ctrl} 。

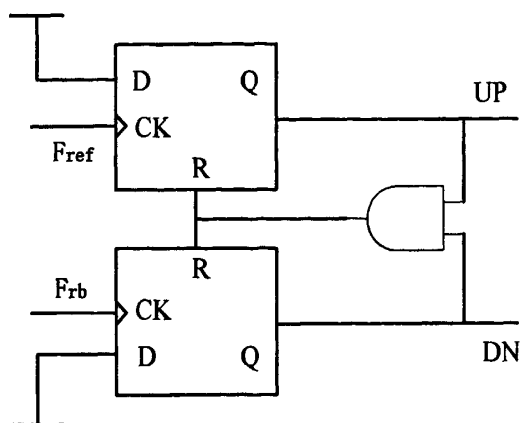


图 2.2 数字式鉴频鉴相器的基本框图

(2) 环路滤波器

环路滤波器主要是过滤鉴相器输出端的高频噪声，并产生一控制电压来控制后端的压控振荡器，滤波器大致可以分为有源与无源两类。表 2.1 列举了几种常用的滤波器类型的电路、幅频伯德图及传递函数。

表 2.1 常用的滤波器类型

类型	电路	伯德图	传递函数
无源			$\frac{1}{1 + j\omega\tau_1}$
无源			$\frac{1 + j\omega\tau_2}{1 + j\omega(\tau_1 + \tau_2)}$
有源			$\frac{1 + j\omega\tau_2}{j\omega\tau_1}$
有源			$\frac{K_a(1 + j\omega\tau_2)}{1 + j\omega(\tau_1 + \tau_2)}$

其中 $\tau_1 = R_1C$, $\tau_2 = R_2C$, $\tau_1' = R_1C_1$, $\tau_2' = R_2C_2$, $K_a = C_1/C_2$ 。

(3) 压控振荡器

压控振荡器利用改变输入控制电压来调节输出信号频率，是锁相环与频率合成器中的关键部件。理想 VCO 及其传输特性如图 2.3 所示。

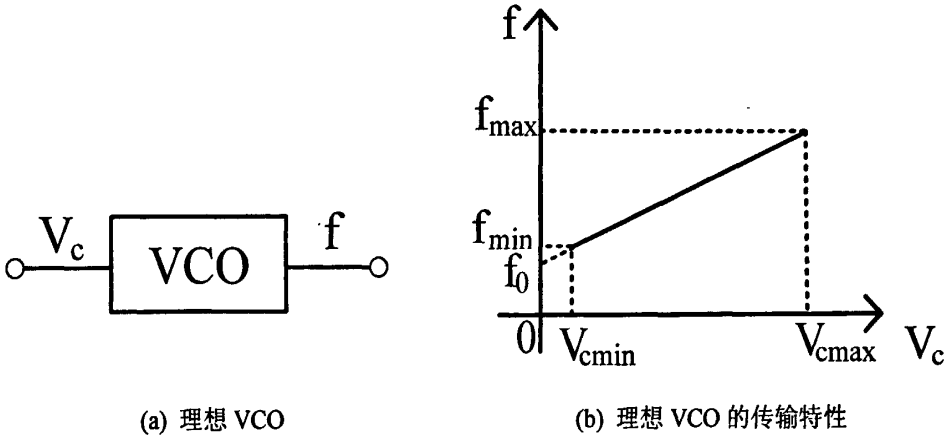


图 2.3 理想 VCO 及其传输特性

由图 2.3 可知：

$$K_{VCO} = \frac{f_{\max} - f_{\min}}{V_{c\max} - V_{c\min}} \text{ (Hz/V)} \quad (2-5)$$

其中， K_{VCO} 是 VCO 电路的增益， f_0 代表 $V_c=0$ 时的频率。由式(2-5)可以推出：

$$f_{out} = f_0 + K_{VCO}V_c \quad (2-6)$$

其传递函数为：

$$\frac{\phi_{out}(s)}{V_c} = \frac{2\pi K_{VCO}}{s} \quad (2-7)$$

振荡器发展到现在，具有很多种类，主要有环形振荡器(Ring Oscillator)、电感电容振荡器(LC Oscillator)、晶体振荡器(Crystal Oscillator)、弛豫振荡器(Relaxation Oscillator)以及电阻电容振荡器(RC Oscillator)。在种类繁多的振荡器中，锁相环系统中广泛应用的压控振荡器是环形压控振荡器、电感电容压控振荡器和压控晶体振荡器。

电感电容压控振荡器利用电感电容谐振的原理，产生一个很高的振荡频率(几个到几十个 GHz)，这类振荡器可应用于高频电路中。优点是结构简单，电路性能稳定，产生的相位噪声小。缺点是电路调节范围小，芯片占用面积大，片上电感的性能对工艺的依赖性大。由于高品质因素的片上电感的难以实现，所以这类振荡器电路设计的关键是提高谐振电感的 Q 值。

压控晶体振荡器(VCXO)是一种可通过调整外加电压使晶振输出频率随之改变的晶体振荡器。压控晶体振荡器具有很高的频率稳定性和精度，频率稳定性在

0~70℃范围内一般可达 $\pm 20 \sim 100$ ppm, 频率的精确度可达到 $\pm 0.001\%$ 左右, 故广泛应用于集成电路和便携式产品中。这类振荡器的缺点是输出频率的可调范围非常狭窄, 一般而言范围在数十至几百 ppm 之间, 主要用于锁相环路或频率微调。压控晶振的频率控制范围及线性度主要取决于电路所用变容二极管及晶体参数两者的组合。

环形压控振荡器的工作原理是使用奇数级延迟缓冲器或者偶数级差分延迟缓冲器, 构成一个闭环系统, 当整个环路的相位差达到 360 度时, 则会导致振荡。因为其具有占用面积少、集成度高、调节范围宽、便于实现的优点而广泛应用于集成电路中。这类电路的缺点是输出信号的相位噪声大。

2.1.2 锁相环的分类

按照模拟、数字、数模混合的方式, 锁相环可以分为以下三种结构^[2]。

模拟锁相环 (Analog Phase-Locked Loop, APLL) 大多由四象限模拟乘法器来构建环路中的鉴相器, 环路滤波器为低通滤波器(由电阻 R, 电容 C 组成), 压控振荡器的结构多种多样。由于 APLL 在稳定工作时, 各个模块都可以认为是线性工作的, 所以也称为 LPLL (Linear Phase-Locked Loop)。APLL 对正弦特性信号的相位跟踪非常好, 它的环路特性主要由鉴相器的特性决定, 主要用于对信号的调制解调。

全数字锁相环 (All Digital Phase-Locked Loop, ADPLL), 顾名思义, 其环路中的所有部件都是用数字电路来实现的。它的经典结构为鉴相器用过零检测数字鉴相器, 环路滤波器一般用可逆计数器来实现, 振荡器则用数控振荡器(DCO)实现, 整个电路中没有任何电阻电容。ADPLL 由于出现时间尚短, 虽然由于其电路中只有导通、截止两种状态, 具有收到外界和电源的干扰的可能性小、电路易于集成、系统的可靠性高等优点, 但也存在工作频率不高, 结构复杂, 噪声分析困难等缺点, 只能用于诸如时钟恢复、位同步提取等情况下。

电荷泵锁相环 (Charge-Pump Phase-Locked Loop, CPPLL) 是数模混合 PLL 中的典型代表。其不可替代的优势在于: 在理论上可以证明 CPPLL 静态相位误差为零, 实践也证明 CPPLL 具有高速、低功耗、低抖动的特性, 是设计实现锁相环的一个简单、高效的方法。通过环路带宽、阻尼因子、锁定范围等变量的折中, 可以对 CPPLL 进行灵活的设计。CPPLL 一般用数字电路实现环路中的鉴频鉴相器, 环路滤波器也是低通滤波器, 压控振荡器还是模拟电路, 紧接着鉴频鉴相器的电荷泵是数模电路的交界点。它主要用于频率综合、时钟处理等领域, 是目前应用最为广泛的一种锁相环。

2.1.3 锁相环的工作状态

锁相环的输入信号不同, 环路参数不同, 其工作状态也不同^[2]。

(1) 锁定状态

整个环路已经达到了输入信号相位的稳定状态。它指输出信号相位等于输入信号相位或是两者存在一个固定点相位差, 但频率相等。在锁定状态时, 压控振荡器的电压控制信号应该接近平缓。

(2) 跟踪过程

跟踪是指在锁定前提下, 输入参考频率和相位在一定的范围内, 以一定的速率发生变化时, 输出信号的频率和相位以同样的规律跟随着变化, 这一过程称为环路的跟踪过程。由输入信号频率或者相位的变化而引起的相位误差一般都不大, 环路可视作线性系统。

例如当控制频率 ω_r 增大的时候, 固有频差也将增大, 这使稳态相差 $\theta_e(\infty)$ 增大; 而稳态相差 $\theta_e(\infty)$ 的增大又使得直流控制电压增大, 这必使 VCO 产生的控制频差 $|\Delta\omega_r|$ 增大, 当控制频差大得足以补偿固有频差 $\Delta\omega_0$ 时, 环路维持锁定。

(3) 失锁状态

环路的输出中一个与输入信号的频率之差不为零的稳定状态或是一个不停地振荡状态都称为失锁状态。当环路的结构设计有问题的时候, 或是输入信号没有满足系统要求的时候都会进入这个状态, 这个状态意味着环路没有正常工作。在失锁状态下, 鉴相器的输出是一个差拍电压。

由于相位捕获时间非常短, 远小于频率捕获时间, 所以我们把频率捕获过程所需的时间定义为环路捕获时间。

(4) 捕获过程

捕获过程是指环路由失锁状态进入锁定状态的过程。这个状态表明环路已经开始正常工作, 但是还没有达到锁定的稳态, 此过程应该是一个相位误差不断减少的过程。

需要指出的是, 环路能否发生捕获是与固有频率 $\Delta\omega_0$ 的大小有关的。只有 $|\Delta\omega_0|$ 小于某一频率范围时, 环路才能捕获入锁, 这一范围称为环路的捕获带。定义为: 在失锁状态下, 能使环路经频率牵引, 最终锁定的最大固有频差 $|\Delta\omega_0|_{\max}$, 即环路的捕获带 $\Delta\omega_p = |\Delta\omega_0|_{\max}$ 。

若 $|\Delta\omega_0| > \Delta\omega_p$, 则环路不能捕获入锁。

2.1.4 锁相环的应用

锁相环在通讯、无线电系统、数字电路和磁盘驱动等领域中有着广泛的应用。它可以实现频率合成、时钟恢复以及数字电路的噪声抑制等功能^[2]。

(1) 频率合成

在很多的场合,系统往往需要不同频率的时钟信号或者要求频率不断改变的时钟。锁相环通常可以产生这些频率间隔小而精确的时钟;另外,在射频系统中往往要产生高频本地时钟,这可以通过锁相环将外部提供的低频参考时钟倍频来实现:最后,锁相环通过分频器可以实现精确的任意小数时钟频率。其中,信道选择电路是数字部分,用以改变分频比 M 。该结构可实现输出时钟频率是输入参考频率的 M 倍。由于输入参考频率一般来自于稳定的低噪声石英振荡器,因而,它可以得到相当精确的输出频率。目前,输出频率达到几十 GHz 的频率合成器都已被报道。设计频率合成器主要需要考虑噪声、输出信号边带、建立时间、锁定频率范围以及功耗等性能指标。

(2) 时钟恢复

在通讯系统中,锁相环可以根据输入信号来产生输出时钟信号并恢复数据,这种锁相环应用一般称为时钟恢复或位同步电路。发射端数字数据被送入移位寄存器,并按照系统时钟被顺序移到发射端的输出驱动器上。由于在通讯信道中传输的数据一般是模拟量,因而,需要运放接收端将这些数据重新转换为数字逻辑电平。运放输出端的数字信号被送入移位寄存器,通过锁相环产生的一个和输入信号同步的时钟(即恢复时钟)作为移位寄存器的触发时钟,从而将输入的数据信号重新恢复。

(3) 时钟偏移的减小

在数字系统中,最早使用锁相环是为了减小偏移。因为时钟通常要驱动大量的晶体管和长连线,所以,首先它要经过一个大的缓冲器。因此,相对于数据,片上所分布的时钟就存在相当大的偏移,这是一个不希望有的结果,因为它减小了芯片工作的频率。而 PLL 可保证连接锁相环的输入和输出信号之间的相位差的标称值为零,则消除了时钟的偏移。

2.2 延迟锁相环

与图 2.1 中的 PLL 相比,延迟锁相环的滤波电路结构更简单,且用压控延迟线(VCDL)替代了传统结构中的压控振荡器,如图 2.4 所示。这不仅使延迟锁相环能够更快地进入锁定状态,而且使之具有更高的稳定性和更好的抗抖动性能。因此,延迟锁相环比传统锁相环更适合被应用于高精度的芯片上。

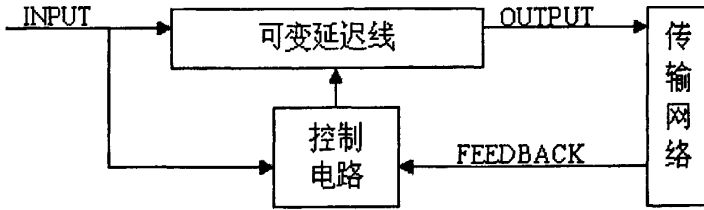


图 2.4 延迟锁相环的基本结构

图 2.4 给出了最简单的延迟锁相环的基本结构，它由可变延迟线和控制电路组成。延迟线将输入时钟(INPUT)延迟后输出，然后这个延迟后的时钟信号被传送到系统内部所有需要触发的寄存器，同时也被反馈回 FEEDBACK 端。控制电路对 INPUT 和 FEEDBACK 采样，根据结果对延迟单元的个数进行调整，通过延迟线在输入时钟和反馈时钟之间插入延时，直到两信号的上升沿重合，此时两信号相位也重合，系统“锁定”。只要输入时钟信号的变化频率足够低，则输入时钟与输出时钟没有相位差，这样，负载就得到了“没有延迟”的时钟信号，如图 2.5 所示。

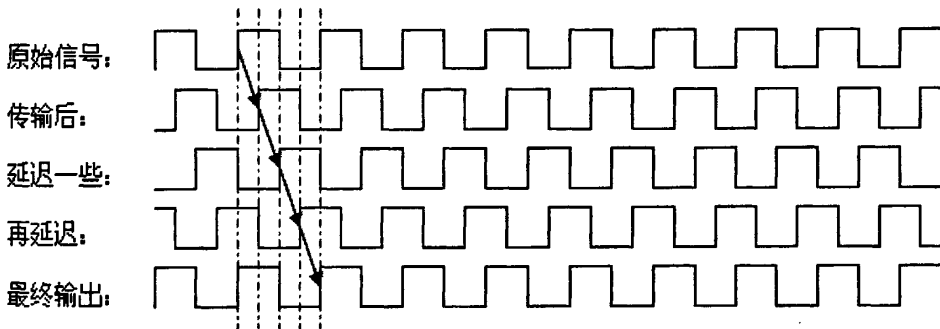


图 2.5 压控延迟线对原始输入信号的延迟调整过程

相对于图 2.1 所示的锁相环，延迟锁相环有两个突出的优点。

(1) 对于压控振荡器(VCO)，它的输出频率和输入控制电压成正比，它的传输函数包含一个极点： $H(S)=K_1/S$ ；对于压控延迟线(VCDL)，它的输出相位和输入控制电压成正比，它的传输函数是个常数： $H(S)=K_2$ 。所以，对于一阶的低通滤波器(LPF)，基于压控延迟线的锁相环的系统传输函数为一阶方程。这相对于二阶系统，关于增益、带宽和稳定性的考虑将更加容易。

(2) 更小的相位抖动，相位抖动是锁相环一个很重要的指标，电路的噪声是引起这种抖动的原因之一。输入压控振荡器的噪声会通过本身再生而输出，而输入压控延迟线的噪声会通过延迟线消失，因而相位抖动会得到改善。

DLL 电路按照其实现方法的不同可以分为模拟电路 DLL 和数字电路 DLL 两类。一般而言，模拟延迟锁相环的抗抖动性能比数字延迟锁相环好，这也是模拟延迟锁相环吸引人的原因之一。但是，模拟延迟锁相环需要进行较长时间的反复调整才能进入锁定状态。模拟锁相环中的模拟结构一方面由于对噪声敏感，会降

低电路的最高工作频率，另一方面由于使用了电阻电容，会使系统的性能随着温度等环境因素的变化而变化。而且，电阻电容会占据较大的版图面积。另外，模拟电路的设计复杂度高，在不同工艺条件间的移植性差和功耗都是需要考虑的问题。而数字电路在这些方面都有着明显的优势。

如果可变延迟线中延迟单元的延迟精度足够高，数字延迟锁相环就可以仅通过一次延迟插入动作实现输出信号与输入信号的同步。因此，数字延迟锁相环比模拟延迟锁相环具有更快的锁定速度。同时，得益于 CMOS 电路的等比例缩小技术，数字延迟锁相环的设计可以在不同工艺条件下进行移植，这大大简化了设计过程。此外，随着特征尺寸的缩小，数字延迟锁相环的电源电压和功耗都会降低，工作速度也会提高。由于数字延迟锁相环对噪声不敏感，其稳定性很高，用它代替模拟延迟锁相环，也解决了数、模电路工艺不兼容的问题。但是，由于延迟单元的延迟量往往不够精确，且会受到逻辑门延迟的影响，有时也需要添加额外的电路进行匹配才能实现一次锁定。

当然，数字延迟锁相环也存在一些缺点。但从总体上看，数字延迟锁相环要比模拟延迟锁相环更能胜任在高性能芯片上的工作。因此，数字延迟锁相环也越来越成为高频时钟产生和同步电路设计的首选。

2.3 频率合成器

频率合成是将一个高精度、高稳定度的标准频率经过加、减、乘、除等运算产生同样精度和稳定度的一个或多个频率的技术，根据这一原理组成的设备和仪器就称为频率合成器或频率综合器。频率合成器的技术复杂度很高，经历了直接模拟频率合成器、锁相环频率合成器、直接数字频率合成器三个发展阶段^[17]。

(1) 直接模拟频率合成器

直接模拟频率合成是将晶体振荡器产生的频率信号通过倍频、分频、混频和滤波得到大量离散频率信号，如图 2.6 所示。

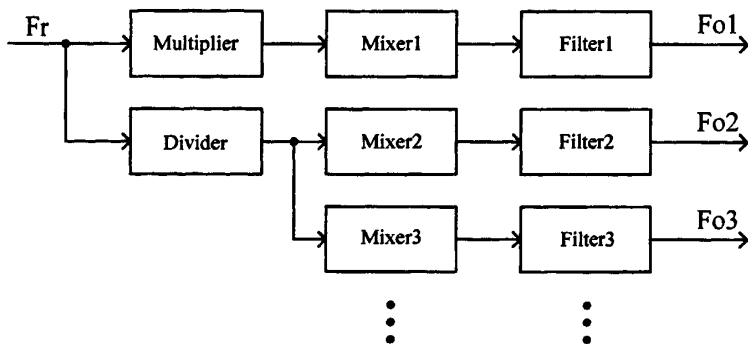


图 2.6 模拟频率合成器原理

频率合成器这个概念是 Finder 在 1943 年首先使用的, 他提出的频率合成器就是直接模拟频率合成器。直接模拟合成器的最大优点是频率转换速度快(μs 以下数量级), 但其缺点也是不能容忍的: 系统中需要用到大量的分(倍)频器、混频器、滤波器等, 造成体积大、成本高、不能集成、频谱不纯, 因此现在已基本被淘汰。

(2) 锁相环频率合成器

锁相环频率合成是利用一个高稳定性和高精度的晶体振荡器产生基准频率的输入信号, 通过锁相环路的锁定技术, 在输出端得到大量与晶体振荡器具有同样稳定性和精度的离散频率的信号。

锁相环频率合成器的基本结构由鉴相器(Phase Detector, PD)、环路滤波器(Loop Filter, LF)、压控振荡器(Voltage Controlled Oscillator, VCO)、程序分频器(Programmable Divider)以及数字控制器(Digital Controller, 它通常也可以认为不是频率合成器的一部分)构成, 其基本原理图如图 2.7 所示。参考频率 F_r 通常由晶体振荡器经过分频器产生, 鉴相器对参考频率信号 F_r 和 VCO 振荡频率分频得到的频率信号 F'_o 进行相位比较, 只要 F_r 和 F'_o 不是同频同相, 鉴相器就会有信号 V_d 输出, V_d 经过环路滤波器滤波以后得到直流的平均值 V_c , 控制压控振荡器的输出频率 F_o , 其中 $F_o = N F'_o$ 。 V_c 会使 F'_o 频率和相位朝着更接近于 F_r 的频率和相位的方向变化, 如此反复循环, 最终使 F'_o 与 F_r 同频同相, V_c 稳定下来, VCO 输出稳定的频率 F_o , 锁相环频率合成器达到锁定。此时, VCO 的输出频率 F_o 为参考频率 F_r 的整数倍, 即:

$$F_o = N \times F_r \quad (2-8)$$

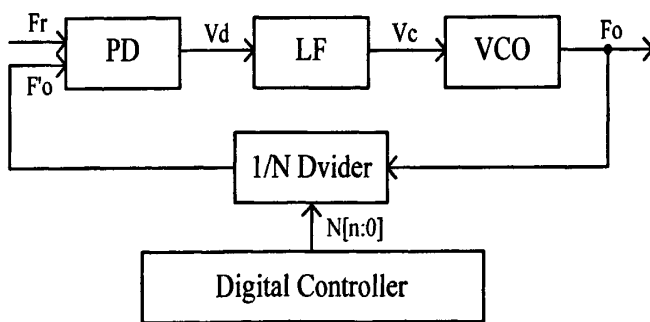


图 2.7 锁相环频率合成器原理图

若锁相环路已经锁定, 改变 N , 则导致 $F'_o \neq F_r$, 环路重新进行鉴频鉴相。经过一段时间后, 环路再次进入锁定状态。频率合成器完成从一个频率到另一个频率的转换过程, 此时频率合成器输出一个新的稳定频率。因此, 要合成一个新的频率, 只需要改变 N 即可。只要环路设计恰当, 该环路就可以输出稳定接近于参考频率源精度和纯度的频率, 这就是锁相环频率合成器的原理。

锁相环合成法具有体积小、易于集成、良好的窄带跟踪滤波特性以及抗寄生干扰能力等优点，因此在工程技术中得到了迅速发展和广泛应用，是目前频率合成的主流技术。但传统的锁相环合成技术仍然存在着一个很大的缺点，就是频率转换速度不快(数十至数百 μs 数量级)，这对于当代无线通信特别是快速跳频扩频通信来说，是一道难题。

(3) 直接数字频率合成器

图 2.8 所示为直接数字频率合成器(DDS)的基本构成框图,主要由相位寄存器、相位全加器、正弦查找表、D/A 转换器以及低通滤波器组成,相位寄存器和相位全加器构成相位累加器^[18]。DDS 直接对参考时钟进行抽样、数字化,从相位出发,用不同的相位给出不同的电压幅度,最后经滤波平滑输出正弦信号。

参考频率源是一个稳定的晶体振荡器,用来同步 DDS 的各组成部分。相位累加器类似于一个计数器,它由多个级联的加法器和寄存器组成,在每一个参考时钟脉冲输入时,它的输出就增加一个步长的相位增量值(二进制码),这样相位累加器把频率控制字 K 的数字转换成相位抽样来确定输出合成频率的大小。相位增量的大小随外指令频率控制字 K 的不同而不同,一旦给定了相位增量,输出频率也就确定了。当用这样的数据寻址时,正弦查表就把存储在相位累加器中的抽样数字值转换成近似的正弦波幅度的数字量函数, D/A 变换器把数字量转换成模拟量。低通滤波器进一步平滑近似正弦波的锯齿阶梯信号,并衰减不需要的抽样分量和其他带外杂散信号,最后输出所需要的频率和模拟信号。

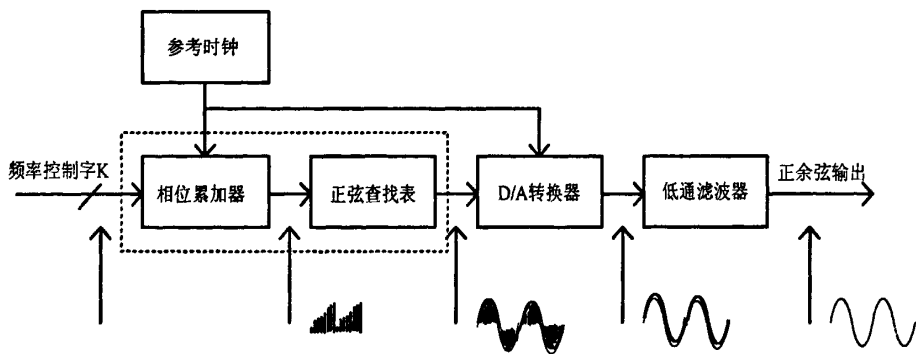


图 2.8 DDS 基本构成框图

当频率合成器正常工作时,在参考频率源的控制下,相位累加器不断地对相位增量进行相位累加。当相位累加器计满量时,就会产生一次溢出,从而完成一个周期的动作,这个动作周期就是 DDS 合成信号的一个频率周期,累加器的溢出频率就是 DDS 输出的信号频率。于是,输出信号的频率及频率分辨率可表示为:

$$f_0 = \frac{\omega}{2\pi} = \frac{2\pi K f_c}{2\pi 2^N} = \frac{K f_c}{2^N} \quad (2-9)$$

$$\Delta f = \frac{f_c}{2^N} \quad (2-10)$$

其中, f_0 为输出信号频率, Δf 为输出信号分辨率, K 为频率控制字, N 为相位累加器的字长, f_c 为参考频率源的工作频率(系统时钟)。

由式(2-9)和式(2-10)可知, DDS 输出信号的频率主要取决于频率控制字 K 。改变 DDS 结构 K 的数值, 会引起输出频率迅速变化, 而相位保持连续。而相位累加器字长 N 决定了 DDS 的频率分辨率。当 K 增大时, f_0 可以不断地提高。但是, 由奈奎斯特采样定理可知, 最高输出频率不得大于 $f_c/2$ 。

DDS 频率合成技术的特点有: 极高的频率分辨率, 输出频率相对带宽很宽, 极短的频率转换时间, 频率捷变时的相位连续性, 任意波形输出能力, 数字调制能力, 全数字化结构便于集成, 频率、相位和幅度均可实现程控, 工作频率受限, 相位噪声性能需考虑的因素多以及杂散抑制差等。

由于 DDS 具有分辨率高、转换速度快的优点。在一些需要高频分辨率、设置转换度的应用场合, 尤其是雷达与通信系统中的跳频信号源中, DDS 技术具有其它频率合成方法无法比拟的优势。

2.4 本章小结

本章就时钟发生器的主流技术进行了深入分析和研究, 包括锁相技术及频率合成技术等。首先概述了锁相环的工作原理、分类、工作状态及应用; 在此基础上分析了延迟锁相环的工作原理, 并探讨了与锁相环相比, 延迟锁相环的一些优势; 最后研究了频率合成器的原理和分类。

第三章 时钟锁相电路的设计

图 3.1 给出了时钟锁相电路的整体结构图，它主要由时钟周期测量电路、多相时钟产生电路、相位误差补偿电路和控制电路四大模块构成。

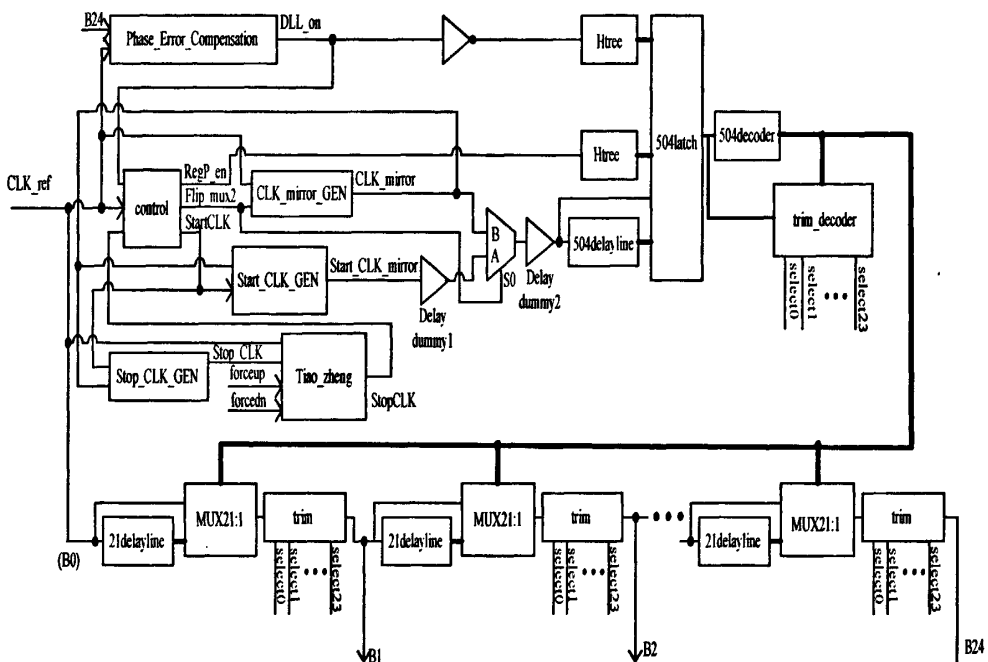


图 3.1 时钟锁相电路

时钟锁相电路的工作过程为：参考时钟 CLK_ref(B0)通过周期测量电路将一周转化为延迟单元个数 N，并通过多相时钟产生电路将参考时钟分别延迟 $N/24$ 、 $2N/24$ 、...、 $24N/24$ 个单元的延时，即分别延迟 $1/24$ 、 $2/24$ 、...、 $24/24$ 个周期，从而得到 24 个时钟相位(B1~B24)，相邻两时钟的相位差均为 15 度。通过相位误差补偿电路比较参考时钟 CLK_ref和相移时钟 B24 之间的相位差，若 B24 是 CLK_ref 的一个周期延时，则 DLL 进入锁定状态。一旦由于外界环境变化或参考频率变化引起 B24 和 CLK_ref 相位之间的不匹配，则 DLL 进入闭环工作模式来补偿相位误差。当 DLL 已补偿完相位误差，重新进入锁定状态时，开环模式被重新激活。

3.1 时钟周期测量电路

如图 3.1 所示，时钟周期测量电路由一条主延迟链(504delayline)和锁存器 (504latch)组成，计算一个参考时钟周期所包含的延迟单元个数。

时钟周期测量电路的工作原理为：参考时钟 CLK_ref 进入主延迟链，在延迟

链内传播，每个延迟单元都附带一个锁存器，同时由 CLK_ref 的下一个上升沿触发产生测量结束信号，该信号与锁存器的控制端信号相连，将其由高电平拉至低电平，使得锁存器断开输入端，关断前的输入值被锁存。锁存器锁存输出后，输出端中 1 的个数反映出参考时钟一个周期包含延时单元的个数 N ：

$$N = \frac{T_{ref}}{t_{delay}} \quad (3-1)$$

其中， T_{ref} 是参考时钟的周期， t_{delay} 是延迟单元的延迟时间。

本设计中采用的延迟单元如图 3.2 所示，它由两个串联的 CMOS 反相器组成。由于 CMOS 晶体管可以模拟为 RC 电路的电阻，晶体管驱动的信号线的杂散电容可作为 RC 电路的电容，电容的充放电时间形成 CMOS 晶体管反相器的传播时延。两个反相器的串联在逻辑上是可以消去的，它不改变信号，但产生了一个小的时延 t_{delay} ，该时延等于两个 CMOS 晶体管反相器传播时延之和。

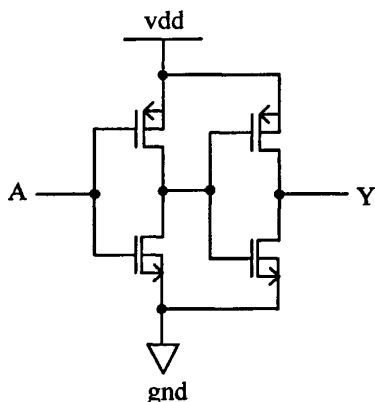


图 3.2 延迟单元

主延迟链中延迟单元的个数为：

$$W = \frac{T_{ref\ max}}{t_{delay}} \quad (3-2)$$

其中， $T_{ref\ max}$ 是最大参考时钟周期， t_{delay} 是延迟单元的延迟时间。

综合考虑补偿精度、面积等因素，将延迟单元的延迟设为 80ps。本文设计的时钟发生器最低工作频率为 25MHz，由式(3-2)可知，主延迟链应包含 500 个延迟单元。为了数据选择器中电路资源的有效利用，本设计中，主延迟链包含 504 个延迟单元，每个延迟单元都需要一个锁存器对其输出值进行锁存，因此，锁存电路包含 504 个锁存器。

锁存器的电路逻辑结构如图 3.3 虚线框所示，DLL_on 为指示时钟发生器是否处于工作状态的信号，在此被用于对时钟周期测量电路模块内部的锁存结构进行

状态清零, 低电平有效。当 DLL_on 为低电平时, 输出(T_0 、 T_1 、...、 T_{503})均被清为 0, 当 DLL_on 为高电平时, 锁存器开始工作, 若此时使能端(RegP_en)为高电平, 则锁存器接收延迟链的输出信号, 延迟链的输出与 CLK_ref 的延时分别为: 0、1、2、...、503 个延迟单元的延迟。若控制端为低电平, 则输入端关断, 关断前的输入值被锁存。

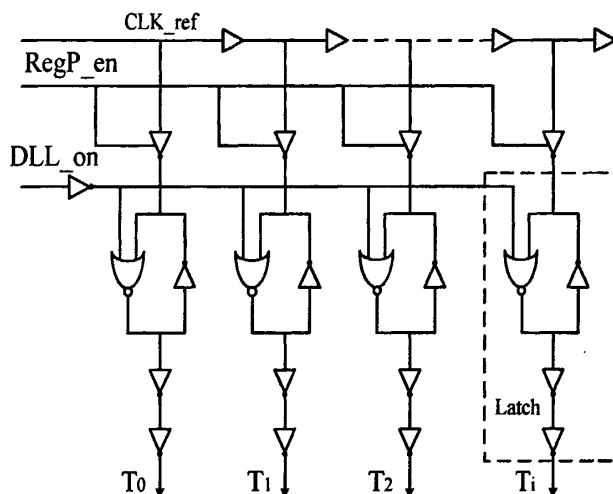


图 3.3 时钟周期测量电路结构图

时钟周期测量电路含有 504 个锁存器, 因此, 锁存器复位信号 DLL_on 和使能信号 RegP_en 需要驱动 504 个锁存器的控制端。如此大的负载会导致信号失真, 为了保证能够驱动这些控制端, 本设计采用了 H 树型的时钟网络(Htree)用以信号走线, H 树型结构对于规则的阵列电路特别有用, 而 504 个锁存器结构完全相同, 采用完全对称的 H 树型结构, 每一级缓冲器(buffer)驱动两个下一级缓冲器, 包括匹配的互连线和缓冲器的均衡路径把信号分布到每一叶节点上。虽然控制信号需要一定时间才能传播到每个叶节点, 但到达各个叶节点处的时间却是完全相同的。但信号到达各锁存器控制端需要较大的延时, 因此, 必须对参考时钟信号 CLK_ref 增加精调电路以提高精度。

3.2 多相时钟产生电路

如图 3.1 所示, 多相时钟产生电路包含一个主译码器(504decoder)、一个精调译码器(trim_decoder)和 24 个相移时钟产生单元。每个相移时钟产生单元由一条副延迟链(21delayline), 一个时钟选择器(MUX21:1)和一个精调电路(trim)组成。

多相时钟产生电路的工作原理为: 根据时钟周期测量电路的结果将参考时钟 CLK_ref(B0)分别延迟 $N/24$ 、 $2N/24$ 、...、 $24N/24$ 个单元的延时(N 为一个参考时钟周期所包含的延迟单元个数), 即分别延迟 $1/24$ 周期、 $2/24$ 周期、...、 $24/24$ 周期。这样, 得到 24 个时钟相位($B1 \sim B24$), 相邻两时钟的相位差均为 15 度。具体实现

过程为：每个相移时钟产生单元都产生等同于 $1/24$ 个参考时钟周期的延时，即 24 个相移时钟产生单元分别产生 $1/24$ 、 $2/24$ 、...、 $24/24$ 个参考时钟周期的延时。第一条副延迟链对 $CLK_ref(B0)$ 进行延迟，相对应的时钟选择器在主译码器生成的选择信号的控制下从一系列中间时钟信号中选择相应的时钟信号输出至精调电路，精调电路根据精调译码器生成的控制信号选择正确的精调单元，从而得到 $B1$ ，即第一个相移时钟产生单元实现对 $CLK_ref(B0)$ 的 15 度相移，输出 $B1$ ；第二个相移时钟产生单元实现对 $B1$ 的 15 度相移，输出 $B2$ ；以此类推，第 24 个相移时钟产生单元实现对 $B23$ 的 15 度相移，输出 $B24$ 。从而，得到 24 相时钟。

3.2.1 主译码器

主译码器根据一个参考时钟周期所包含的延迟单元个数即锁存值中“1”的个数产生时钟选择器的选择信号，选择相应的延迟时钟输出。

主译码器的工作原理为：当锁存器关断时锁存值 $T[0: 503]$ 前 $i(1 \leq i \leq 504)$ 位均为 1，后 $504-i$ 位为 0。即输入时钟一个周期内包含 $i-1$ 个延迟单元。则副延迟链就要产生 $(i-1)/24$ 的延迟。例如当 T_0 、 T_1 、...、 T_{503} 都为低电平，则 24 个时钟选择器无输出。当 $T_0 \sim T_{25}=1$ 、 $T_{26} \sim T_{503}=0$ 时，表示参考时钟一个周期包含 24 个延迟单元，所以 24 个时钟选择器就要选择 B_out (B_out 与 CLK_ref 的延迟为 1 个延迟单元) 时钟输出。因此，可以把主译码器的工作原理理解为抽取 $T[0: 503]$ 中的 T_0 、 T_{24} 、 T_{48} 、...、 T_{480} 。其中 T_{24j} 前均为 1，后的值为 0。锁存器关断后锁存值的分布图如图 3.4 所示。

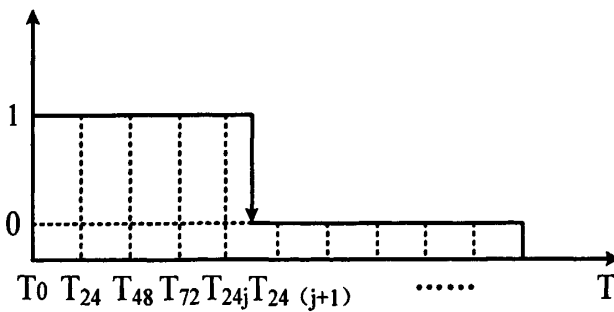


图 3.4 T_{24j} 分布图

从图 3.4 中可以看出， T_{24j} 的取值在第 $24j$ 位和第 $24(j+1)$ 位发生变化，除此之外，任何两个相邻的 T_{24j} 和 $T_{24(j+1)}$ 都相等。S_j 为公式(3-3)，主译码器基本单元如图 3.5 所示。

$$S_j = \overline{T_{24j} + T_{24(j+1)}} \quad (0 \leq j \leq 20 \quad j \neq 503) \quad (3-3)$$

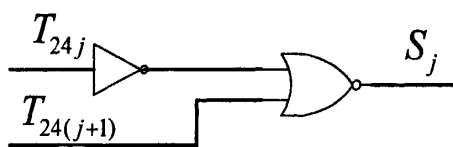


图 3.5 主译码器基本单元

3.2.2 精调电路

为了得到 24 相时钟，多相时钟产生电路将参考时钟 CLK_ref 分别延迟 $N/24$ 、 $2N/24$ 、 $3N/24$ 、...、 $24N/24$ 个单元的延时，其中 N 为一个参考时钟周期所包含的延迟单元个数。 N 可以是任意自然数， $N/24$ 不一定为整数单元，可能还包含 $1/24$ 、 $2/24$ 、 $3/24$ 、...、 $23/24$ 延迟单元，为了实现精确调节，所以本文加入精调电路。

3.2.1 节讲的是延迟单元个数为 24 的整数倍的情况，若延迟单元个数不是 24 的整数倍，假设为 25 个，为了得到 15 度相移时钟就需要插入 $25/24$ 个延迟单元的延迟。1 个延迟单元延迟可以由主译码器生成的选择信号控制时钟选择器产生， $1/24$ 延迟单元延迟由精调电路产生。精调电路如图 3.6 所示。

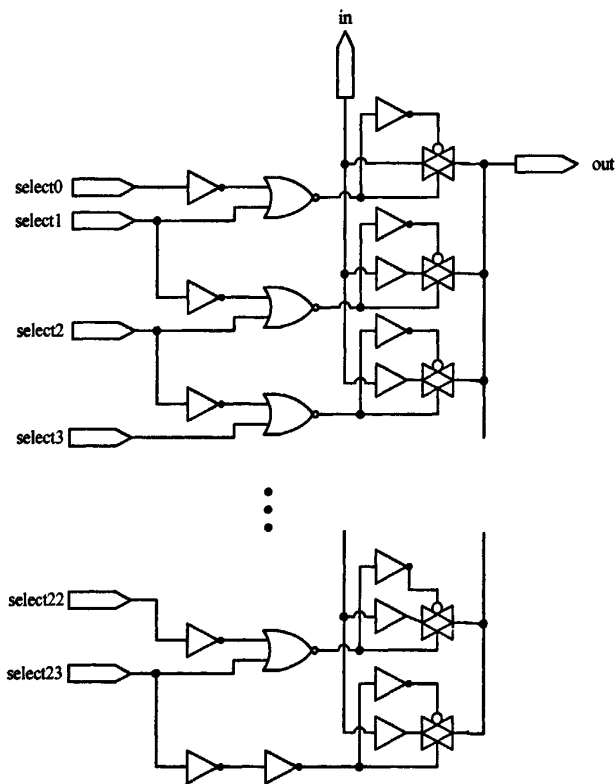


图 3.6 精调电路

精调电路在输入端 in 和输出端 out 之间有 24 条路径，其中有 23 条包含缓冲器，分别产生 $1/24$ 、 $2/24$ 、...、 $23/24$ 延迟单元延迟。在 24 个控制信号 Select0、Select1、Select2、...、Select23 的控制下，精调电路选择一条路径输出，以提高相移精度。当 Select0、Select1、Select2、...、Select23 为 1000...0 时，相移路径不加入新的延迟。当 Select0、Select1、Select2、...、Select23 为 1100...0 时，相移路径加入 $1/24$ 延迟单元延迟。以此类推，当 Select0、Select1、Select2、...、Select23 全为 1 时，相移路径加入 $23/24$ 延迟单元延迟。

3.2.3 数据选择器

本文设计的数据选择器采用 2 级单个 NMOS 传输管结构，但 NMOS 传输高电平有阈值损失。这将使得片内所有寄存器接收到的时钟高电平信号达不到电源电压。随着工艺特征尺寸的减小，电源电压逐级下降，阈值损失电压与电源电压的比值也越来越大，当达到 $1/2$ 的时候，将会使得标准单元电路工作失效(假设电路输入高低翻转电位为 $1/2$)。同时，由于输入高电位小于电源电压，PMOS 管静态漏电流随指数加大，甚至会出现 PMOS 管与 NMOS 管同时导通的情况，这时 CMOS 电路中将出现静态电流。阈值损失带来的另一个问题是原来电路的输入高低翻转电平(也称之为阈值电压，一般为 $1/2$ 电源电压)已经不再适合。电平位移电路就是要解决阈值损失带来的大静态电流、小动态范围问题，实现在输入高电平远低于电路正常工作电压情况下将其转换到电源电压，并且消除静态电流以及调整输入翻转电平问题。为了解决阈值电压损失的问题，本文设计的数据选择器加入了电平恢复电路，如图 3.7 所示。

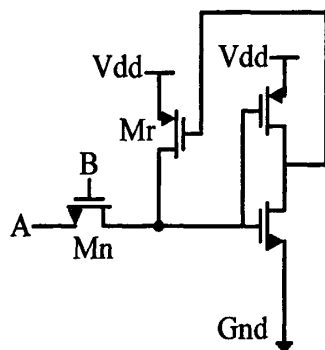


图 3.7 电平恢复电路

如果输入为低电平，传输管 Mn 没有阈值损失，输出为 0，则 Mr 截止。当输入为高电平时，传输管输出值为 $V_{dd}-V_{TN}$ ，该值经过反相器后使 Mr 导通，管 Mr 将传输管的输出值上拉为 V_{dd} 。

本文中的时钟选择器和精调译码器都采用 21 路数据选择器，以主译码器的输出 S_j 作为选择信号。不同的是，时钟选择器以相移时钟经过副延迟链的延迟时钟

作为数据选择器的输入,而精调译码器中的 24 个数据选择器分别抽取 T_j 中的 T_{24j} 、 T_{24j+1} 、 T_{24j+2} 、...、 T_{24j+23} ($0 \leq j \leq 20$) 作为数据选择器的输入。下面主要研究精调译码器的工作原理。

图 3.8 所示虚线框中的部分为精调译码器。它由 24 个 21 路数据选择器组成, 24 个数据选择器分别抽取 T_j 中的 T_{24j} 、 T_{24j+1} 、 T_{24j+2} 、...、 T_{24j+23} ($0 \leq j \leq 20$) 作为数据选择器的输入, 根据主译码器产生的选择信号 S_j , 生成精调电路的控制信号 $Select0 \sim Select23$ 。举例来说, 当 $T_0 \sim T_{28} = 1$ 、 $T_{29} \sim T_{503} = 0$ 时, 参考时钟一个周期内包含 27 个延迟单元。 S_j 中 S_1 为 1, 其他都为 0; 24 个数据选择器分别选择 T_{24} 、 T_{25} 、 T_{26} 、...、 T_{47} 作为数据选择器的输入。输出信号 $Select0 \sim Select4 = 1$ 、 $Select5 \sim Select23 = 0$, 所以精调电路中的相移路径加入 $3/24$ 延迟单元延迟。

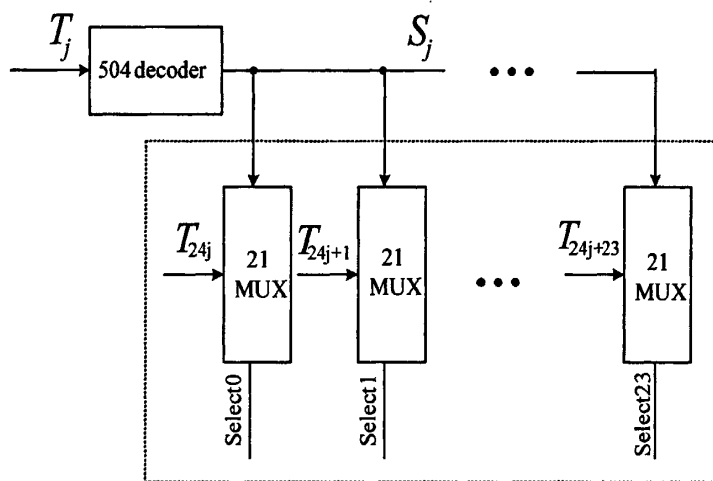


图 3.8 精调译码器

3.3 相位误差补偿电路

如图 3.1 所示, 相位误差补偿电路 (Phase_Error_Compensation) 比较参考时钟 CLK_{ref} 和相移时钟 B24 之间的相位差, 为控制电路生成二进制控制信号 DLL_{on} 。若 B24 是 CLK_{ref} 的一个周期延时, 则 DLL 进入锁定状态。一旦由于外界环境变化或参考频率变化引起 B24 和 CLK_{ref} 相位之间的不匹配, 则 DLL 进入闭环工作模式来补偿相位误差。当 DLL 已补偿完相位误差, 重新进入锁定状态时, 开环模式被重新激活。通过相位误差补偿电路, 本文设计的时钟发生器可以时刻保持跟踪由外界环境变化引起的任何潜在相位误差。

相位误差补偿电路在图 3.9 中给出, 它由一个异或门, 一个低通滤波器(LPF) 和一个电压比较器组成。通过异或门, 得到参考时钟 CLK_{ref} 和相移时钟 B24 之间的相位差。异或门的输出经由低通滤波器进行滤波, 得到平均值。电压比较器

比较滤波器的输出和事先定义的参考电压(V_r), 并为控制电路生成二进制控制信号 DLL_on。

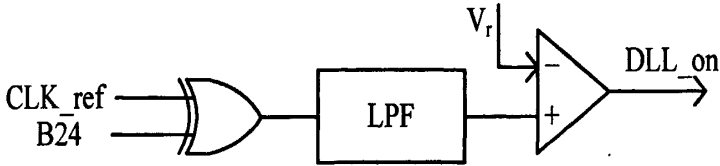


图 3.9 相位误差补偿电路

一般常用的低通滤波器有 RC 积分滤波器、无源比例积分滤波器和有源比例积分滤波器三种^[18]。本文采用的是无源比例积分滤波器。

无源比例积分滤波器如图 3.10 所示, 由电阻 R_1 、 R_2 和电容 C 组成。

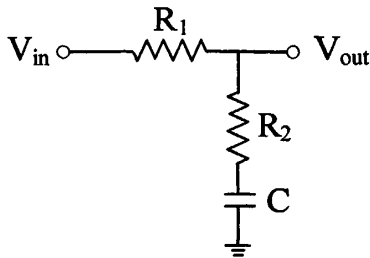


图 3.10 无源比例积分滤波器

它的传输函数为:

$$\frac{V_{out}(s)}{V_{in}(s)} = \frac{(1/C_s) + R_2}{(1/C_s) + R_1 + R_2} = \frac{1 + R_2 C_s}{1 + (R_1 + R_2) C_s} \quad (3-4)$$

时间常数 $\tau_1 = (R_1 + R_2)C$, $\tau_2 = R_2 C$, 这是两个独立的可调的参数, 其频率相应为:

$$\frac{V_{out}(s)}{V_{in}(s)} = \frac{1 + j\omega\tau_2}{1 + j\omega\tau_1} \quad (3-5)$$

从幅频特性上可以看出, 当频率很高时, 该滤波器的幅值不为零, 而是 $R_2/(R_1 + R_2)$, 等于电阻的分压比, 这就是该滤波器的比例作用。从相频特性上可以看出, 当频率很高时有相位超前校正的作用, 这是由相位超前因子 $1 + j\omega\tau_2$ 引起的, 这个相位超前作用对改善环路的稳定性可以起到一定的作用。

电压比较器的基本功能是对两个输入电压的大小进行比较, 判断出其中一个比较大^[19]。比较的结果用输出电压的高和低来表示。电压比较器可以采用专用的集成比较器, 也可以采用运算放大器组成。由集成运算放大器组成的比较器, 其输出电平在最大输出电压的正极限值和负极限值之间摆动, 当要和数字电路相连接时, 必须增添附加电路, 对它的输出电压采取箝位措施, 使它的高低输出电

平，满足数字电路逻辑电平的要求。

本文设计的电压比较器如图 3.11 所示。它由差分输入级和两个 CMOS 反相器组成。将输入信号 V_i 加到正相输入端，参考电压 V_r 加到反相输入端。当输入电压 V_i 小于参考电压 V_r 时，输出 V_o 为低电平；当输入电压 V_i 大于参考电压 V_r 时，输出 V_o 为高电平。电压比较器的传输特性如图 3.12 所示。电压比较器中两个 CMOS 反相器的作用是：前一个反相器并不是工作在传输特性曲线的高低电平状态，而是工作在转折区，该反相器被当做放大器使用，对差分信号起放大作用；后一个反相器在反相的同时，使输出电压达到满幅输出。

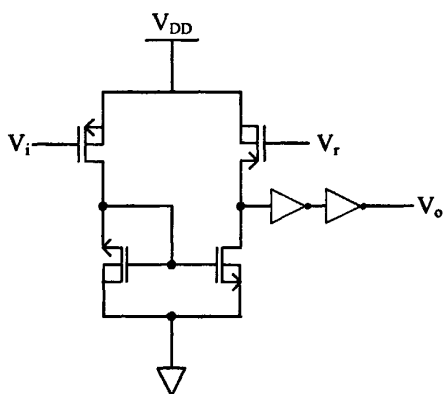


图 3.11 电压比较器

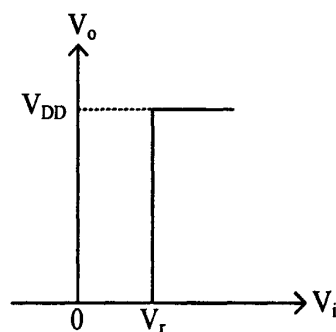


图 3.12 电压比较器的传输特性

相位误差补偿电路的时序图如图 3.13 所示。当 DLL 处于锁定状态时，参考时钟 CLK_{ref} 和相移时钟 B24 之间的相位差很小，低通滤波器输出的平均值接近于 0，电压比较器的输出 DLL_{on} 为低电平，DLL 处于开环模式。一旦由于外界环境变化或参考频率变化引起 B24 和 CLK_{ref} 相位之间的不匹配，低通滤波器输出的平均值就会增加。当其值增大到大于 V_r 时，电压比较器的输出 DLL_{on} 由低电平跳变为高电平，控制电路使 DLL 由开环模式进入闭环工作模式来补偿相位误差。当 DLL 已补偿完相位误差，重新进入锁定状态时，低通滤波器输出的平均值会减小，开环模式被重新激活。 V_r 的值决定了开环模式下时钟锁相电路的锁定精度。

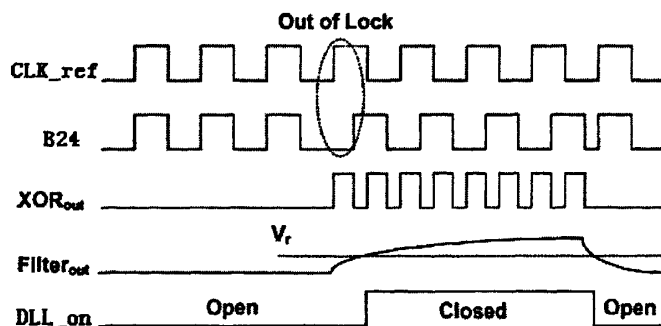


图 3.13 相位误差补偿电路的时序图

本文采用 SMIC $0.18\ \mu\text{m}$ CMOS 标准工艺, 利用 spectre 和 HSPICE 仿真器对基于延迟锁相环的时钟发生器进行仿真验证。输入时钟的高电压均为 1.8V , 低电压为 0V , 上升时间为 0.01ns , 下降时间为 0.01ns 。

对相位误差补偿电路进行仿真。参考时钟 CLK_ref 的周期为 18ns , 脉冲宽度为 9ns , 延迟时间为 0ns ; B24 所加激励为: $0\sim 63\text{ns}$ 是延迟时间为 0ns , 周期为 18ns , 脉冲宽度为 9ns 的方波; $63\text{ns}\sim 248\text{ns}$ 是延迟时间为 14ns , 周期为 18ns , 脉冲宽度为 9ns 的方波; $248\text{ns}\sim 351\text{ns}$ 是延迟时间为 4ns , 周期为 18ns , 脉冲宽度为 9ns 的方波; 351ns 以后为低电平; V_r 的值为 0.5V ; R_1 的值为 $50\text{k}\Omega$, R_2 的值为 $5\text{k}\Omega$, C 的值为 0.5pF ; 仿真时间为 360ns 。仿真波形如图 3.14 所示。

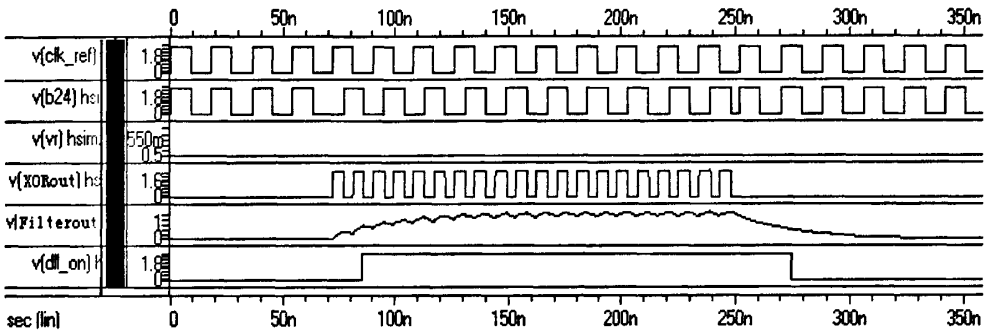


图 3.14 相位误差补偿电路仿真波形图

从图 3.14 可以看出, 当参考时钟 CLK_ref 和相移时钟 B24 之间无相位差时, 低通滤波器的输出 Filter_out 为低电平, 电压比较器的输出 DLL_on 为低电平。当 B24 和 CLK_ref 相位之间出现不匹配时, 低通滤波器输出的值增加, 当其值增大到大于 V_r 时, 电压比较器的输出 DLL_on 由低电平跳变为高电平。

3.4 控制电路

如图 3.1 所示, 控制电路由时钟镜像信号产生电路(CLK_mirror_GEN)、测量开始信号产生电路(Start_CLK_GEN)、测量结束信号产生电路(Stop_CLK_GEN)和控制信号产生电路(control)四个模块构成。

3.4.1 时钟镜像信号产生电路

时钟镜像信号产生电路如图 3.15 所示, 它由 D 触发器、与非门和反相器组成。当控制信号 Flip_mux2 为低电平时, 输出信号 CLK_mirror 将输出参考时钟信号 CLK_ref, 当 Flip_mux2 为高电平时, CLK_mirror 将维持 13 个时钟周期的低电平, 随后输出 CLK_ref 的三个时钟边沿(上升沿、下降沿、上升沿), 最后维持高电平。

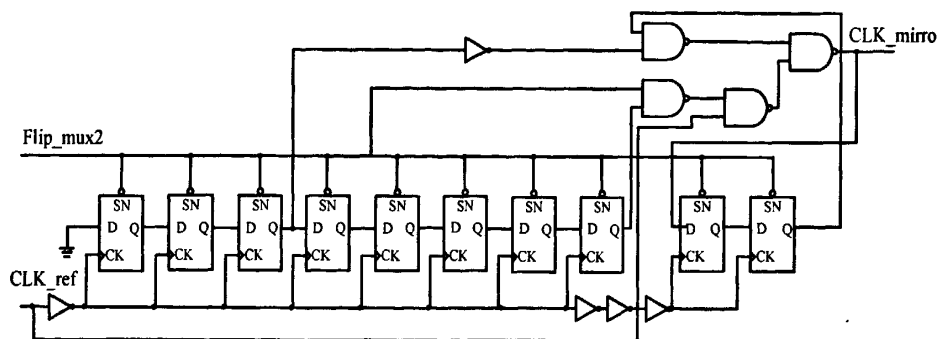


图 3.15 时钟镜像信号产生电路

对时钟镜像信号产生电路进行仿真。参考时钟 CLK_ref 的周期为 36ns，脉冲宽度为 18ns；控制信号 Flip_mux2 所加激励是 0~35ns 为低电平，35ns~612ns 为高电平，612ns 以后为低电平；仿真时间为 800ns。仿真波形如图 3.16 所示。

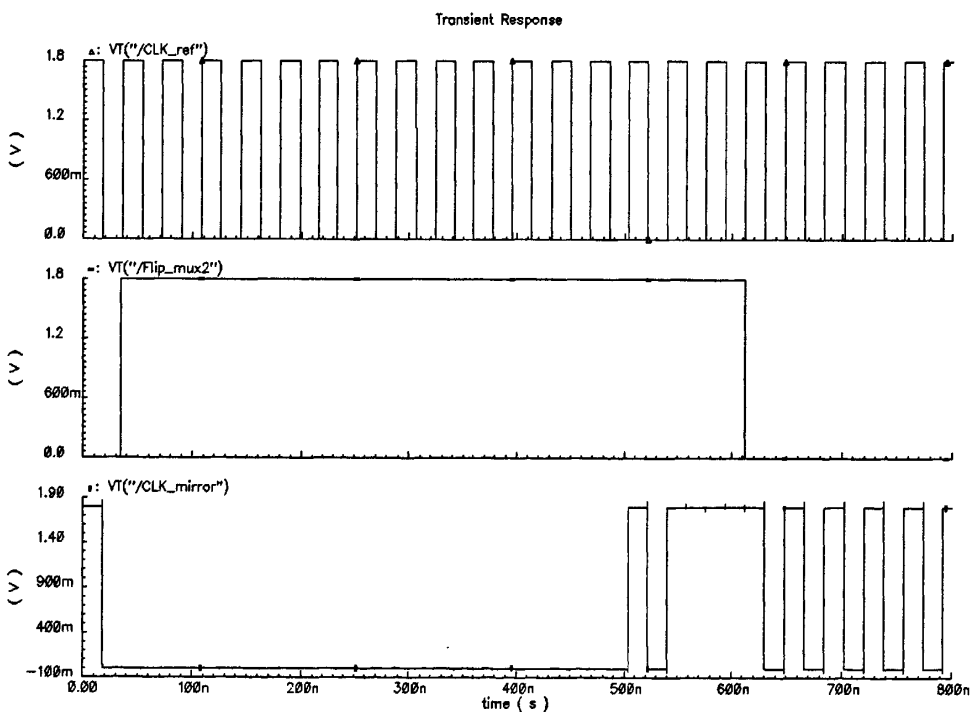


图 3.16 时钟镜像信号产生电路仿真波形图

从图 3.16 可以看出，当控制信号 Flip_mux2 为高电平时，输出信号 CLK_mirror 将维持 13 个参考时钟周期的低电平，随后输出参考时钟 CLK_ref 的三个时钟边沿（上升沿、下降沿、上升沿），即截取了参考时钟的一个周期。第一个上升沿作为测量开始信号的起始标志，第二个上升沿作为测量结束信号的终止标志，分别对主延迟链中锁存器的状态进行更新。根据锁存器锁存值中“1”的个数得到参考时钟一个周期所包含的延迟单元个数。

3.4.2 测量开始信号产生电路

测量开始信号产生电路如图 3.17 所示，它由三个与非门组成。当控制信号 StartCLK 为低电平时，输出信号 Start_CLK_mirror 输出时钟 CLK_mirror，当控制信号 StartCLK 为高电平时，Start_CLK_mirror 维持低电平，在 CLK_mirror 的上升沿，Start_CLK_mirror 从低电平跳变到高电平。

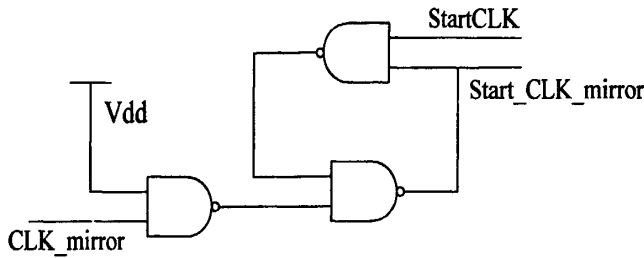


图 3.17 测量开始信号产生电路

对测量开始信号产生电路进行仿真。StartCLK 所加激励为 0~144ns 为低电平，144ns 以后为高电平；CLK_mirror 为时钟镜像产生电路的输出信号；仿真时间为 800ns。仿真波形如图 3.18 所示。

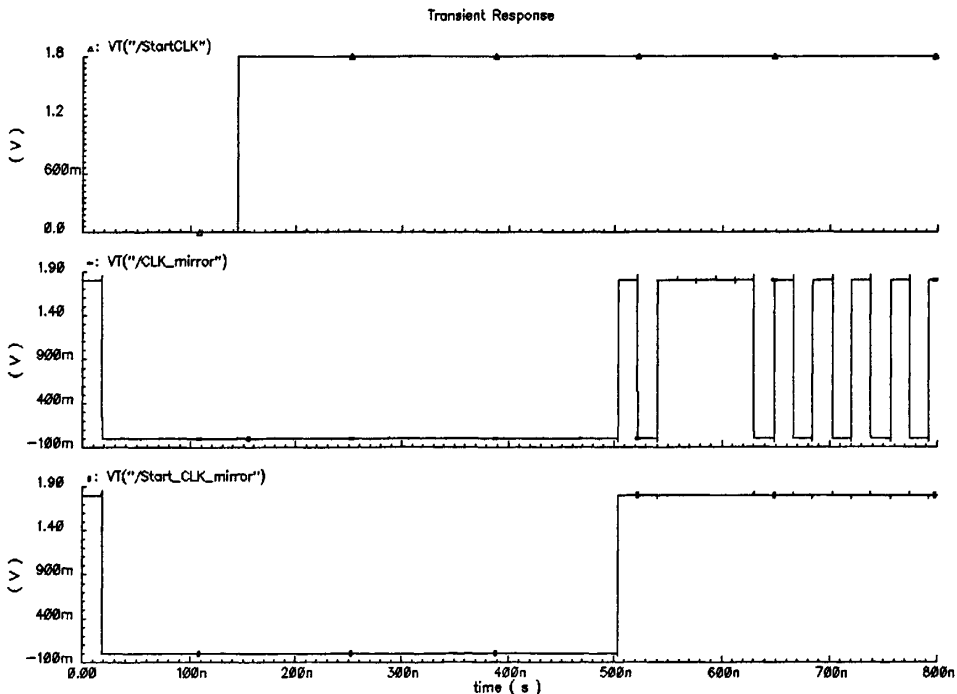


图 3.18 测量开始信号产生电路仿真波形图

从图 3.18 可以看出，当控制信号 StartCLK 为高电平时，输出信号 Start_CLK_mirror 维持低电平，在 CLK_mirror 的上升沿，Start_CLK_mirror 从低电平跳变到高电平。若把时钟镜像信号产生电路的输出信号 CLK_mirror 作为测量

开始信号产生电路的输入信号 CLK_mirror，则可以利用测量开始信号产生电路在控制信号 StartCLK 为高电平时的输出信号 Start_CLK_mirror 对主延迟链中锁存结构的状态进行更新，并将该信号的上升沿作为更新窗口时间的起始标志。

3.4.3 测量结束信号产生电路

图 3.19 为测量结束信号产生电路，它由 D 触发器和三个与非门构成。当 StartCLK 为低电平时，Stop_CLK 输出低电平，当 StartCLK 为高电平，在 CLK_mirror 的第二个上升沿，Stop_CLK 由低电平跳变为高电平，并一直维持。

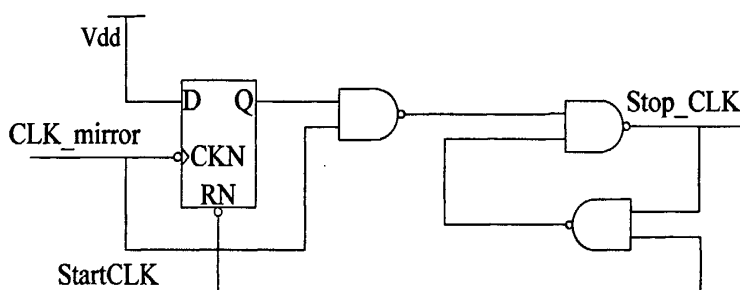


图 3.19 测量结束信号产生电路

对测量结束信号产生电路进行仿真。StartCLK 所加激励为 0~144ns 为低电平，144ns 以后为高电平；CLK_mirror 为时钟镜像产生电路的输出信号；仿真时间为 800ns。仿真波形如图 3.20 所示。

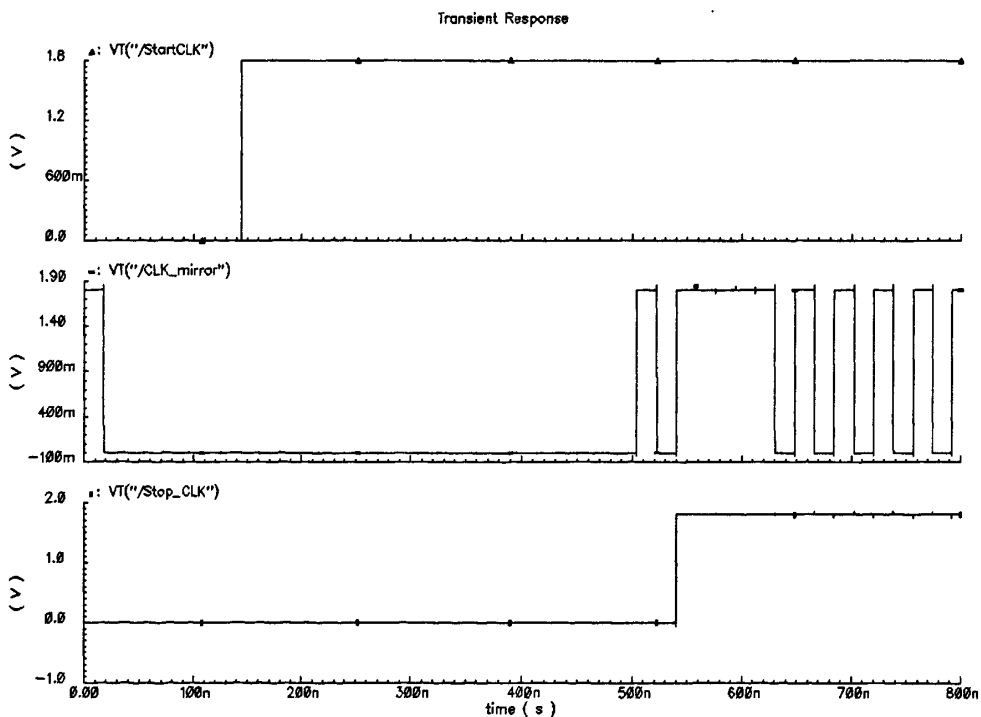


图 3.20 测量结束信号产生电路仿真波形图

从图 3.20 可以看出, 当 StartCLK 为高电平, 在 CLK_mirror 的第二个上升沿, Stop_CLK 由低电平跳变为高电平。若把时钟镜像信号产生电路的输出信号 CLK_mirror 作为测量结束信号产生电路的输入信号 CLK_mirror, 则可以利用测量结束信号产生电路在控制信号 StartCLK 为高电平时的输出信号 Stop_CLK 对主延迟链中锁存结构的状态进行更新, 并将该信号的上升沿作为更新窗口时间的终止标志。

通过测量开始信号产生电路和测量结束信号产生电路, Start_CLK_mirror 和 Stop_CLK 分别对主延迟链中锁存结构的状态进行更新, Start_CLK_mirror 和 Stop_CLK 的上升沿相差参考时钟的一个周期。则可以根据锁存器锁存值中“1”的个数得到参考时钟一个周期所包含的延迟单元个数。

3.4.4 控制信号产生电路

控制信号产生电路是控制电路模块的核心, 由它产生的信号控制着其它各模块的工作。控制信号产生电路如图 3.21 所示, 它由 D 触发器、或非门和反相器组成。通过控制信号产生电路, 生成时钟周期测量电路中各锁存结构的使能信号 RegP_en, 时钟镜像信号产生电路的控制信号 Flip_mux2 以及测量开始信号产生电路和测量结束信号产生电路的控制信号 StartCLK。

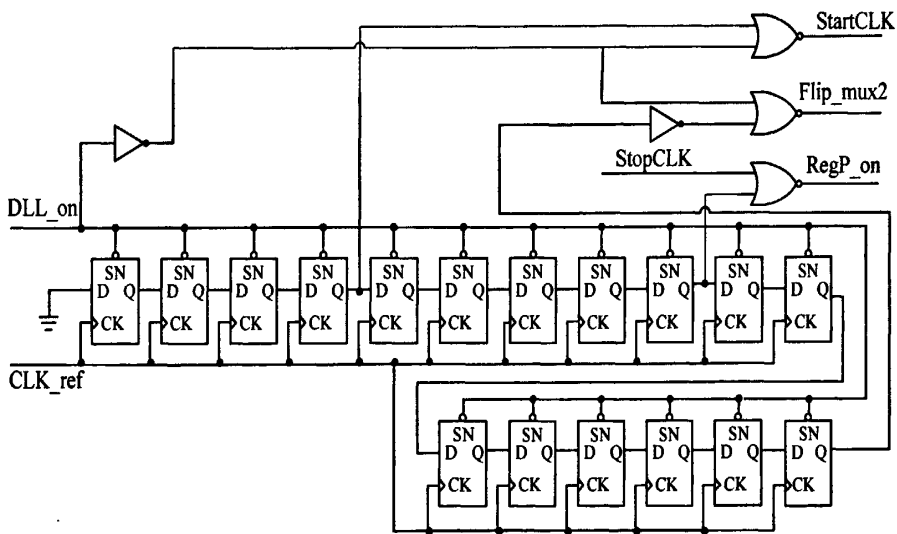


图 3.21 控制信号产生电路

对控制信号产生电路进行仿真。参考时钟 CLK_ref 的周期为 36ns, 脉冲宽度为 18ns; DLL_on 所加激励为 0~35ns 为低电平, 35ns 以后为高电平; StopCLK 是 0~542ns 为低电平, 542ns 以后为高电平; 仿真时间为 800ns。仿真波形如图 3.22 所示。

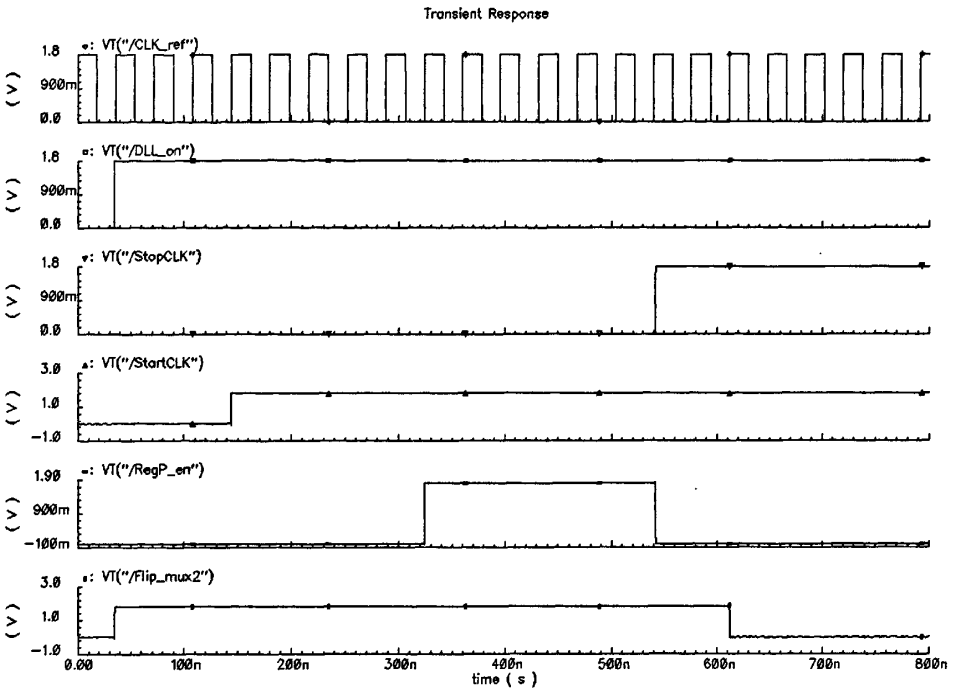


图 3.22 控制信号产生电路仿真波形图

对时钟锁相电路进行整体仿真。参考时钟 CLK_ref 的周期为 36ns，脉冲宽度为 18ns；仿真时间为 800ns。仿真波形如图 3.23 所示。

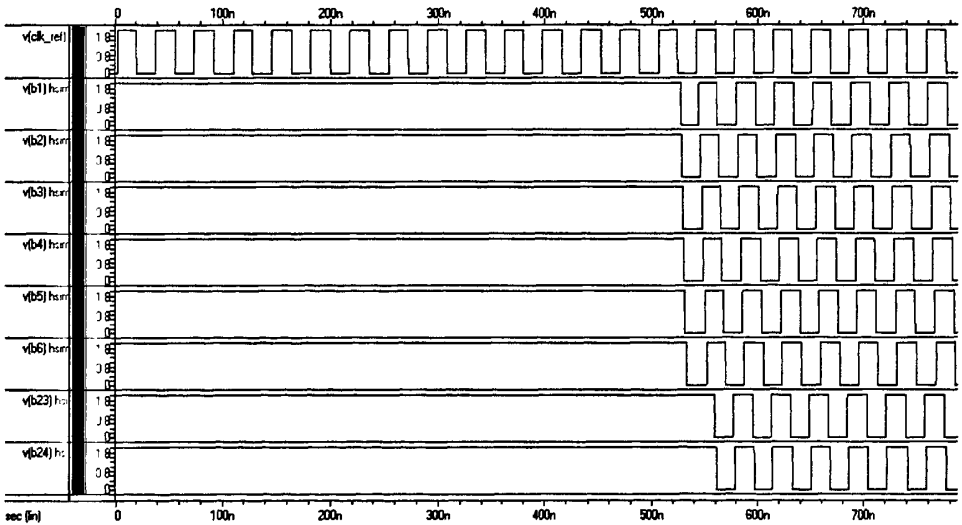


图 3.23 时钟锁相电路仿真波形图

从图 3.23 可以看出，时钟锁相电路(DLL)在 15 个参考时钟周期内实现锁定，生成 24 相时钟(B0~B23)，相邻两个时钟的相位差为 15 度，时间差为 1.5ns。相移时钟 B24 与参考时钟 CLK_ref 的延迟不超过 0.2ns。

3.5 本章小结

本章研究分析了时钟锁相电路的设计，它包括时钟周期测量电路、多相时钟产生电路、相位误差补偿电路和控制电路四个模块。时钟周期测量电路计算一个参考时钟周期所包含的延迟单元个数 N 。多相时钟产生电路将参考时钟分别延迟 $N/24$ 、 $2N/24$ 、...、 $24N/24$ 个单元的延时，即分别延迟 $1/24$ 、 $2/24$ 、...、 $24/24$ 个周期，从而得到 24 个时钟相位(B1~B24)，相邻两个时钟的相位差均为 15 度。相位误差补偿电路用来补偿由外界环境变化或参考频率变化引起的参考时钟 CLK_ref 和相移时钟 B24 之间的相位误差。控制电路用来协调其他各模块间的工作，起着统筹全局的重要作用。通过相位误差补偿电路，本文设计的基于 DLL 的时钟发生器可以时刻保持跟踪由外界环境变化引起的任何潜在相位误差。

第四章 倍频器的设计

在高速应用中,倍频器一般是用低频参考时钟(由晶体振荡器产生)生成高频时钟。为了得到高频时钟,本文设计的时钟发生器需要一个额外的倍频器,利用 DLL 锁定时产生的多相时钟合成倍频时钟。

图 4.1 为本文设计的倍频器的整体结构图。它主要由译码器、脉冲发生电路和脉冲组合电路三个模块构成。该倍频器以时钟锁相电路产生的多相时钟(B0~B23)作为输入信号,根据不同的用户码(P0,P1)对输入时钟脉冲进行抽取,通过脉冲发生电路和脉冲组合电路,生成倍频时钟(CLK_mul)。该倍频器可以实现对参考时钟的 $\times 2$ 、 $\times 4$ 、 $\times 6$ 、 $\times 12$ 倍频,占空比均为 50%。

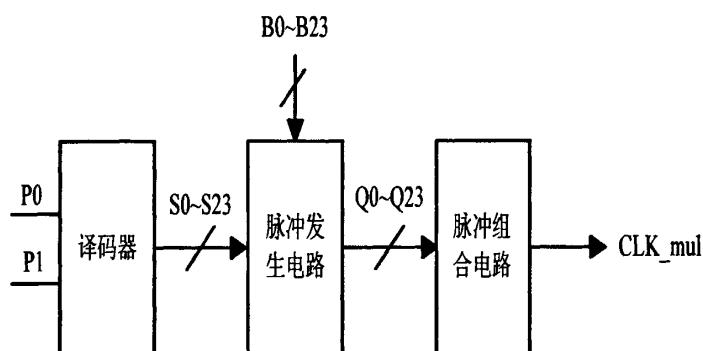


图 4.1 倍频器结构图

倍频器的工作过程可大致分为以下三步:

第一步:译码器对两位用户码(P0,P1)进行译码,生成控制脉冲发生电路的控制信号。

第二步:根据第一步生成的控制信号,在多相时钟(B0~B23)中选择某些信号。脉冲发生电路在所选择的多相时钟的上升沿生成窄脉冲。

第三步:脉冲组合电路收集这些窄脉冲,从而生成倍频时钟。

4.1 译码器

倍频器可以实现 $\times 2$ 、 $\times 4$ 、 $\times 6$ 、 $\times 12$ 四种倍频,所以译码器的用户码需要 2 位,每个用户码对应不同的倍频时钟。译码器对用户码进行译码,生成控制脉冲发生电路的控制信号。用户码和脉冲发生电路的控制信号的对应关系如表 4.1 所示。

表 4.1 用户码和脉冲发生电路控制信号的对应关系

倍频系数 (M/2)	用户码 (P0,P1)	控制信号(高电平)
2	00	S0、S6、S12、S18
4	01	S0、S3、S6、S9、S12、S15、S18、S21
6	10	S0、S2、S4、S6、S8、S10、 S12、S14、S16、S18、S20、S22
12	11	S0~S23

译码器电路如图 4.2 所示。它由反相器和与门组成。其中, S6、S12、S18 的电路实现和 S0 相同, S5、S7、S11、S13、S17、S19、S23 的电路实现和 S1 相同, S4、S8、S10、S14、S16、S20、S22 的电路实现和 S2 相同, S9、S15、S21 的电路实现和 S3 相同。为了生成所需要的倍频时钟, 译码器对用户码(P0,P1)进行译码, 使脉冲发生电路的控制信号 S_k 被设为 0 或 1。从而, 可以选择四个倍频系数($\times 2$ 、 $\times 4$ 、 $\times 6$ 、 $\times 12$)中的一个。

译码器输出的逻辑函数式可表示为:

$$S_0=S_6=S_{12}=S_{18}=1 \quad (4-1)$$

$$S_1=S_5=S_7=S_{11}=S_{13}=S_{17}=S_{19}=S_{23}=P_0 \times P_1 \quad (4-2)$$

$$S_2=S_4=S_8=S_{10}=S_{14}=S_{16}=S_{20}=S_{22}=P_0 \quad (4-3)$$

$$S_3=S_9=S_{15}=S_{21}=P_1 \quad (4-4)$$

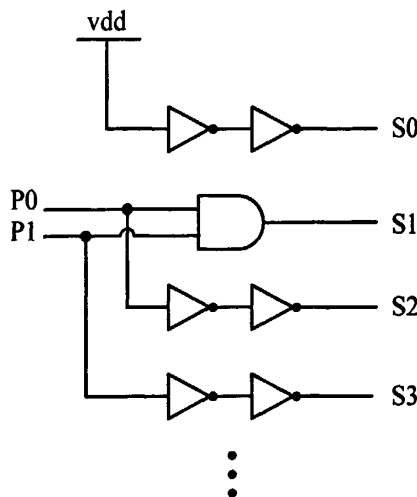


图 4.2 译码器

对译码器进行仿真。仿真波形如图 4.3 所示。仿真结果表明, 电路功能正确。

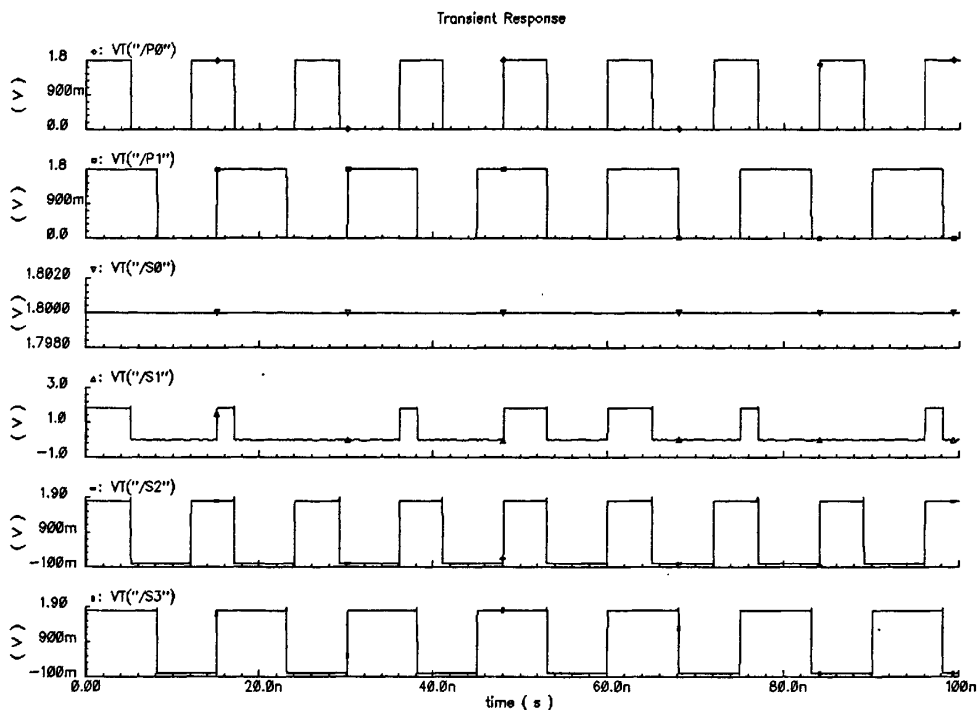


图 4.3 译码器仿真波形图

4.2 脉冲发生电路

脉冲发生电路如图 4.4 所示，它包含 24 个脉冲发生单元，每个脉冲发生单元由一个 D 触发器和两个反相器组成。当多相时钟 B_k 进入相对应的第 k 个 D 触发器，若此时 D 端口的输入 S_k 为高电平，则在 B_k 的上升沿到来时， Q_k 输出高电平。同时， Q_b 输出低电平，通过触发复位端 reset，使得 Q_k 由高电平跳变为低电平。由于复位过程需要经过两个反相器的传播时延，所以在 Q_k 端会生成一个持续时间为 $\Delta\tau$ 的窄脉冲。 $\Delta\tau$ 为两个反相器的传播时延之和。4.3 节介绍的脉冲组合电路会收集这些窄脉冲。

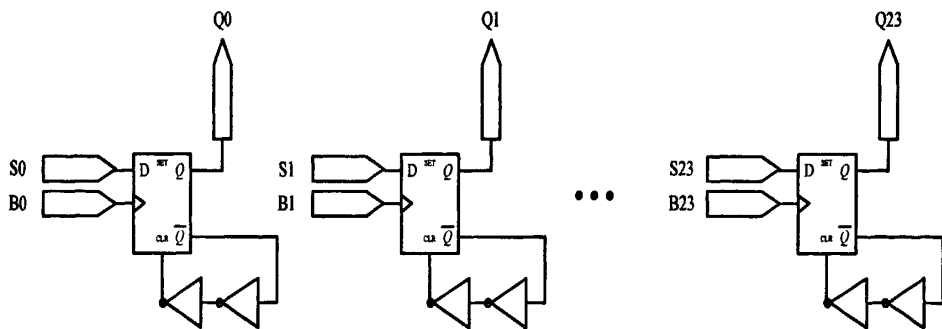


图 4.4 脉冲发生电路

对脉冲发生电路进行仿真。多相时钟 $B_0 \sim B_{23}$ 的周期为 12ns，脉冲宽度为 5ns，相邻两个时钟相位相差 15 度，即相差 0.5ns； $S_0 \sim S_{23}$ 中，偶数为高电平，奇数为

低电平, 即用户码 $P_0=1, P_1=0$, 倍频系数为 6; 仿真时间为 50ns。仿真波形如图 4.5 所示。

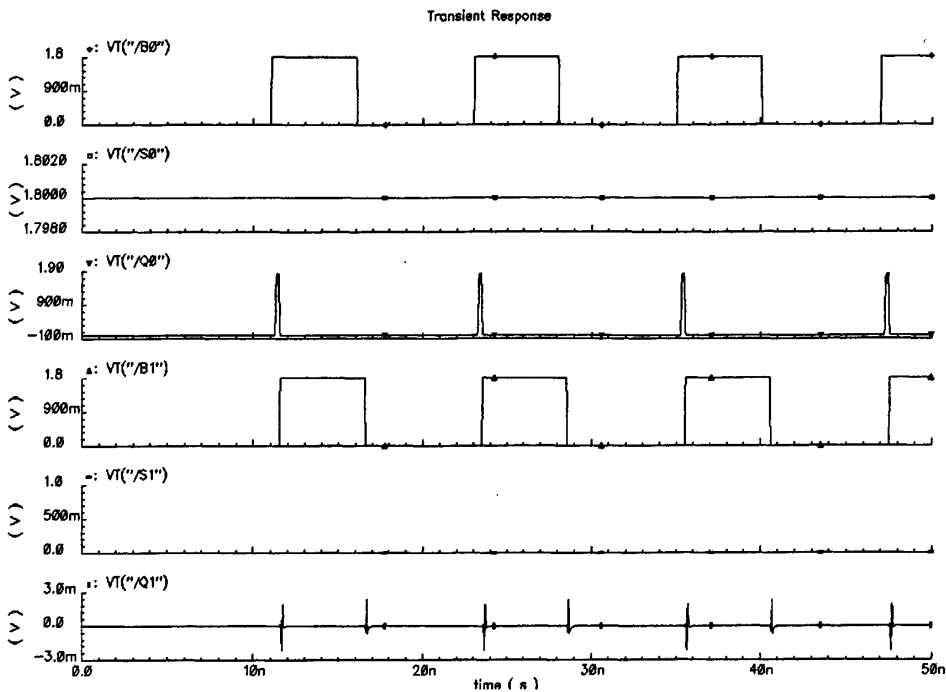


图 4.5 脉冲发生电路仿真波形图

从仿真结果可以看出, 当 S_k 为低电平时, Q_k 输出低电平。当 S_k 为高电平时, 在 B_k 的上升沿, Q_k 输出一个窄脉冲。窄脉冲的脉冲宽度为 Q_k 端的两个反相器的传播时延之和 $\Delta\tau$, 图中显示 $\Delta\tau=0.22\text{ns}$ 。

本文设计的脉冲发生电路, 每个窄脉冲是由相应的多相时钟生成的。所以, 可以用较少的多相时钟得到较高的倍频系数和较宽的倍频时钟频率范围。例如, 当 $S_0\sim S_{23}$ 都为高电平时, 每个 D 触发器的 Q 端都从相应的多相时钟生成一个窄脉冲, 所以倍频系数可达到 $M/2=12$ (M 为多相时钟的个数), 是多相时钟个数的一半。另一方面, 电路的功耗也得到了降低, 因为 D 触发器和反相器只有在被触发时才开始工作。

4.3 脉冲组合电路

或门实现的脉冲组合电路如图 4.6 所示, 它由或门, 反相器和 D 触发器组成。通过五级或门, 节点 OR5 收集 $Q_0\sim Q_{23}$ 中的窄脉冲。此时, 不能保证节点 OR5 脉冲的占空比为 50%。有两种方法可以得到占空比为 50% 的时钟: 一种是增加额外的占空比调节电路, 这时电路的倍频系数为 M , M 为多相时钟的个数; 另一种是在倍频系数和额外电路中取折衷方案。本文采用的是第二种方法。将节点 OR5 的脉冲通过一 D 触发器和反相器, 从而得到占空比为 50% 的倍频时钟, 但是倍频系

数变为 $M/2$ 。另外,为了减少信号传输覆盖,增大倍频器的工作频率, $Q_0 \sim Q_{23}$ 之间进行合理两两配对以保证最大的脉冲分离。

如果多相时钟的个数为 M ,则输出倍频时钟的频率可以表示为^[20]:

$$f_{CLK_mul} = f_{ref} \times \left(\frac{M}{2}\right) \quad (M \text{ 为整数, } 1 \leq M \leq N) \quad (4-5)$$

其中, f_{ref} 为参考时钟的频率, $M/2$ 为倍频系数。 $M/2$ 可根据不同用户码(P_0, P_1) 进行选择。

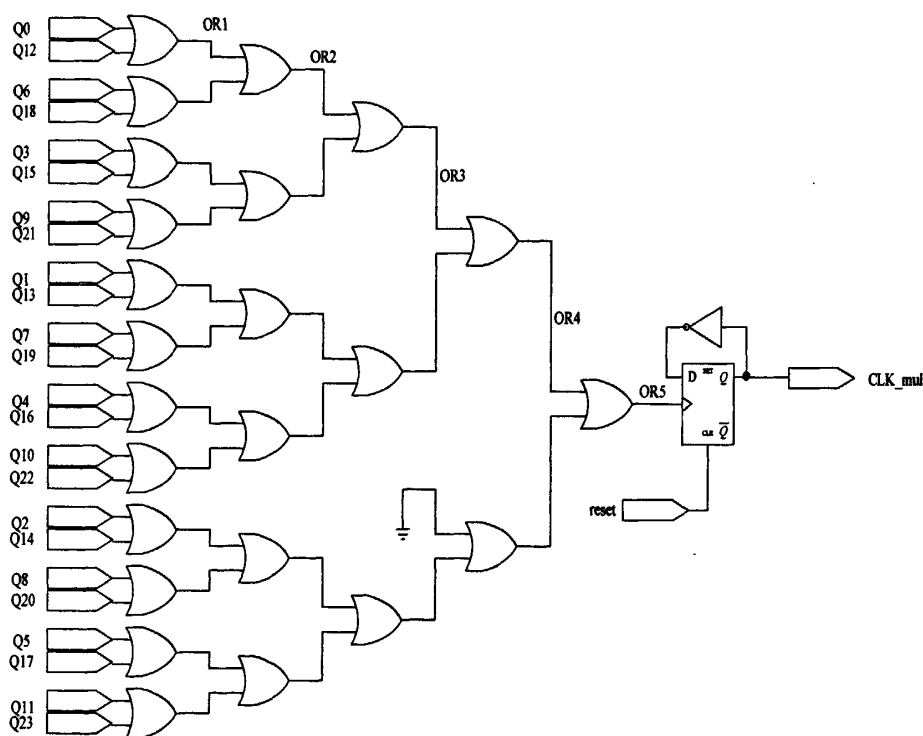


图 4.6 或门实现的脉冲组合电路

对或门实现的脉冲组合电路进行仿真。窄脉冲 $Q_0 \sim Q_{23}$ 的周期为 12ns , 脉冲宽度为 0.22ns , 相邻两个脉冲相位相差 15° , 即相差 0.5ns ; reset 所加激励为 $0 \sim 5\text{ns}$ 为低电平, 5ns 以后为高电平; 仿真时间为 40ns 。仿真波形如图 4.7 所示。

从图 4.7 可以看出, 脉冲组合电路通过一级或门, 输出 OR1 收集窄脉冲 Q_0 和 Q_{12} 。以此类推, 通过五级或门, 输出 OR5 收集 $Q_0 \sim Q_{23}$ 中的窄脉冲, 但 OR5 脉冲的占空比并不是 50% , 通过一 D 触发器和反相器, 得到占空比为 50% 的倍频时钟(CLK_mul)。

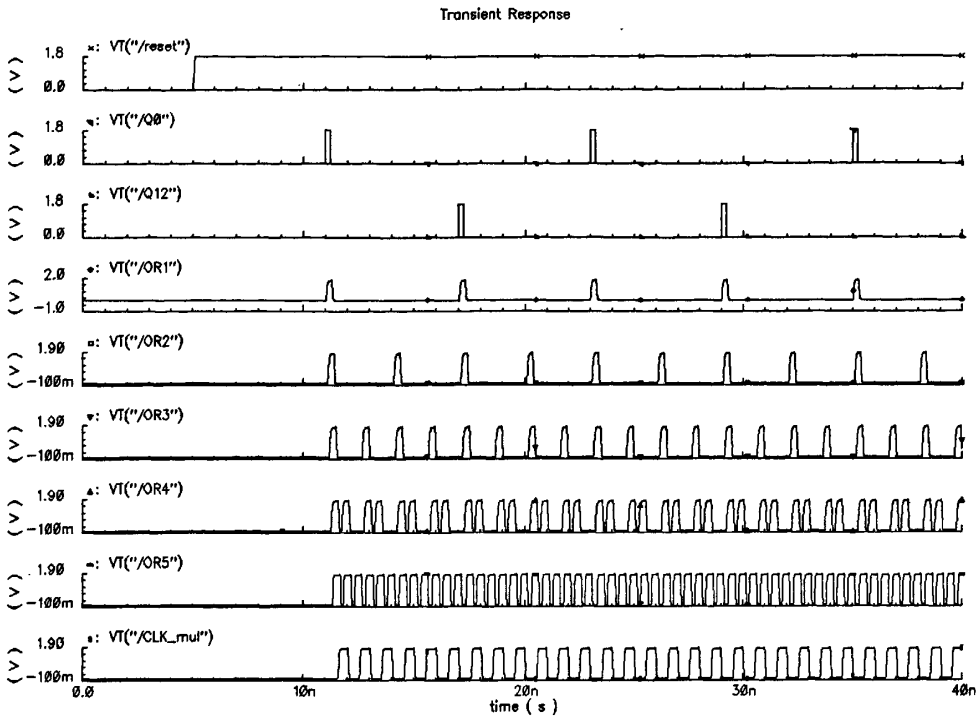


图 4.7 或门实现的脉冲组合电路仿真波形

图 4.8 给出了当用户码 $P0=1$ 、 $P1=0$ ，即倍频系数 $M/2=6$ 时或门实现的倍频器的示意波形图。

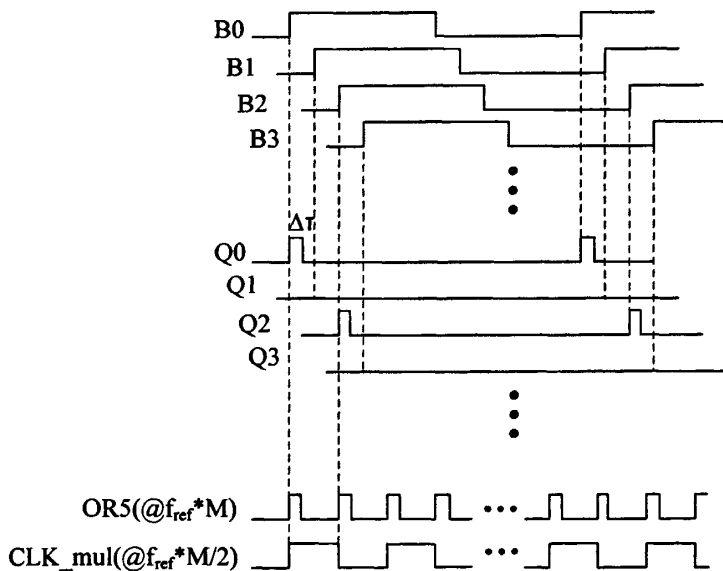


图 4.8 或门实现的倍频器的示意波形图

对或门实现的倍频器进行整体仿真。多相时钟 $B0\sim B23$ 的周期为 7.2ns ，脉冲宽度为 3ns ，相邻两个时钟相位相差 15° ，即相差 0.3ns ；用户码 $P0=1$ 、 $P1=1$ ，即倍频系数 $M/2=12$ ；reset 是 $0\sim 7\text{ns}$ 为低电平， 7ns 以后为高电平；仿真时间为 50ns 。仿真结果如图 4.9 所示。

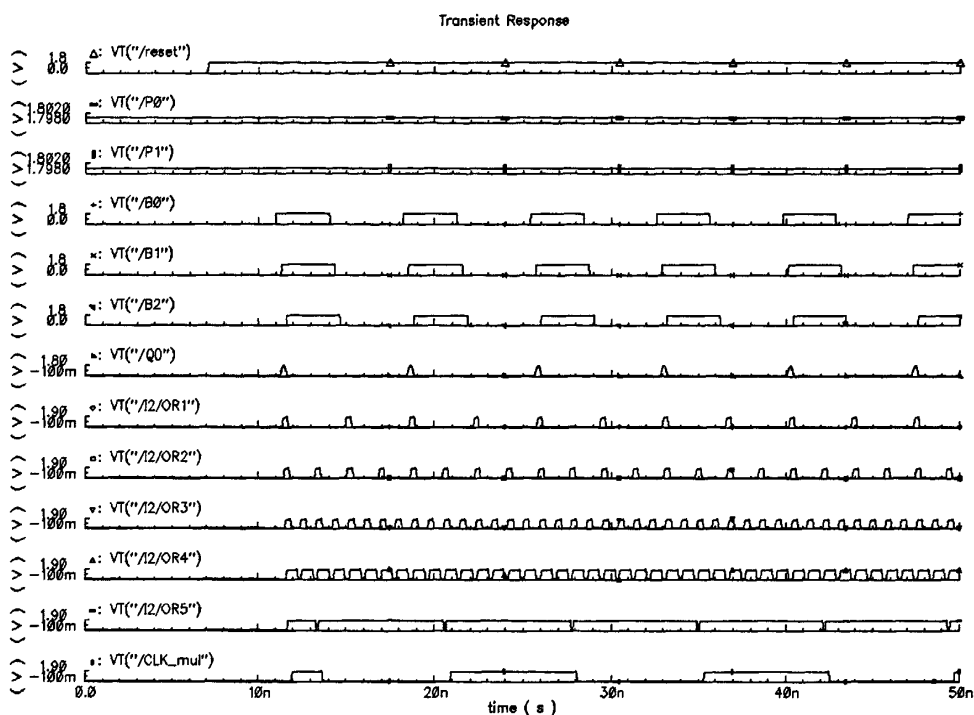


图 4.9 或门实现的倍频器仿真波形

仿真结果表明,当用户码 $P0=1$ 、 $P1=1$ 时,脉冲发生电路的控制信号 $S0\sim S23$ 均为高电平, Q_k 在相应 B_k 的上升沿到来时均生成一个窄脉冲,窄脉冲的脉冲宽度为 Qb_k 端的两个反相器的传播时延之和 $\Delta\tau=0.22\text{ns}$;脉冲组合电路通过五级或门,收集这些窄脉冲。从图 4.9 可以看出,仿真波形在脉冲组合电路的第四级或门输出 OR4 出现了问题。通过分析,是因为窄脉冲经过一系列或门,由于传播延迟,窄脉冲的脉冲宽度增大,经过第三级或门后,窄脉冲之间出现了交叠,使第四级或门输出 OR4 出现问题,从而没能生成正确的倍频时钟。

通过修改脉冲发生电路中 Qb_k 端的两个反相器的管子尺寸,使其传播时延之和 $\Delta\tau$ 为 0.1ns ,即 Q_k 端输出的窄脉冲的脉冲宽度为 0.1ns 。

对改进的或门实现的倍频器进行整体仿真。多相时钟 $B0\sim B23$ 的周期为 7.2ns ,脉冲宽度为 3ns ,相邻两个时钟相位相差 15 度,即相差 0.3ns ;用户码 $P0=1$, $P1=1$,即倍频系数 $M/2=12$;reset 是 $0\sim 7\text{ns}$ 为低电平, 7ns 以后为高电平;仿真时间为 50ns 。仿真结果如图 4.10 所示。

从图 4.10 可以看出,倍频器在脉冲组合电路第五级或门输出 OR5 的波形是正确的,但经过 D 触发器和反相器,最后输出的倍频时钟 CLK_mul 波形有问题,占空比并不是 50% 。通过分析,是因为 D 触发器的工作条件限制。当 D 触发器的输入时钟的频率超过 2.1GHz 时, D 触发器已超出了正常工作范围^[21]。

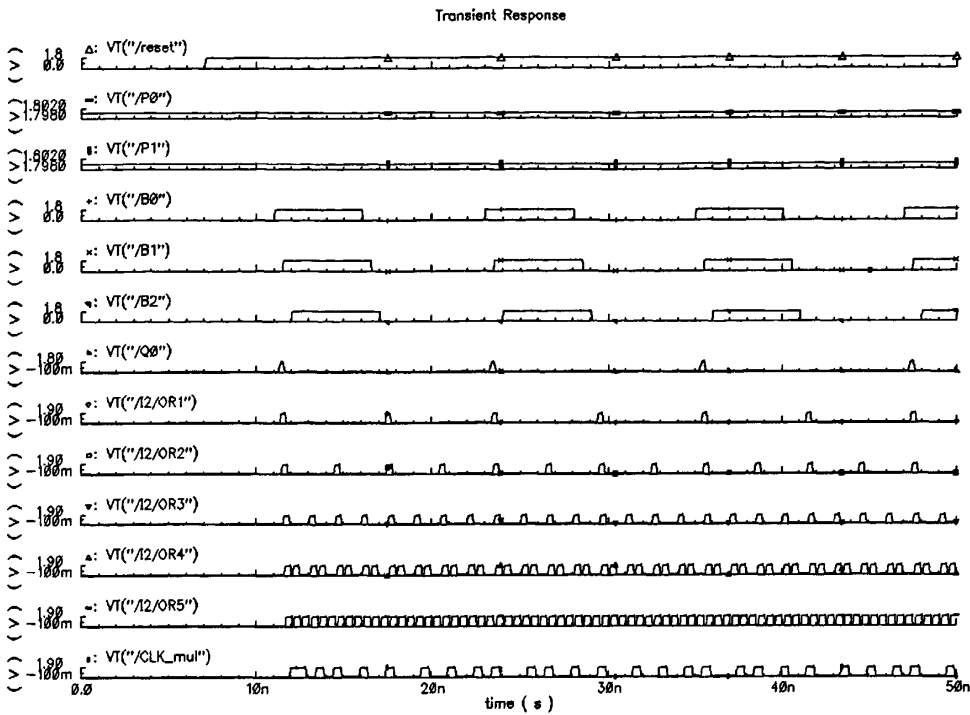


图 4.10 改进的或门实现的倍频器仿真波形 1

对改进的或门实现的倍频器进行整体仿真。多相时钟 B0~B23 的周期为 24ns, 脉冲宽度为 12ns, 相邻两个时钟相位相差 15 度, 即相差 1ns; 用户码 P0=1、P1=1, 即频系数 $M/2=12$; reset 是 0~7ns 为低电平, 7ns 以后为高电平; 仿真时间为 50ns。仿真结果如图 4.11 所示。

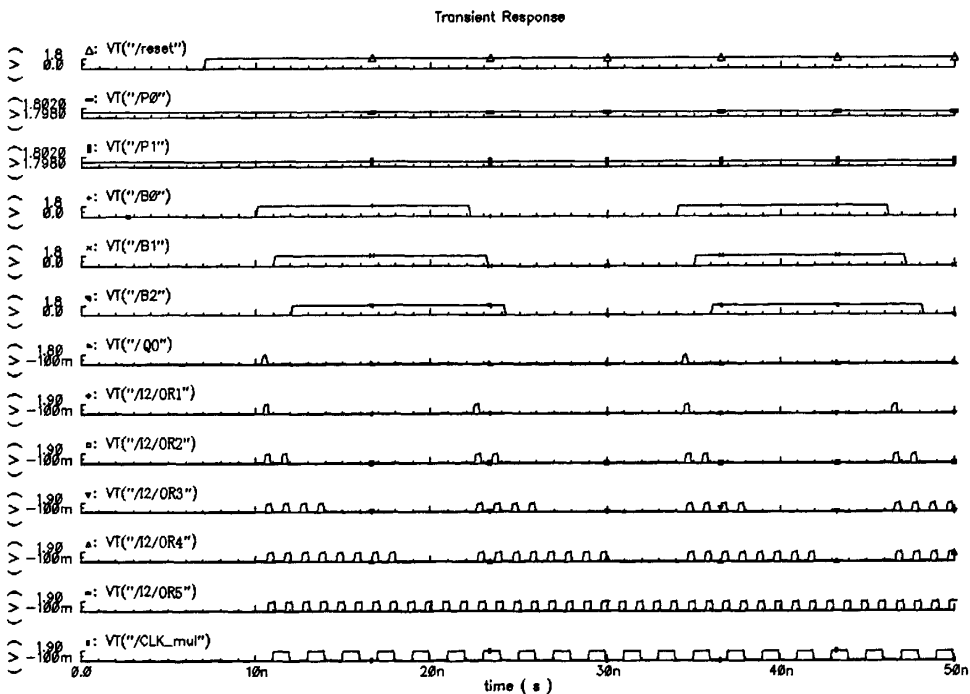


图 4.11 改进的或门实现的倍频器仿真波形 2

仿真结果表明,当用户码 $P_0=1$ 、 $P_1=1$ 时,脉冲发生电路的控制信号 $S_0\sim S_{23}$ 均为高电平, Q_k 在相应 B_k 的上升沿到来时均生成一个窄脉冲,窄脉冲的脉冲宽度为 Q_k 端的两个反相器的传播时延之和 $\Delta\tau=0.1\text{ns}$;脉冲组合电路通过五级或门,收集这些窄脉冲。第五级或门输出 OR5 的占空比不是 50%,经过一个 D 触发器和反相器,得到占空比为 50%的倍频时钟(CLK_mul)。倍频时钟(CLK_mul)的频率是输入时钟(B_0)频率的 12 倍。CLK_mul 与 B_0 的延迟时间为 0.9ns 。由此可见,倍频器实现了其电路功能。但是其中的脉冲组合电路是通过许多或门生成倍频时钟。这些或门使得电路的抖动性能变差,且消耗大量的功耗^[20,22]。

为了解决这个问题,本文又设计了一种新的 MOS 管实现的脉冲组合电路,它不需要通过或门得到倍频时钟,从而降低了抖动积累,减小了功耗。

新设计的 MOS 管实现的脉冲组合电路如图 4.12 所示。它由 nMOS、pMOS、反相器、与门和选择器组成^[21]。它的输入为多相时钟($B_0\sim B_{23}$)和用户码(P_0, P_1),输出为倍频时钟(CLK_mul)。其中 Q_4 、 Q_8 、 Q_{12} 、 Q_{16} 、 Q_{20} 的电路实现和 Q_0 相同, Q_5 、 Q_9 、 Q_{13} 、 Q_{17} 、 Q_{21} 的电路实现和 Q_1 相同, (Q_{10}, Q_{11})、(Q_{14}, Q_{15})、(Q_{22}, Q_{23})的电路实现和(Q_2, Q_3)相同, (Q_{18}, Q_{19})的电路实现和(Q_6, Q_7)相同。

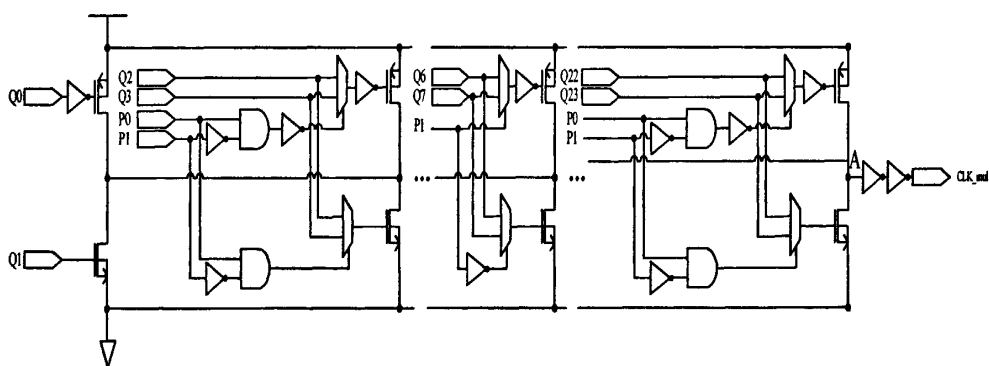


图 4.12 MOS 管实现的脉冲组合电路

如 4.2 节所述,在多相时钟($B_0\sim B_{23}$)中,相邻两个时钟间的相位差是相等的。由多相时钟 B_k 生成的窄脉冲 Q_k , Q_k 和 Q_{k+1} 之间的相位差也是相等的。且窄脉冲 Q_k 的脉冲宽度也是相等的,都等于两个反相器的传播时延之和 $\Delta\tau$ 。窄脉冲 Q_k 被逻辑门选择,用来形成脉冲组合电路。设 T_1 和 T_2 分别是 Q_0 和 Q_1 的脉冲宽度, $T_1=T_2=\Delta\tau$ 。 Q_0 经过一个反相器被接到其中一个 pMOS 管的栅极上,在脉冲宽度 T_1 间, pMOS 管导通,输出充电,直到达到 1.8V 的电源电压。在脉冲宽度 T_2 间,脉冲 Q_1 传输到 nMOS 管的栅极, nMOS 管导通,输出放电,直到输出电压变为 0。以此类推,从而可以生成倍频时钟。当 nMOS 管和 pMOS 管同时导通时,电路将处在不定态。为了保证电路正确工作,必须消除不定态,即不允许两管同时导通。因此, Q_k 必须为窄脉冲,且窄脉冲之间不能出现交叠。由 4.2 节可知,窄脉冲的

脉冲宽度为 0.1ns, 这就限制了参考时钟的最大频率: $f_{ref_max} < 417\text{MHz}$ 。另外, 如果输出端不加两个反相器, 由仿真结果可知, 输出时钟的最高电压达不到电源电压 1.8V。为了使输出时钟的最高电压达到电源电压 1.8V, 所以在输出端增加了两个反相器。

为了得到更精确的倍频时钟, 在 MOS 管实现的脉冲组合电路中增加了一些虚拟缓冲器, 来匹配 Q0~Q23 到达 nMOS 管或 pMOS 管栅极的时序。

对 MOS 管实现的倍频器进行整体仿真。多相时钟 B0~B23 的周期为 24ns, 脉冲宽度为 12ns, 相邻两个时钟相位相差 15 度, 即相差 1ns; 用户码 P0=1、P1=1, 即倍频系数 $M/2=12$; reset 是 0~7ns 为低电平, 7ns 以后为高电平; 仿真时间为 50ns。仿真结果如图 4.13 所示。

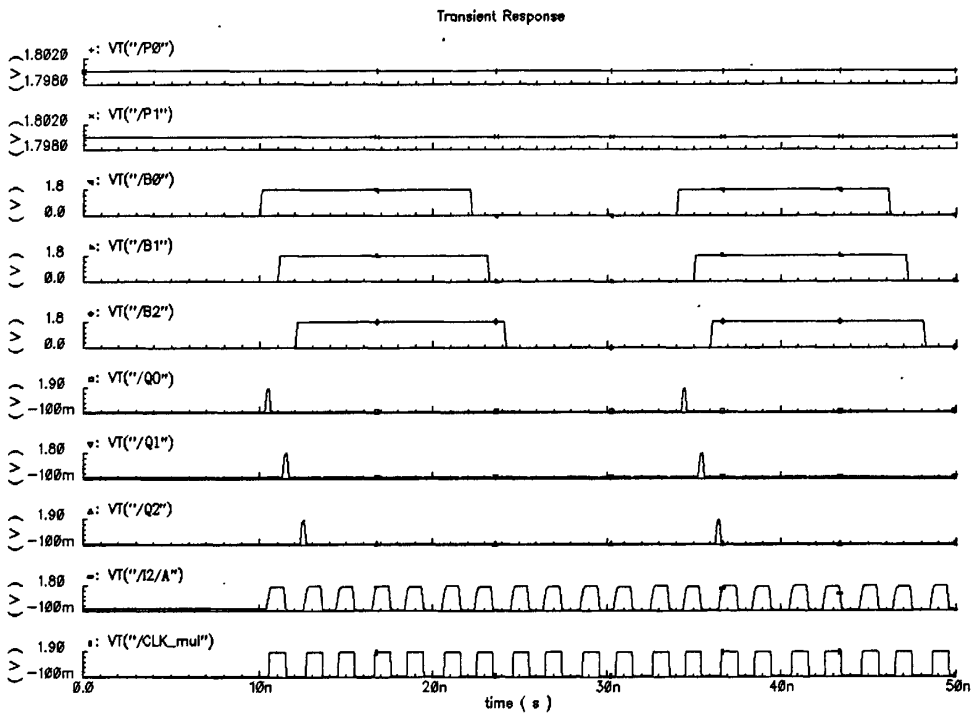


图 4.13 MOS 管实现的倍频器仿真波形

从图 4.13 可以看出, 当用户码 P0=1、P1=1 时, 脉冲发生电路的控制信号 S0~S23 均为高电平, Q_k 在相应 B_k 的上升沿到来时均生成一个窄脉冲, 窄脉冲的脉冲宽度为 Q_k 端的两个反相器的传播时延之和 $\Delta\tau = 0.1\text{ns}$; 脉冲组合电路通过 nMOS 管和 pMOS 管, 输出倍频时钟 CLK_mul 在相应窄脉冲 Q_k 的上升沿翻转。由于当 DLL 锁定时, 生成的多相时钟 B_k , 相邻两个时钟间的相位差是相等的, 而窄脉冲 Q_k 是在相应 B_k 的上升沿生成的, 所以窄脉冲 Q_k 之间的相位差也是相等的, 从而可以得到占空比为 50% 的倍频时钟 CLK_mul。倍频时钟 (CLK_mul) 的频率是输入时钟 (B0) 频率的 12 倍。CLK_mul 与 B0 的延迟时间为 0.4ns。

将图 4.11 和图 4.13 进行比较, 可以看出图 4.13 的抖动性能变好了很多; 而且,

图 4.11 中倍频输出时钟(CLK_mul)与输入时钟(B0)之间的延迟为 0.9ns, 而图 4.13 中倍频输出时钟(CLK_mul)与输入时钟(B0)之间的延迟只有 0.4ns, 减少了一半; 另外, MOS 管实现的倍频器比或门实现的倍频器, 功耗和面积也降低了很多。

本文设计的倍频器没有任何的占空比调节电路。表面上看, 它好像不能保证输出时钟具有 50%的占空比。然而, 即使多相时钟 B0~B23 的占空比不是 50%, 输出倍频时钟 CLK_mul 的占空比也是 50%。因为倍频器只用到了多相时钟的上升沿。当 DLL 锁定时, 生成多相时钟(B0~B23), 相邻两个时钟之间的相位差是相等的, 均为 15 度。此相位差用来生成倍频时钟, 这就保证了 50%的占空比。而传统的倍频器既用到了时钟上升沿又用到下降沿, 为了得到占空比为 50%的时钟, 需要增加额外的占空比调节电路。与传统的倍频器相比, 本文设计的倍频器不需要增加额外的占空比调节电路, 所以减小了版图面积, 降低了功耗。

4.4 本章小结

本章设计了一种新的倍频器, 包括译码器、脉冲发生电路和脉冲组合电路。它由时钟锁相电路产生的多相时钟(B0~B23)生成倍频时钟(CLK_mul)。译码器通过对用户码(P0,P1)进行译码, 生成控制脉冲发生电路的控制信号(S0~S23), 从而可以选择四种倍频系数($\times 2$ 、 $\times 4$ 、 $\times 6$ 、 $\times 12$)中的一种。脉冲发生电路根据译码器生成的控制信号 S_k , 在相应多相时钟 B_k 的上升沿生成窄脉冲 Q_k 。脉冲组合电路收集这些窄脉冲, 从而生成占空比为 50%的倍频时钟(CLK_mul)。

本章设计了两种脉冲组合电路, 一种用或门实现, 另一种用 MOS 管实现。通过对两种电路分别进行仿真, 可以看出, 相对于或门实现的脉冲组合电路来说, MOS 管实现的脉冲组合电路的延迟时间变短, 抖动性能变好, 且功耗和面积也降低了。

本文设计的倍频器的创新点在于: 一倍频系数可编程; 二 MOS 管实现的脉冲组合电路主要由 nMOS 管和 pMOS 管构成, 而不是由大量的逻辑门构成, 从而减小了抖动和功耗; 三此倍频器不需要额外的占空比调节电路, 就可以得到占空比为 50%的倍频时钟。

第五章 抗谐波锁定电路的设计

时钟锁相电路(DLL)最主要的作用是锁定输入时钟和参考时钟。倍频器是用 DLL 生成的多相时钟来倍增参考时钟。为了生成精确的倍频时钟,输入时钟在参考时钟的一个周期内锁定,这非常重要,所以本文增加了抗谐波锁定电路。

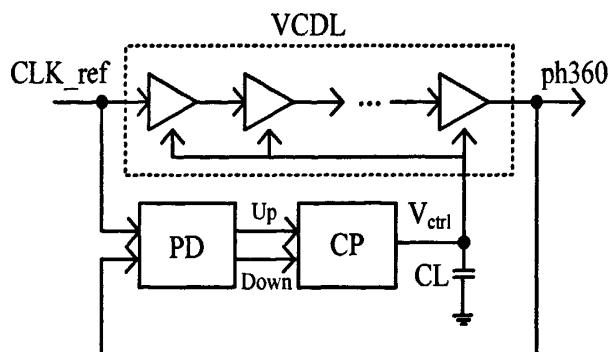
谐波锁定是由于输出反馈信号的第一个上升沿朝着参考信号的第 $L(L \geq 3)$ 个上升沿靠近,从而导致输出时钟并不是参考信号的一个周期延时^[23]。

5.1 谐波锁定的机理

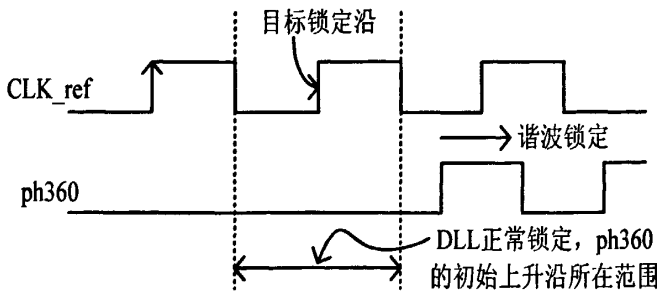
图 5.1(a)给出了延迟锁相环的结构图。DLL 一般包含鉴相器(PD)、电荷泵(CP)、环路滤波器、压控延时线四个模块^[23]。输入参考信号 CLK_ref 在 VCDL 中传输,经过每一级延时单元相同的延时,再从最后一级延时单元的输出信号 ph360 反馈到 PD,PD 输出相位误差信号 Up 和 Down。当 Up 为高电平时,CP 对环路滤波电容 CL 充电,电压 Vctrl 增大。相反,Down 为高电平时,CP 对环路滤波电容 CL 放电,电压 Vctrl 减小。而 Vctrl 的变化会调节 VCDL 的延时,从而最终使 VCDL 的输出 ph360 是输入信号 CLK_ref 的 1 个周期延时,DLL 进入锁定状态。然而传统 DLL 中的 PD 的锁定捕捉范围只有 $(-\pi, +\pi)$,因此容易出现谐波锁定问题,如图 5.1(b)所示为谐波锁定时序图。谐波锁定是由于输出反馈信号 ph360 的第一个上升沿朝着输入参考信号 CLK_ref 的第 $L(L \geq 3)$ 个上升沿靠近,从而导致输出时钟并不是输入信号的一个周期延时。传统 DLL 要避免谐波锁定问题,VCDL 的最大延时 Tmax 必须满足不等式(5-1)^[21]。

$$T_{ref} < T_{max} < 1.5T_{ref} \quad (5-1)$$

其中, T_{ref} 是 DLL 输入信号的周期。



(a) DLL 结构图



(b)谐波锁定时序

图 5.1 DLL 结构图和谐波锁定时序

本文设计的倍频器是用 DLL 锁定时生成的多相时钟(B0~B23)来合成倍频时钟。为了生成精确的倍频时钟，输入时钟在参考时钟(CLK_ref,B0)的一个周期内锁定，这非常重要。图 5.2 分别给出了 DLL 处于正确锁定状态和谐波锁定状态时的时序图。当输入时钟(相移时钟 B24)在参考时钟(B0)的一个周期内锁定时，倍频器正常工作，输出倍频时钟的周期 $T_{CLK_mul} = T_{ref}/12$ ，其中 T_{ref} 为参考时钟的周期，如图 5.2(a)所示。如果相移时钟(B24)在参考时钟的两个周期内锁定(这称为谐波锁定)，多相时钟之间的延迟量会增大，从而导致倍频时钟的周期增大，输出倍频时钟的周期变为 $T_{CLK_mul} = T_{ref}/6$ ，如图 5.2(b)所示。

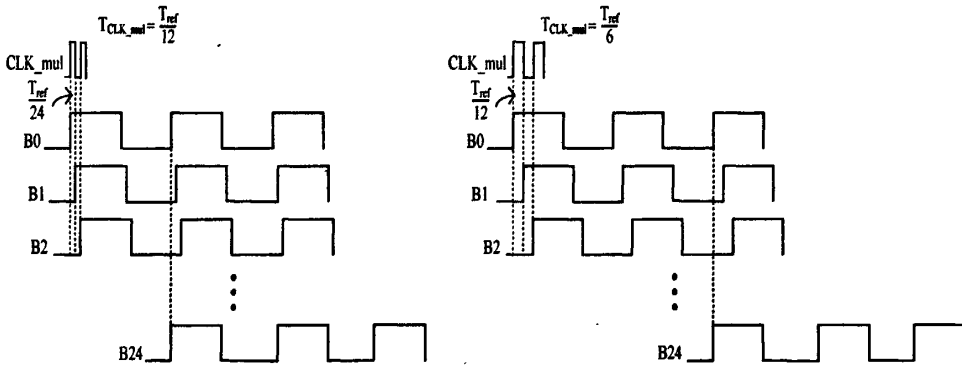


图 5.2 (a)DLL 处于正确锁定状态时的时序图

(b) DLL 处于谐波锁定状态时的时序图

5.2 抗谐波锁定电路

在现有的文献中，提出了很多新颖的技术来解决谐波锁定问题。一、采用独立的样本延迟单元来限制延迟线的范围^[24,25]；二、采用谐波锁定检测模块来监控谐波锁定^[21]；三、采用带有启动控制电路的鉴频鉴相器来解决此问题^[26~28]。本文设计的抗谐波锁定电路是基于第二种方法。

为了避免谐波锁定，相移时钟(B24)的固有延迟必须在 $0.5T_{ref}$ 和 $1.5T_{ref}$ 之间，

其中 T_{ref} 表示参考时钟(B0)的周期^[10]。传统的抗谐波锁定电路主要是检测两个或三个多相时钟的上升沿是否处于正确的位置^[22,29]。这有很多问题：一、如果时钟的相位增加，功耗也会增加；二、由于相位误差，如果一个多相时钟处于错误的位置，抗谐波锁定电路将产生错误的信息。

为了解决这种问题，本文设计的抗谐波锁定电路将依次检测每一个多相时钟的相位延迟量，而在实际电路实现中只需要用到两个多相时钟(B8,B23)，从而降低了功耗；而且，它可以在很宽范围内检测出 DLL 是否处于谐波锁定状态。

输入时钟(B23)的约束条件可表示为：

$$\frac{T_{ref}}{2} < B23_rising_edge < \frac{3T_{ref}}{2} \quad (5-2)$$

在式(5-2)的每一边都乘以 1/3，式(5-2)变为：

$$\frac{1}{3} \times \frac{T_{ref}}{2} < \frac{B23}{3} < \frac{1}{3} \times \frac{3T_{ref}}{2} \quad (5-3)$$

由于 B8 的延迟量是 B23 延迟量的 1/3，所以 B8 的相位延迟不应该超过参考时钟(B0)周期的一半。如式(5-4)所示：

$$\frac{T_{ref}}{6} < B8_rising_edge < \frac{T_{ref}}{2} \quad (5-4)$$

图 5.3 给出了本文设计的抗谐波锁定电路的工作情况。它只用到了两个相位时钟(B8 和 B23)。首先，检测 B8 的延迟量，看其是否满足第一个检测窗口 ($T_{ref}/6 < B8_rising_edge < T_{ref}/2$)。如果 B8 的延迟量满足第一个检测窗口，再检测 B23 的延迟量，看其是否满足第二个检测窗口 ($T_{ref}/2 < B23_rising_edge < 3T_{ref}/2$)。通过两个检测窗口，检测出 DLL 是否处于谐波锁定状态。

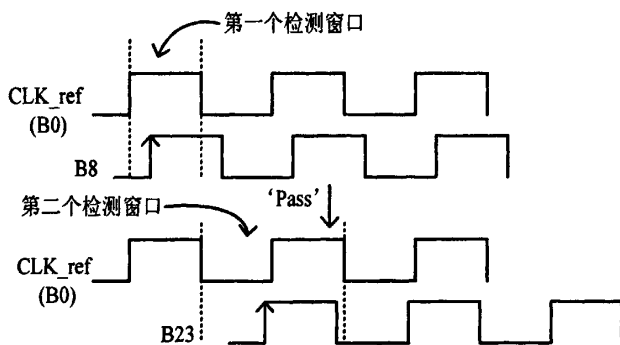
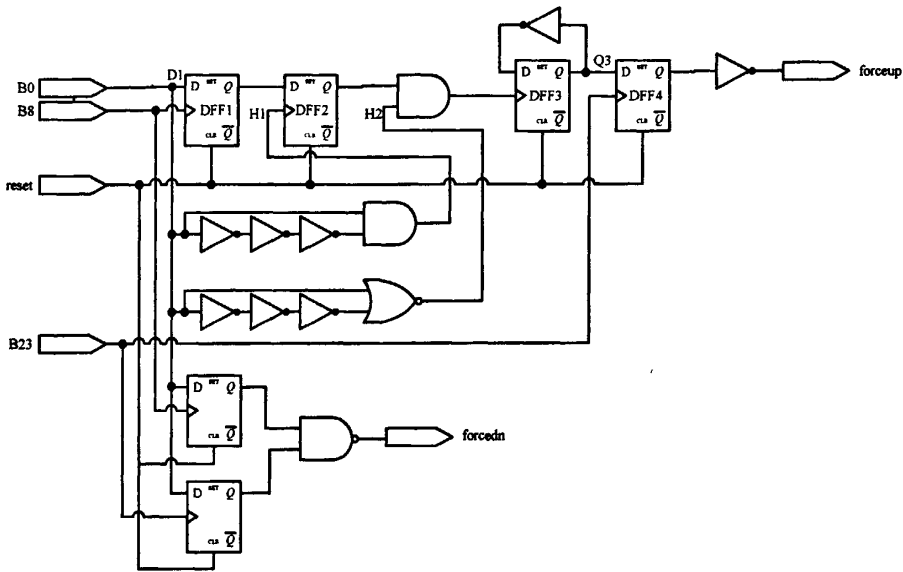


图 5.3 抗谐波锁定电路的工作情况

抗谐波锁定电路及其时序图如图 5.4 所示。它由 D 触发器、反相器、与门、

或非门和与非门组成。H1 节点的波形是在 B0 的上升沿生成窄脉冲，H2 节点的波形是在 B0 的下降沿生成窄脉冲。首先，检测 B8 的延迟量，看其是否满足第一个检测窗口。如果 B8 的延迟量满足第一个检测窗口，再检测 B23 的延迟量。第二个检测窗口由 DFF3 和反相器组成。将 Q_3 和 B23 输入 DFF4，抗谐波锁定电路决定是否生成 forceup 信号。另外，如果 B8 和 B23 的延迟量处于参考时钟的半个周期内，则产生 forcedn 信号。



(a) 抗谐波锁定电路



(b) 抗谐波锁定电路时序图

图 5.4 抗谐波锁定电路及其时序图

对抗谐波锁定电路进行仿真。仿真激励：多相时钟(B0~B23)的周期为 36ns，脉冲宽度为 18ns；reset 是 0~7ns 为低电平，7ns 以后为高电平。

当 DLL 处于正确锁定状态, 即多相时钟在参考时钟的一个周期内锁定, 相邻两个时钟间相差 1.5ns。仿真波形如图 5.5 所示。

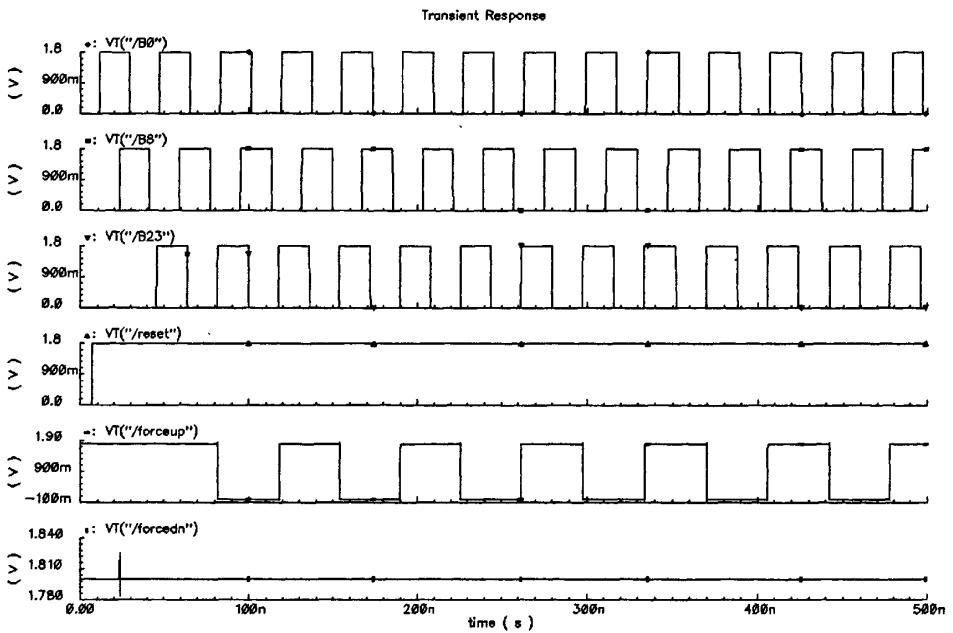


图5.5 抗谐波锁定电路的仿真波形1

仿真结果表明, 当 DLL 处于正确锁定状态时, 生成的 `forceup` 信号为方波, 在 B23 的第二个周期的上升沿开始翻转, 生成的 `forcedn` 信号为高电平。

当多相时钟在参考时钟的两个周期内锁定(DLL 处于谐波锁定状态), 相邻两个时钟间相差 3ns。仿真波形如图 5.6 所示。

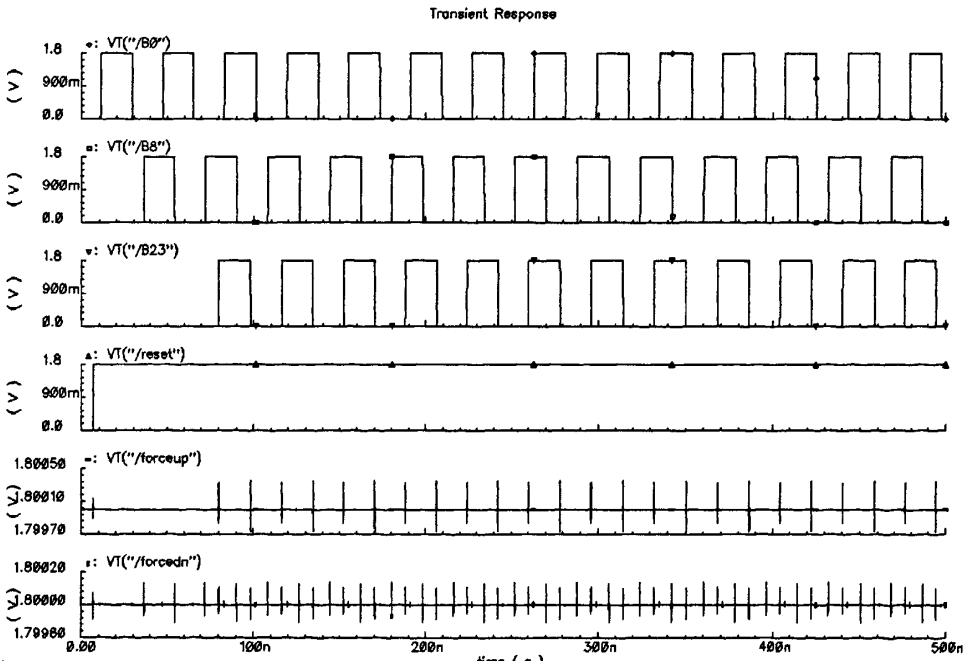


图5.6 抗谐波锁定电路的仿真波形2

仿真结果表明,当 DLL 处于谐波锁定状态时,生成的 forceup 和 forcedn 信号都为高电平。

当 B8 和 B23 的延迟量处于参考时钟的半个周期内,仿真波形如图 5.7 所示。

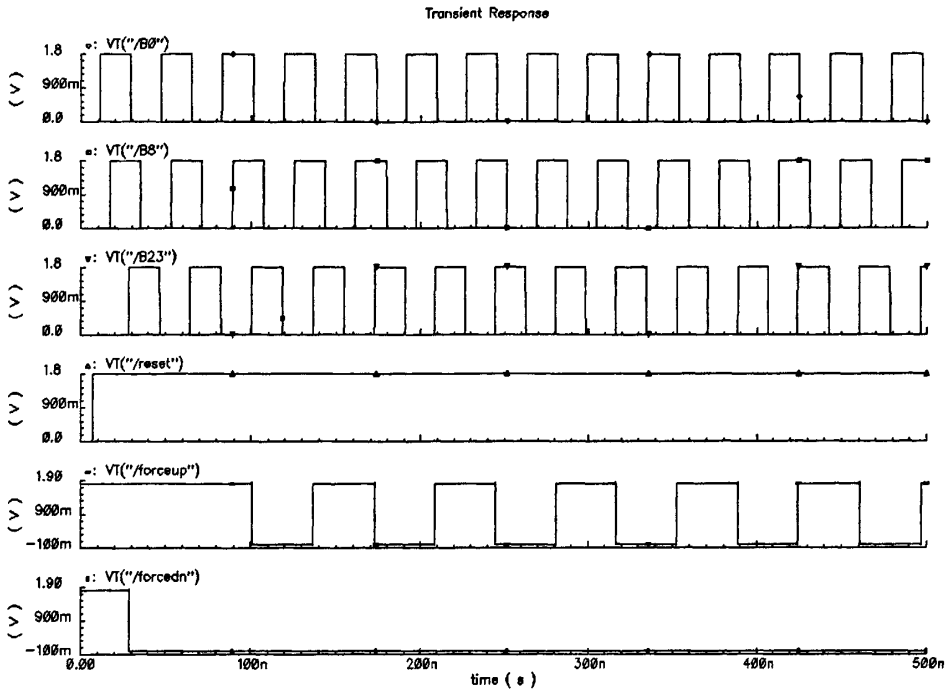


图5.7 抗谐波锁定电路的仿真波形3

仿真结果表明,当 B8 和 B23 的延迟量处于参考时钟的半个周期内,生成的 forceup 信号为方波,在 B23 的第三个周期的上升沿开始翻转,生成的 forcedn 信号为低电平。

综上所述,抗谐波锁定电路可以用来检测 DLL 是否处于谐波锁定状态。当 DLL 处于不同锁定状态时,生成不同的 forceup 和 forcedn 信号。将 forceup 和 forcedn 信号作为时钟锁相电路的输入,用来控制时钟锁相电路,通过调节,从而使 DLL 被正确锁定。

与传统的抗谐波锁定电路相比,本文设计的抗谐波锁定电路只用到了很少的多相时钟,所以,降低了硬件的复杂度和功耗。另外,即使参考时钟的占空比不是 50%,抗谐波锁定电路也不会出现问题。因为抗谐波锁定电路只用到了时钟的上升沿。

5.3 本章小结

本章探讨了抗谐波锁定电路的设计。为了避免谐波锁定，相移时钟(B24)的固有延迟必须在 $0.5T_{ref}$ 和 $1.5T_{ref}$ 之间，其中 T_{ref} 表示参考时钟的周期。本文设计的抗谐波锁定电路只用到了两个多相时钟(B8 和 B23)。首先，检测 B8 的延迟量，看其是否满足第一个检测窗口($T_{ref}/6 < B8_rising_edge < T_{ref}/2$)。如果 B8 的延迟量满足第一个检测窗口，再检测 B23 的延迟量，看其是否满足第二个检测窗口($T_{ref}/2 < B23_rising_edge < 3T_{ref}/2$)。通过两个检测窗口，检测出 DLL 是否处于谐波锁定状态。DLL 处于不同锁定状态时，生成的信号(forceup 和 forcedn)也不同。用 forceup 和 forcedn 信号去控制时钟锁相电路，通过调整使 DLL 被正确锁定。

第六章 基于 DLL 的时钟发生器的总体仿真

本文采用 SMIC 0.18 μm CMOS 标准工艺, 利用 spectre 和 HSIM 仿真器对基于延迟锁相环的时钟发生器进行仿真验证。输入时钟的高电压均为 1.8V, 低电压为 0V, 上升时间为 0.01ns, 下降时间为 0.01ns。参考时钟的频率范围为 25MHz~150MHz。

基于 DLL 的时钟发生器包括时钟锁相电路、倍频器和抗谐波锁定电路。参考时钟 CLK_ref 被传送到时钟锁相电路(DLL), 当 DLL 锁定时, 生成 24 相时钟 (B0~B23), 相邻两时钟的相位差相等, 均为 15 度。此 24 相时钟作为倍频器的输入。根据用户码(P0,P1), 倍频器可生成四种倍频($\times 2$ 、 $\times 4$ 、 $\times 6$ 、 $\times 12$)输出时钟中的一种。在多相时钟 B0~B23 中, B0、B8 和 B23 被选为抗谐波锁定电路的输入, 用来检测 DLL 是否为谐波锁定。抗谐波锁定电路生成两个信号(forceup 和 forcedn), 用来控制时钟锁相电路, 通过调整, 使 DLL 被正确锁定。

对基于 DLL 的时钟发生器进行整体仿真。参考时钟 CLK_ref 的周期为 36ns, 脉冲宽度为 18ns; 用户码 P0=0、P1=0; 仿真时间为 800ns。仿真结果如图 6.1 所示。

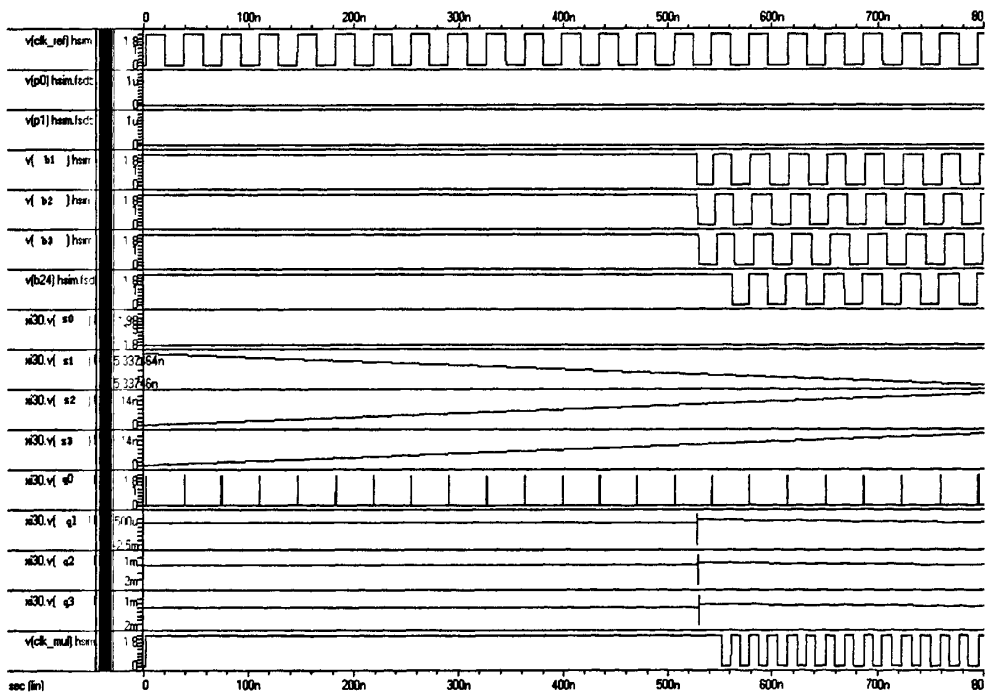


图 6.1 2 倍频时钟发生器的仿真波形

从图 6.1 可以看出, 时钟发生器中的 DLL 在启动 15 个参考时钟周期内实现锁定(即相移时钟 B24 是参考时钟 CLK_ref 的一个周期延迟), 生成 24 相时钟 (B0~B23), 相邻两个时钟的相位差为 15 度, 即相差 1.5ns。24 相时钟输入至倍频

器。译码器对用户码(P0,P1)进行译码,生成控制脉冲发生电路的控制信号(S0~S23)。当 P0=0、P1=0 时, S0~S23 中 S0、S6、S12、S18 为高电平,其余为低电平。脉冲发生电路根据控制信号 S_k ,在相应多相时钟 B_k 的上升沿生成窄脉冲 Q_k 。脉冲组合电路通过 nMOS 管和 pMOS 管,输出倍频时钟 CLK_mul 在相应窄脉冲 Q_k 的上升沿翻转,从而生成占空比为 50%的倍频时钟。倍频时钟 CLK_mul 的频率是参考时钟 CLK_ref 频率的 2 倍,CLK_mul 和 CLK_ref 之间的延迟为 0.1ns。

对基于 DLL 的时钟发生器进行整体仿真。参考时钟 CLK_ref 的周期为 36ns,脉冲宽度为 18ns;用户码 P0=0、P1=1;仿真时间为 800ns。仿真结果如图 6.2 所示。

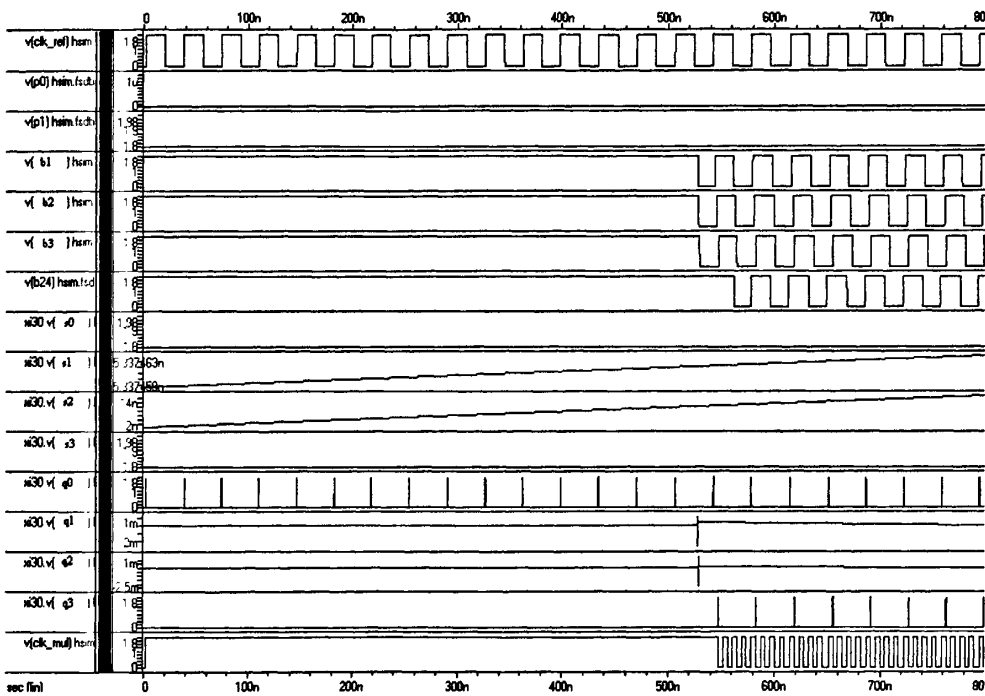


图 6.2 4 倍频时钟发生器的仿真波形

从图 6.2 可以看出,时钟发生器中的 DLL 在启动 15 个参考时钟周期内实现锁定,生成 24 相时钟(B0~B23),相邻两个时钟的相位差为 15 度。当 P0=0、P1=1 时,输出倍频时钟 CLK_mul 实现对参考时钟 CLK_ref 的 4 倍频,CLK_mul 和 CLK_ref 之间的延迟为 0.2ns。

对基于 DLL 的时钟发生器进行整体仿真。参考时钟 CLK_ref 的周期为 36ns,脉冲宽度为 18ns;用户码 P0=1、P1=0;仿真时间为 800ns。仿真结果如图 6.3 所示。从图 6.3 可以看出,时钟发生器中的 DLL 在启动 15 个参考时钟周期内实现锁定,生成 24 相时钟(B0~B23),相邻两个时钟的相位差为 15 度。当 P0=1、P1=0 时,输出倍频时钟 CLK_mul 实现对参考时钟 CLK_ref 的 6 倍频,CLK_mul 和 CLK_ref 之间的延迟为 0.2ns。

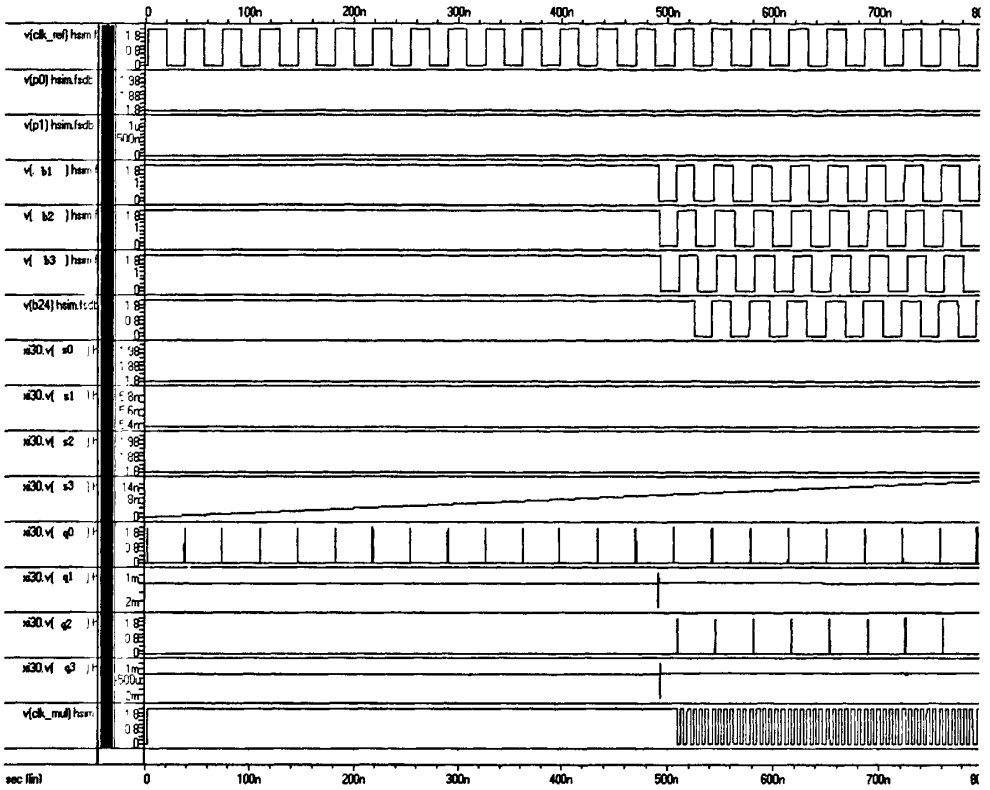


图 6.3 6 倍频时钟发生器的仿真波形

对基于 DLL 的时钟发生器进行整体仿真。参考时钟 CLK_ref 的周期为 36ns，脉冲宽度为 18ns；用户码 P0=1、P1=1；仿真时间为 800ns。仿真结果如图 6.4 所示。

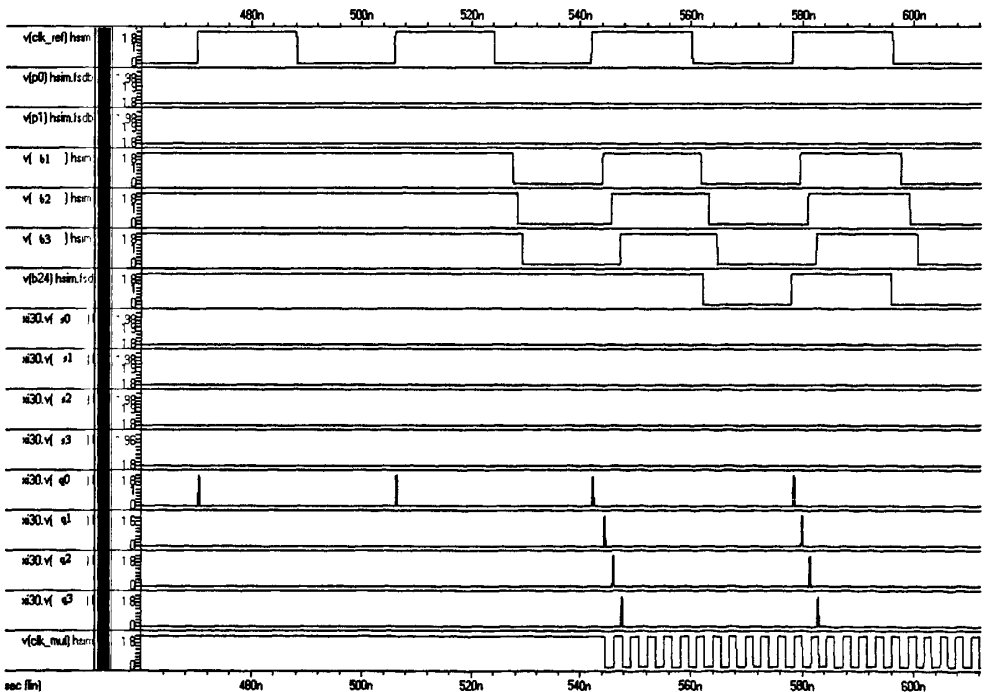


图 6.4 12 倍频时钟发生器的仿真波形

从图 6.4 可以看出, 时钟发生器中的 DLL 在启动 15 个参考时钟周期内实现锁定, 生成 24 相时钟(B0~B23), 相邻两个时钟的相位差为 15 度。当 P0=1、P1=1 时, 输出倍频时钟 CLK_mul 实现对参考时钟 CLK_ref 的 12 倍频, CLK_mul 和 CLK_ref 之间的延迟为 0.25ns。

通过对基于 DLL 的时钟发生器进行仿真分析, 可以看出, 时钟发生器中的 DLL 在启动 15 个参考时钟周期内实现锁定, 生成 24 相时钟(B0~B23), 相邻两时钟的相位差相等, 均为 15 度; 根据不同用户码(P0,P1), 输出倍频时钟 CLK_mul 实现对参考时钟 CLK_ref 的 $\times 2$ 、 $\times 4$ 、 $\times 6$ 、 $\times 12$ 倍频, 占空比均为 50%; CLK_mul 与 CLK_ref 之间的延迟不超过 0.3ns。电路功能正确。

本文设计的基于 DLL 的时钟发生器的总结结果在表 6.1 中列出。

表 6.1 基于 DLL 的时钟发生器的总结结果

电源电压	1.8V
工艺	SMIC 0.18 μ m CMOS
倍频系数	$\times 2$ 、 $\times 4$ 、 $\times 6$ 、 $\times 12$
输出时钟频率	Min: 50MHz (25MHz $\times 2$)
	Max: 1.8GHz (150MHz $\times 12$)

第七章 结论与展望

在查阅大量国内外技术文献,分析比较各种整体方案和各个环节的实现方法,综合考虑现有的工艺条件、软件环境和技术知识储备基础上,本文设计了一种低功耗、小抖动、基于延迟锁相环的时钟发生器。包括时钟锁相电路、倍频器和抗谐波锁定电路。

本文把时钟发生器整体电路分为若干功能子模块,先对功能子模块进行电路级设计,使其完成各子块的功能,并达到各子块的设计指标。然后再把各功能块连接起来,协调接口关系,并对各子块作适当调整,使整体电路满足系统设计的功能和要求。本文对基于延迟锁相环的时钟发生器在以下几个方面做了些探索和研究,取得了初步成果。

(1)时钟锁相电路:与传统的 DLL 相比,增加了相位误差补偿模块,用来比较参考时钟(CLK_ref)和相移时钟(B24)之间的相位差,若 B24 是 CLK_ref 的一个周期延时,则 DLL 进入锁定状态。一旦由于外界环境变化或参考频率变化引起 B24 和 CLK_ref 相位之间的不匹配,则 DLL 进入闭环工作模式来补偿相位误差。当 DLL 已补偿完相位误差,重新进入锁定状态时,开环模式被重新激活。通过相位误差补偿电路,该时钟发生器可以时刻保持跟踪由外界环境变化引起的任何潜在相位误差。

(2)倍频器:一倍频系数可编程,通过不同用户码(P0,P1),可以实现参考时钟四种倍频系数($\times 2$ 、 $\times 4$ 、 $\times 6$ 、 $\times 12$)中的一种;二 MOS 管实现的脉冲组合电路主要由 nMOS 管和 pMOS 管构成,而不是由大量的逻辑门构成,从而减小了抖动和功耗;三本文设计的倍频器不需要额外的占空比调节电路,就可以得到占空比为 50%的倍频时钟。

(3)抗谐波锁定电路:与传统的抗谐波锁定电路相比,只用了多相时钟中的两个,从而降低了功耗。而且,它可以在很宽范围内检测出 DLL 是否处于谐波锁定状态。

本文设计的基于延迟锁相环的时钟发生器结构简单,易于实现,且功耗低,抖动小。但是由于时间和条件的限制,该时钟发生器还存在很多的不足和需要改进的地方:

时钟锁相电路是通过数据选择器来改变延迟链中插入延迟单元的个数,从而调整延迟链的延时。这就导致了延迟链的延时是量化的,即相位选择的精度是有限的。为了提高相位选择的精度,则必须增大延迟链中所包含的延迟单元的个数。因此,芯片面积就会增大。另外,生成多相时钟的 24 个相移时钟产生单元采用相同的电路结构,是否可以进一步优化,使其重复利用以节省资源。

致谢

经过一个多月的整理，我完成了硕士毕业论文。回顾两年半的研究生学习生活，可谓感慨万千、收获颇多。在这期间我得到了许多人的帮助，在这里必须对他们表示感谢。

首先，我要感谢我的导师柴常春教授，博士生导师。在我攻读硕士学位的两年半的时间里，我的每一个进步、取得的每一份成绩无不渗透着柴老师的心血。一直以来，柴老师以身作则，言传身教，工作和科研态度十分严谨，为学生们树立了良好的榜样；他在学术上对我们提出了严格的要求，使我在攻读硕士学位期间学到了很多知识。同时，柴老师平时亲切和善，在生活上给了我无微不至的关怀，在此表示由衷地感谢。

接下来，我要衷心地感谢我的毕业设计指导老师高海霞老师。从论文的选题到最终定稿，她都提出了很多宝贵的建议，让我把握住了正确的方向。每当我遇到困难时，高老师总是和蔼、耐心地为我解答疑问，让我快速地领悟到了科研的内涵：求真、务实、创新。这将是以后整个科研生涯的座右铭。在此，对高老师表示衷心的感谢。

本论文在撰写过程中还受到课题组众多老师的关心和帮助，有杨银堂副校长、董刚老师、李跃进老师等，从他们那里，我不仅学到了严谨、求实的治学作风，更学到了许多做人的道理，这些将使我终身受益。

感谢师弟郭存壮，在毕业设计期间给了我很大的帮助；

感谢舍友李婷婷、李丽梅、田圆等对我的关照；

感谢 714 实验室的同学，欢乐和谐的实验室氛围是我科研的保障；

感谢我的家人以及所有关心、爱护、帮助和鼓励过我的人。

感谢评审老师百忙之中对本论文的审定。

参考文献

- [1] 吕郁. 自适应带宽时钟发生器的抖动一致性研究. 国防科学技术大学硕士学位论文. 2009年11月.
- [2] 李旺. 电荷泵锁相环时钟发生器的研究与设计. 西南交通大学硕士学位论文. 2008年5月.
- [3] 余建军. CMOS PLL 时钟发生器的研究与设计. 上海大学硕士学位论文. 2007年2月.
- [4] 德州仪器退出业界最灵活的 3.3V、2.5V 与 1.8V 时钟发生器系列. 电子与电脑 CompoTech.. 2007年8月. pp.70.
- [5] 美国国家半导体推出业界最低抖动的专业级广播视频系统时钟发生器. 电子工业专用设备. Apr.2008, vol.159. pp.53.
- [6] Cypress 诞生 FleXO 时钟发生器,定位超低相位抖动. 电子产品世界. 2009年7月. pp.59.
- [7] Si5324:低抖动时钟发生器. 世界电子元件. 2009年10月. pp.28.
- [8] A.Hatakeyama, H.Mochizuki. A 256Mb SDRAM using a register-controlled digital DLL. IEEE J. Solid-State Circuits. Nov.1997, vol.32. pp.1728-1734.
- [9] D.J.Foley, M.P.Flynn. CMOS DLL based 2V,3.2ps jitter,1GHz clock synthesizer and temperature compensated tunable oscillator. in Proc. IEEE Custom Integrated Circuits Conf. May 2000. pp.371-374.
- [10] C.Kim, I-C.Hwang. A low-power small-area ± 7.28 ps jitter 1GHz DLL-based clock generator. IEEE J. Solid-State Circuits. Nov.2002, vol.37, no.11. pp.1414-1420.
- [11] A.Alvandpour, R.K.Krishnamurthy. A 3.5GHz 32mW 150nm multiphase lock generator for high-performance microprocessors. in IEEE Int. Solid-State Circuits Conf. Dig. Tech. Papers,2003. pp.112-113,489.
- [12] R.-J.Yang and S.-I.Liu. A 40~550MHz harmonic-free all-digital delay-locked loop using avariable SAR algorithm. IEEE J. Solid-State Circuits. Feb.2007, vol.42, no.2. pp.361-373.
- [13] T. Fischer et al. A 90nm variable frequency clock system for a power-managed Itanium architecture processor. IEEE J. Solid-State Circuits. Jan.2006, vol.41. pp.218-228.
- [14] S. Desai, P. Trivedi and V. V. Kanael. A dual-supply 0.2-to-4GHz PLL clock multiplier in a 65nm dual-oxide CMOS process. in IEEE ISSCC Dig. Tech. Papers, 2007. pp.308-309.

- [15] B. Kim, T. Weigandt and P. Gray. PLL/DLL system noise analysis for low jitter clock synthesizer design. in Proc. IEEE Int. Symp. Circuits and Systems (ISCAS), 1994. pp.31–38.
- [16] R. Farjad-Rad, W. Dally. A low-power multiplier DLL for low-jitter multigigahertz clock generation in highly integrated digital chips. IEEE J. Solid-State Circuits. Dec.2002, vol.37, no.12. pp.1804–1812.
- [17] 李艳. 电荷泵锁相环频率合成器的设计. 合肥工业大学硕士学位论文. 2009年2月.
- [18] 赵亮. 200M~500M 可调锁相环频率合成器的设计与研究. 华中科技大学硕士学位论文. 2007年5月.
- [19] 电压比较器. <http://www.ic72.com>. 2009年6月.
- [20] Jin-Han Kim, Young-Ho Kwak, Mooyoung Kim. A 120MHz, 1.8GHz CMOS DLL-Based Clock Generator for Dynamic Frequency Scaling. IEEE J. Solid-State Circuits. 2006, vol.41, no.9. pp.2077-2082.
- [21] J.Koo, S.Ok, and C.Kim. A low-power programmable DLL-based clock generator with wide-range antiharmonic lock. IEEE Trans. Circuits Syst. II, Exp. Briefs. Jan.2009, vol.56, no.1. pp.21–25.
- [22] K.Chung, J.Koo. An anti-harmonic, programmable DLL-based frequency multiplier for dynamic frequency scaling. in Proc. IEEE Asian Solid-State Circuits Conf. Nov.2007. pp.276–279.
- [23] Chang R CH, Chen HM, Huang P J. A multiphase output delay-locked loop with a novel start-controlled phase/frequency detector. IEEE Transactions on Circuits and Systems. 2008, vol.55, no.9. pp.2483-2490.
- [24] Y.Moon, J.Choi. An all-analog multiphase delay-locked loop using a replica delayline for wide-range operation and low-jitter performance. IEEE J. Solid-State Circuits. Mar.2000, vol.35, no.3. pp.377–384.
- [25] E.Song, S.Lee. A reset-free anti-harmonic delay-locked loop using a cycle period detector. IEEE J. Solid-State Circuits. Nov.2004, vol.39, no.11. pp.2055–2061.
- [26] C.H.Kim, J.Lee. A 64Mbit, 640MBytes bidirectional data strobed, double-data-rate SDRAM with a 40mW DLL for a 256MByte memory system. IEEE J. Solid-State Circuits. Nov.1998, vol.33, no.11. pp.1703–1710.
- [27] H.-H.Chang, J.-W.Lin. A wide-range delay-locked loop with a fixed latency of one clock cycle. IEEE J. Solid State Circuits. Aug.2002, vol.37, no.8. pp.1021–1027.
- [28] R.C.-H.Chang, H.-M.Chen. A multiphase-output delay-locked loop with a novel start-controlled phase/frequency detector. IEEE Trans. Circuits Syst. I, Reg. Papers.

- Oct.2008, vol.55, no.9. pp.2483-2490.
- [29] H.-H.Chang, J.-W.Lin. A fast locking and low jitter delay-locked loop using DHDL. *IEEE J. Solid-State Circuits*. Feb.2003, vol.38, no.2. pp.343-346.
- [30] 张晓晔. DDS/PLL 相结合的低相噪频率合成器的研究. 哈尔滨工业大学工学硕士学位论文. 2008 年 6 月.
- [31] 韩慧芳, 刘晓宏等. 可编程时钟发生器 IDT5V9885 应用技术. 硅谷. 2009 年, vol.21. pp.8-10.
- [32] 姚若河, 陈中盟. 抗谐波锁定的延时锁相环. *华南理工大学学报*. Sep.2010, vol.38, no.9. pp.1-6.
- [33] Mesgarzadeh, B.; Alvandpour, A. A Low-Power Digital DLL-Based Clock Generator in Open-Loop Mode. *IEEE J. Solid-State Circuits*. July.2009, vol.44, no.7. pp.1907-1913.
- [34] Jin-Han Kim, Young-Ho Kwak, Seok-Ryung Yoon. A CMOS DLL-based 120MHz to 1.8GHz clock generator for dynamic frequency scaling. *Solid-State Circuits Conference, 2005*. 2005, vol.1. pp.516-614.
- [35] Kuo-Hsing Cheng, Chia-Wei Su, Meng-Jhe Wu. A wide-range DLL-based clock generator with phase error calibration. *Electronics, Circuits and Systems, 2008*. 2008. pp.798-801.
- [36] Choi, J., Kim, S. T., Kim, W. A Low Power and Wide Range Programmable Clock Generator With a High Multiplication Factor. *Very Large Scale Integration (VLSI) Systems*.2009, vol.pp, no.99. pp.1-5.
- [37] Toifl, T., Menolfi, C., Buchmann, P. A 1.25-5GHz Clock Generator With High-Bandwidth Supply-Rejection Using a Regulated-Replica Regulator in 45nm CMOS. *IEEE J Solid-State Circuits*. 2009, vol.44, no.11. pp.2901-2910.
- [38] Chuan-Kang Liang, Rong-Jyi Yang, Shen-Iuan Liu. An All-Digital Fast-Locking Programmable DLL-Based Clock Generator. *Circuits and Systems I*. 2008, vol.55, no.1. pp.361-369.
- [39] Shih-Chun Lin, Tai-Cheng Lee. An 833MHz 132phase multiphase clock generator with self-calibration circuits. *Solid-State Circuits Conference, 2008*. 2008. pp.437-440.
- [40] Chi-Nan Chuang, Shen-Iuan Liu. A 40GHz DLL-Based Clock Generator in 90nm CMOS Technology. *Solid-State Circuits Conference, 2007*. 2007. pp.178-595.
- [41] Hsin-Shu Chen, Chao-Ching Hung. A Self-Calibrated Multiphase DLL-Based Clock Generator. *VLSI Design, Automation and Test, 2007*. 2007. pp.1-4.
- [42] Tai-Cheng Lee, Keng-Jan Hsiao. An 8GHz to 10GHz Distributed DLL for

- Multiphase Clock Generation. IEEE J Solid-State Circuits. 2009, vol.44, no.9. pp.2478-2487.
- [43] Ching-Che Chung, Chen-Yi Lee. A new DLL-based approach for all-digital multiphase clock generation. IEEE J Solid-State Circuits. 2004, vol.39, no.3. pp.469-475.
- [44] 毕查德·拉扎维著. 陈贵灿、程军等译. 模拟 CMOS 集成电路设计[M]. 西安交通大学出版社, 2008. pp.432~470.
- [45] 陆平, 郑增钰, 任君彦. 延迟锁定环(DLL)及其应用. 固体电子学研究与进展. 2005, 第 1 期. pp.81-87.
- [46] John G Maneatis. Self-Biased High-Bandwidth Low-Jitter 1-to-4096 Multiplier Clock Generator PLL[J]. IEEE Journal of Solid-State Circuits. 2003, 38(11). PP:1795-1803.
- [47] 姜炜阳. 基于 DLL 的高频时钟产生电路的研究与设计. 上海大学硕士学位论文. 2007 年 3 月.
- [48] You-Jen Wang, Shao-Ku Kao. All-Digital Delay-Locked Loop/Pulsewidth-Control Loop with Adjustable Duty Cycles. IEEE Journal of Solid-state circuits. June.2006, vol.41. no.6.
- [49] 蒋召宇. CMOS 锁相环时钟发生器的设计与研究. 合肥工业大学硕士学位论文. 2004 年 7 月.
- [50] 陈东坡, 何乐年, 严晓浪. 一种高稳定度片内时钟发生器的研究与设计. 电路与系统学报. 2006 年 6 月.
- [51] J.-H.Kim et al. A CMOS DLL-based 120MHz to 1.8GHz clock Generato for dynamic frequency scaling. in IEEE ISSCCDig.Tech.Papers,2005, pp.516-517.
- [52] B.M.Helal, M.Z.Straayer, G.-Y.Wei, and M.H.Perrott. A low-jitter 1.6GHz multiplying DLL utilizing a scrambling time-to-digital converter and digital correction. in Symp.VLSICircuitsDig.Tech.Papers,2007,pp.166-167.
- [53] Q.Du, J.Zhuang, and T.Kwasniewski. A low-phasenoise, anti-harmonic programmable DLL frequency multiplier with period error compensation for spur reduction. IEEE Trans. Circuits Syst.II, Exp. Briefs. Nov.2006, vol.53, no.11. pp.1205-1209.
- [54] Yongtae Kim, Phi-Hung Pham, Woonhyung Heo. A low-power programmable DLL-based clock generator with wide-range anti-harmonic lock. SoC Design Conference (ISOC), 2009 International. 2009. pp.520-523.

硕士研究生在读期间参加的科研项目

在硕士研究生期间参加科研情况如下：

西安-应用材料创新基金资助项目：“混合信号集成电路 BIST 技术”

中电 47 所横向项目：“嵌入式延迟锁相环电路(DLL)”

