

Abstract

Recently, with the development of communication technology, there are three main technical standards such as CDMA2000, WCDMA and TD-SCDMA for the third generation mobile communication systems by which people can get a very high quality and convenient service in their daily life. However, because of the complexity of mobile communication system, it is difficult for people to grasp the various technical standards in the protocol. Faced with the arrival of the information age, people enjoy the pleasure of the information society at the same time, also encountered a new challenge. It is very necessary to learn and master the CDMA mobile communication technology for the vast numbers of engineers and college students.

This paper is based on a lot of literatures and relative design schemes. According to the principle of CDMA2000, a CDMA2000 baseband signal processing module based on DSP has been designed mainly for the library of high school and other related institute. The union of DSP and CPLD is the main controller system, and the CDMA2000 channel physical layer protocol is the theoretical basis, and the experiments are carried out in accordance with the design of signal processing flow. The design and development of most part of basic experiment of baseband signal processing in CDMA2000 physical layer channel can be completed on the module.

This experimental system is made up of two parts, hardware and software. The hardware includes power supply module, DSP central processing unit module, CPLD module, AD module, DA module, Flash module and so on. And the software includes CRC coding, convolutional coding, block interleaving, Walsh coding, long code spreading spectrum, short code scrambling and QPSK modulation and so on.

This experimental module has been put into use now. Compared with other communication experimental platforms, the versatility and openness have been enhanced. There is no need for the user to change the hardware circuit, the research of algorithm and the expansion of the experiment will be able to achieve as long as by modifying the software. The operation is simple and convenient.

KeyWords: CDMA2000; DSP; Baseband signal; Software defined radio; CPLD; Physical layer

湖南大学

学位论文原创性声明

本人郑重声明：所呈交的论文是本人在导师的指导下独立进行研究所取得的研究成果。除了文中特别加以标注引用的内容外，本论文不包含任何其他个人或集体已经发表或撰写的成果作品。对本文的研究做出重要贡献的个人和集体，均已在文中以明确方式标明。本人完全意识到本声明的法律后果由本人承担。

作者签名：徐书杰

日期：2019年5月26日

学位论文版权使用授权书

本学位论文作者完全了解学校有关保留、使用学位论文的规定，同意学校保留并向国家有关部门或机构送交论文的复印件和电子版，允许论文被查阅和借阅。本人授权湖南大学可以将本学位论文的全部或部分内容编入有关数据库进行检索，可以采用影印、缩印或扫描等复制手段保存和汇编本学位论文。

本学位论文属于

1、保密口，在_____年解密后适用本授权书。

2、不保密☑。

(请在以上相应方框内打“√”)

作者签名：

徐书杰

日期：2019年5月26日

导师签名：

刘书云

日期：2019年5月26日

第1章 绪论

1.1 移动通信的发展史

移动通信是当今通信领域内最为活跃和发展最为迅速的领域之一，也是21世纪对人类的生活和社会发展将有重大影响的科学技术领域之一。1974年，美国的贝尔实验室成功地提出了蜂窝（Cellular）的概念，标志着从此移动通信开始进入了人们的生活，开始了公众移动通信发展的新阶段。近二十年来，在数字和射频电路制造技术方面的进步以及新的大规模集成电路和其它小型化技术的推动下，移动通信获得了巨大的发展，远远超出了人们对它的预测，移动通信系统也经历了从第一代到第二代的过度^[1]。到目前为止，移动通信系统已经发展到第三代。

1.1.1 第一代移动通信系统

第一代移动通信系统（1G）是以美国贝尔实验室研究开发的模拟蜂窝移动通信系统—高级移动通信系统（AMPS）为标志。同一时期，英国、日本、德国以及北欧也分别开发了自己的第一代移动通信系统。由于世界各国开发的系统各不相同，分别采用不同的频带、不同的基站和移动台协议，因此限制了移动通信的长途漫游，使得第一代移动通信系统只能是一种区域性移动通信系统。第一代移动通信系统的主要特点归纳如下：

- （1）用户的接入方式采用频分多址（Frequency Division Multiple Access，FDMA）技术，当一个呼叫建立以后，该呼叫在呼叫结束以前一直占用这个频段。
- （2）调制方式为调频（Frequency Modulation，FM）。
- （3）业务种类单一，主要是话音业务。
- （4）系统的保密性差。
- （5）频谱效率较低，有限频谱资源和用户之间的矛盾十分突出。

正是由于第一代模拟移动通信系统存在着频谱利用率低、价格昂贵、设备复杂、业务种类有限、制式太多且不兼容等问题，同时随着移动用户的增加，系统容量的问题也日益突出，以高容量、低功耗、全球漫游和具有切换能力为目标的第二代移动通信系统的研究就被排上了日程^[1]。

1.1.2 第二代移动通信系统

第二代移动通信系统（2G）相对于1G的频分多址来说，主要采用了数字时分多址（Time Division Multiple Access，TDMA）和码分多址（Code Division Multiple Access，CDMA）技术，如GSM、DCS1800、IS-95等，同时也采用了数字化技术

和新的调制方式。由于新的数字调制方式以及语音编码方式的应用，加上采用了时分和码分多址等多项技术，使得系统除了能提供语音服务之外，还能提供短消息和低速数据业务服务，因此第二代移动通信相对于1G来说有了很大进步，其容量和功能都比模拟系统有了很大的提高，其主要特点如下：

- (1) 频谱利用率高，有利于提高系统容量。
- (2) 采用了新的调制方式，如GMSK(Gaussian Minimum Shift Keying)、QPSK(Quaternary Phase Shift Keying)等。
- (3) 能提供多种业务服务，提高了通信系统的通用性。
- (4) 抗噪声、抗干扰和抗多径衰落的能力强。
- (5) 提高网络管理和控制的有效性和灵活性。
- (6) 便于实现通信的安全保密。
- (7) 可降低设备成本和减少用户手机的体积和重量。

当前，第二代移动通信的发展远远超过了人们的预测，移动用户数量激增。自我国于1993年建立第一个全数字移动电话GSM系统以来，中国移动和中国联通都相继建立了GSM运营系统，目前我国已经拥有了世界上最大的移动通信网络^[1]。但由于第二代移动通信只能提供传统的话音和低速数据业务，因此不能满足人们对于多媒体数据化业务以及宽带化、智能化、个人化的综合全球通信业务的需求。同时，第二代移动通信系统也没有提供全球漫游的能力。而随着社会的发展，人们对通信业务种类和数量需求的剧增，使得人们已不再满足于第二代系统。于是，一种能够提供全球漫游，支持多媒体业务且有足够容量的第三代移动通信系统就应运而生了。

1.1.3 第三代移动通信系统

第三代移动通信系统(3G)，又被国际电联(International Telecommunication Union,ITU)称为IMT—2000(International Mobile Telecommunications in the year 2000)，意指在2000年开始于商用并工作在2000MHz频段上的国际移动通信系统。与现有的第二代移动通信系统相比，第三代移动通信系统除了能提供话音业务之外，还可以方便地进行网页浏览、收发电子邮件、使用可视电话、视频点播等多媒体业务。IMT—2000的关键特性和目标是提供全球无缝覆盖，并且提供全球漫游业务。为此，IMT—2000对无线传输技术提出了以下要求：

- (1) 高速率的数据传输以支持多媒体业务：室内环境至少2Mbps，室外步行环境至少384kbps，室外车辆环境至少144kbps。
- (2) 传输速率按需分配。
- (3) 上下行链路能适应不对称业务的需求。
- (4) 简单的小区结构和易于管理的信道结构。
- (5) 灵活的频率和无线资源的管理^[1]。

1998年6月,各国标准化组织向国际电联提交了各自的无线传输技术候选方案,共有16种,包括10种地面技术和6种卫星技术。在上述传输技术当中,以码分多址技术作为第三代移动通信的主要候选多址技术,最有代表性的主流技术有三种,分别是:CDMA2000技术、WCDMA技术和TD-SCDMA技术。其中,CDMA2000是由美国提出的方案,WCDMA是欧洲和日本支持的方案,我国提出的TD-SCDMA采用了TDMA和CDMA混合接入方案。从与现有市场基础向后兼容以及总体特征看,WCDMA以及CDMA2000这两提案最具竞争力。我国提出的TD-SCDMA在一些方面存在技术优势,又有我国政府的大力支持,因此在未来的3G市场中也将占据一定的市场份额^[2]。三种技术标准的具体介绍如下:

1. WCDMA 技术

WCDMA是欧洲提出的宽带CDMA技术,全称为Wideband CDMA,其扩频码的速率为3.84Mchip/s,载波带宽为5MHz,采用频分双工(FDD)方式,需要对的频率规划。WCDMA标准最大的特征在于网络结构上继承了GSM/GPRS核心网结构,但是它与GSM不同的是在无线接入网部分引入了全新的无线接口WCDMA,并采用了分组化传输,更有利于实现高速移动数据业务的传输。

WCDMA的优点主要表现在以下几个方面:(1)比第二代移动通信系统有更好的性能,包括更大的系统容量和更大的覆盖区域,且可以从第二代系统逐步演进;(2)提供更加灵活的服务,包括支持更宽范围的服务,最高可支持2Mb/s的高速数据业务;(3)采用更加灵活的操作系统,包括支持自适应天线阵技术与多用户检测技术,支持非平衡频带下采用时分双工的模式,采用单信元频率复用,支持基站间的异步操作等。

当然WCDMA自身也存在着一定的缺陷,比如由于连续地接收和发送数据,在类似于无线的运行环境中纯WCDMA技术并不能提供很好的干扰消除技术;另外在相同或相近的频谱中,如果同时存在TD模式的CDMA系统,来自于时分双工(TDD)系统的干扰将使得WCDMA系统几乎无法工作。

2. CDMA2000 技术

CDMA2000是由北美的Lucent、Motorola、Nortel、Qualcomm以及韩国的Samsung等公司联合提出的基于IS-95的无线传输技术。它沿用了IS-95的主要技术和基本技术思路,如帧长为20ms,采用IS-95的软切换和功率控制技术(功控速率为80bps),需要GPS同步等。但CDMA2000也在技术上做了很多实质性的改进:采用前向快速寻呼信道技术以减少移动台激活时间和节省移动台功耗;利用反向导频信道进行连续导频相干解调,使得信道上数据波形连续,这样可减少对外界电磁干扰,改善搜索性能;增强媒体接入控制功能,能控制多种业务接入物理层,保证多媒体的实现,与IS-95标准相比,可以满足更宽带和更多业务的

要求。

CDMA2000 扩频码的速率为 1.2288Mchip/s, 载波带宽为 1.25MHz。与 WCDMA 类似, CDMA2000 采用的是也频分双工 (FDD) 方式, 也需要成对的频率规划。CDMA2000 在前向信道上有两种实现方式, 一种是直接扩频方式, 另外一种是多载波方式, 分别对应于 CDMA2000-1x (包括 CDMA20001xEV-DO 和 CDMA20001xEV-DV) 和 CDMA2000-3x 的标准, 但目前 CDMA2000 技术的进展主要集中在对 CDMA2000-1x 的研究上。

3. TD-SCDM 技术

TD-SCDMA 的中文含义为同步时分码分多址接入, 是我国第一次向 ITU 组织提交的 RTT 技术解决方案, 它作为 IMT-2000 无线接口技术规范建议 RSPC 的一部分获得批准, 这标志着 TD-SCDMA 成为与 WCDMA 和 CDMA2000 并驾齐驱的三大标准之一。

TD-SCDMA 通信系统的优缺点主要来源于时分双工 (TDD) 的传输模式, 它采用直接序列扩频的码分多址技术, 码片速率为 1.28Mcps, 传输带宽为 1.6MHz; 由于采用了 TDD 方式, 因而前向和反向链路的数据信息可以在相同载频的不同时隙相互发送。其优点主要体现在: 大大节省了通信频谱资源, 可以动态调整上下行数据传输速率, 特别适合处理上下行不对称的 Internet 数据业务; 而且由于通信系统工作在 TDD 方式下, 电波传输具有对称性, 因此可采用诸如智能天线等新技术来降低基站的发射功率, 从而达到提高性能、降低成本的目的; 它与 TDMA 的 GSM 系统之间有很好的兼容性, 所以在 GSM 向 TD-SCDMA 演进过程中, GSM 系统的基站可不必做太大的改动, 这样就能大大减少系统设备的投入成本。但是由于 TD-SCDMA 采用了多时隙不连续的传输方式, 抗多径衰落和多普勒效应能力比连续传输的 FDD 方式差, 在接收端采用联合检测方法; 而且采用 TDD 技术的基站覆盖范围不如 FDD 方式的大, 但比较适合大于城市业务量密集的地区^[3]。

第三代移动通信系统是能够实现全球普及和全球无缝漫游的高质量多媒体和语音传输的系统, 能真正实现“任何人在任何地点、任何时间与任何人”都能顺利的通信。因此, 第三代移动通信系统的研发已经成为了当今世界通信领域最炽热的课题之一。

1.1.4 移动通信技术的发展趋势

当第三代移动通信的开发工作正在如火如荼地进行时, 移动通信业界有关第四代移动通信的脚步声已经悄然响起, 目前国际电联的有关组织以及世界各大通信公司都已经开始了关于后IMT—2000的研究计划^[1]。后IMT—2000, 被称为“第四代”的移动通信系统, 目前也被称为“后3G”、“Beyond 3G”移动通信系统。

目前,在“后3G”标准确定以前,国际电联也并不确定“后3G”的具体要求。所以到目前为止,“后3G”只是开发者的一种设计概念和开发方向。根据现有的讨论和研究,粗略来说,“后3G”可以称为宽带接入和分布式网络,具有非对称的20Mbps~100Mbps(或者更高)的数据传输能力。它包括宽带无线固定接入、宽带无线局域网、移动宽带系统和交互式广播网络。它是集成多种功能的宽带移动通信系统和宽带接入IP系统,其目的是提高蜂窝电话和其他移动设备访问互联网的速率。

未来的“后3G”移动通信系统,通过采用各种先进的关键技术,将是多个现有系统的融合和发展,为用户提供全接入的信息服务。我们相信,在不久的将来,人们肯定会看到一个丰富多彩的无线世界,大到卫星网,小到无线个人局域网,它们彼此相连并与全球网络连接,为人类提供从窄带到宽带的各种无线服务,让人们尽情享受丰足的带宽、智能化的个性服务以及无缝覆盖的移动性。

1.2 基带信号处理技术的研究现状及发展趋势

所谓基带信号,是指信源发出的没有经过调制(进行频谱搬移和变换)的原始电信号。例如,由信源产生的文字、语言、图像、数据等信号都是基带信号。基带信号通常都包含较低频率的分量,甚至包括直流分量。其特点是频率较低,信号频谱从零频附近开始,具有低通形式。在CDMA移动通信系统中,传输的对象就是数字基带信号。在数字通信系统的发送端,对信源产生的信号进行基带部分的处理一般要经过信源编码和信道编码两个步骤。

信源编码的基本部分是压缩编码。它用以减少数字信号的冗余度,提高数字信号的有效性。在某些系统中,信源编码还包含加密功能,即在压缩后还进行保密编码^[4]。常见的信源编码方式有语音编码中的线性预测编码、码激励线性预测和脉冲编码调制,数据压缩中的霍夫曼编码、图像编码中的MPEG编码等。

信道编码的目的则是提高信号传输的可靠性。它在经过信源编码后的信号中增加一些多余的字符,以求自动发现或者纠正传输中的错误。这样做必然又增加了信号的冗余度,似乎抵消了信源编码的作用。但是,这里增加的字符是符合特定规律的,它能作用于检错和纠错^[4]。常见的信道编码方式有RS编码、卷积编码、Turbo编码、交织和伪随机序列扰码等。

在以CDMA移动通信系统为代表的数字通信系统中,通过采用多种基带信号处理技术,并结合高速处理器芯片,从而能够很好地提高通信系统的可靠性,保证通信系统的质量。随着编码技术的不断改进和更多高速处理器的推出,基带信号处理技术会不断得到提高,通信质量也必将得到充分的保障。

1.3 DSP 的研究现状及发展趋势

自从20世纪70年代末第一片数字信号处理器芯片（Digital Signal Processor）问世以来，数字信号处理器就以其特有的稳定性、可重复性、可大规模集成，特别是可编程性高和易于实现自适应处理等特点，给数字信号处理（Digital Signal Processing）的发展带来了巨大的机遇，并使数字信号处理手段更加灵活，功能跟复杂，其应用领域也拓展到国民经济生活的各个方面^[5]。

DSP芯片问世以来，它已经带来了决定数字技术未来的突破性应用。早期的DSP只应用于实时数据信号的处理，而现在它已应用于多种不同的领域，并取得了许多新的进展。现在DSP在网络和互联网、高速调制解调器、无线通信、语音识别、音频视频、影像产品、机顶盒、硬件驱动器、汽车、工业控制和制造、声纳、雷达、地震监测、遥感遥测、地质勘测、航空航天、生物医学、电力系统监控、自动化仪器等领域得到了广泛的应用。以最大的DSP生产商美国德州仪器(TI)公司的产品为例，现在每10分钟就有一个高科技用户使用TI的DSP一次；每2个移动电话中就有一个使用TI的DSP芯片；每10个高性能硬盘驱动器就有9个使用TI的DSP芯片。DSP已经成为促进计算机、消费类产品和通信产品融合的粘合剂。

DSP芯片的发展，已经先后经过了80年代的DSP雏形阶段和90年代的DSP成熟阶段，到现在正处于DSP发展的完善阶段，其处理速度更快，在性能和使用方便性提高的同时，价格也在不断下降。今后DSP的发展方向，大致有如下四点：

- (1) 微控制器与DSP结合；
- (2) 应用实时操作系统（RTOS）；
- (3) 并行处理结构；
- (4) 低功耗。

21世纪是数字化的时代，DSP的应用也将多样化。DSP器件将不再是一块独立的芯片，而是变成构件内核。开发人员选择合适的DSP内核，再配上专用逻辑和存储器，结合在一起，就可以形成专用的DSP方案^[6]。

1.4 本课题的研究背景及意义

如今市场上介绍移动通信技术和原理的书有很多，各高校中也争相开设诸如《CDMA移动通信》类的课程，但这仅仅只能在原理上进行介绍，学习者往往无法建立起对移动通信的实际概念，很难深刻理解移动通信中用到的关键技术，所以开发一套与本课程配套的专门的实验系统对于这门课的教学很有必要。在本课题中，通过对CDMA2000移动通信系统的基带信号处理技术进行实验仿真，可以帮助学生建立起对移动通信系统的整体概念，深入了解并探索移动通信系统的基本原理和关键技术。

本课题是和北京精仪达盛科技有限公司合作，针对高校电子通信类实验室建设而开发的产品。销售人员经过对高校电子通信实验室建设反馈的信息进行深入的调查和研究后，提出开发一个既具有专用性又具有通用性，而且能够反映当前技术热点的实验平台。该实验平台符合培养理论水平高、动手能力和开发能力强的当代大学生的要求，顺应了高校现代实验室建设的思路。

1.5 本论文的主要内容

本课题的硬件平台是基于DSP的CDMA2000基带信号处理模块，简化的实现了CDMA2000物理层反向链路基带信号处理中的一些关键技术。整个系统采用模块化的设计思路，既可以对单独一个算法进行实验仿真，也可以对整个链路的算法一起进行实验仿真。本论文完成的工作主要包括：CDMA2000移动通信系统的介绍、硬件电路设计、软件调试和通信协议算法的实验程序开发等。

本论文主要包括如下内容：

第1章：绪论。综述移动通信发展的历史和趋势，数字基带信号处理和DSP技术的发展现状和趋势以及本课题的研究背景和意义。

第2章：CDMA2000移动通信系统。首先对CDMA技术原理进行介绍，分析其理论基础，然后着重介绍CDMA2000移动通信系统的体系结构，并对CDMA2000反向链路物理信道的结构和特性作详细介绍。

第3章：基带信号处理模块的总体设计。主要介绍实验模块的硬件总体设计方案，并对主要芯片进行选型，同时介绍TMS320C54x DSP的开发环境CCS和软件开发流程，以及如何利用本实验模块进行实验的总体流程。

第4章：功能模块硬件电路的详细设计与实现。详细介绍电源模块、DSP模块、CPLD模块、AD模块、DA模块和Flash模块的设计。

第5章：基带信号处理算法的软件实现。详细介绍CDMA2000反向链路基带信号处理算法中的一些关键技术，并给出了各个实验的软件设计流程图和实验仿真波形图。

总结与展望：对本课题取得的成果以及局限性和缺点进行总结，提出下一步所需要做的工作。

第 2 章 CDMA2000 移动通信系统

2.1 CDMA 技术基础

CDMA (Code Division Multiple Access), 它是在数字技术的分支—扩频通信技术上发展起来的一种崭新而成熟的无线通信技术, 它的产生和发展与扩频通信技术密切相关。CDMA技术的原理是基于扩频技术, 即将需传送的具有一定信号带宽信息数据, 用一个带宽远大于信号带宽的高速伪随机码进行调制, 使原数据信号的带宽被扩展, 再经载波调制并发送出去。接收端使用完全相同的伪随机码, 与接收的带宽信号作相关处理, 把宽带信号换成原信息数据的窄带信号即解扩, 以实现信息通信。

CDMA通信系统中, 区分不同用户信息不是按照频率不同 (FDMA方式) 或者占用时隙的不同 (TDMA方式), 而是用不同的编码序列来区分不同用户, 它是利用若干不同的互相正交的码序列实现多址通信。CDMA通信的关键是能够找到足够多的不同正交地址码来实现多用户对同一频带的共用。由于扩频通信技术中使用的扩频码序列是一组丰富的地址资源, 这样就可以充分选取其中具有良好自相关性和互相关性的扩频码序列, 把这些序列码作为不同用户的地址码, 在收信端再利用相关检测技术进行解扩处理, 依照不同码形成可以恢复出与本地码序列完全相同的有用信号, 因此就可以在同一宽频带上通过采用精确的功率控制技术, 实现许多用户同时通信而不互相干扰, 这就是CDMA的基本原理。

2.1.1 扩频通信的基本概念和原理

扩频 (Spread Spectrum, SS) 的精确定义为: 用来传输信息的信号带宽远远大于信息本身带宽的一种传输方式, 频带的扩展由独立于信息的扩频码来实现, 与所传信息数据无关, 在接收端用同步接收实现解扩和数据恢复^[1]。扩频通信的可行性, 是从信息论中引申而来。根据香农信息论, 对于连续信道, 如果信道带宽为B, 且受到加性高斯白噪声干扰, 则其信道容量的理论公式为:

$$C = B \log_2 \left(1 + \frac{S}{N} \right) \quad (2.1)$$

其中, 信道容量C是信道可能传输的最大信息速率 (即信道能达到的最大传输能力), B为信道带宽 (也被称为系统带宽), N为高斯白噪声的平均功率, S为信号的平均功率, S/N即为信噪比。

根据这个公式我们可以得到一个重要的结论: 对于给定的信道容量, 我们可以通过不同的带宽和信噪比的组合来传输信息。若减小带宽则必须加大发送信号

的功率（即较大的信噪比）；若有较大的信道带宽，则同样的信道容量能够由较小的信号功率（即较小的信噪比）来传送。这表明带宽系统有较好的抗干扰能力。因此，在信噪比太小而无法保证通信质量时，我们可以考虑用宽带系统来传输信息从而提高信道容量。这就是通常讲的用带宽换取信噪比的措施。然而带宽和信噪比的互换不是自动的，我们必须变换信号从而使之具有所需的带宽。扩频通信系统正是利用各种不同的方法来扩展原始信号的频谱从而达到提高通信系统抗干扰能力的一种通信方式^[7]。

扩频通信的具体原理为：在信号的发送端，首先将信息调制形成数字信号，该数字信号经扩频发生器产生的扩频码序列调制后，信号的频带被展宽，展宽后的信号再调制到射频发送出去。在接收端收到的宽带射频信号，经变频至中频，然后由本地产生的与发端同步的扩频码序列去相关解扩，再经过信息解调，恢复成原始信息输出^[8]。一个典型的扩频通信系统框图如图 2.1 所示。

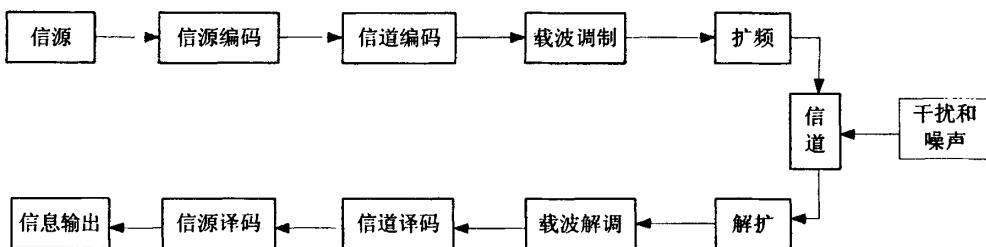


图 2.1 典型的扩频通信系统模型

由图2.1可以看出，扩频通信系统主要由原始信息、信源编译码、信道编译码、载波调制与解调、扩频调制与解调和信道六大部分组成。与传统通信系统相比，该系统模型中多了扩频和解扩两个部分，经过扩频，在信道中传输的是一个宽带的低频谱密度的信号。

2.1.2 扩频通信系统的特点

扩频信号是不可以预测的伪随机的宽带信号，其带宽远大于欲传输数据（信息）带宽，同时，接收机中必须有与宽带载波同步的副本。由于扩频信号的上述特点，扩频通信系统具有如下特点：

(1) 抗干扰性强。由于扩频信号的不可预测性，扩频系统具有很高的抗干扰能力。因为干扰者难以通过观察改善其干扰性能，而只能采用发射同被干扰信号不匹配的干扰技术，因此，干扰起不了太大作用；由于扩频通信系统在传输过程中扩展了信号带宽，所以即使信噪比很低，甚至是有用信号功率低于干扰信号功率的情况下仍能够高质量地不受干扰地进行通信，扩展的频谱越宽，其抗干扰性越强。

(2) 低截获性。扩频信号的功率均匀分布在很宽的频带上，传输信号的功率

密度很低，侦查接收机很难监测到，因此扩频通信系统截获概率很低。

(3) 抗多路径干扰性能好。多路径干扰是由于在电波传播过程中，遇到各种非期望发射体（如电离层、高山、建筑物等）引起多路反射或散射。这些反射或散射信号同直达路径信号在接受端相互干涉造成干扰。多路径干扰在雷达和通信中都有严重影响。由于在扩频通信系统中增加了扩频调制与解扩过程，这样可以利用扩频码序列间的相关特性，在接收端解扩时用相关技术从多径信号中分离出最强的有用信号，或将多径信号中的相同码序列叠加，这样就可以有效地消除无线通信中多径干涉造成的信号衰落现象，因而扩频通信系统具有良好的抗多径衰落特性。

(4) 保密性好。在一定的发射功率下，由于扩频信号分布在很宽的频带内，无线信道中 useful 信号功率谱密度极低，这样信号可以在强噪声背景下，甚至是有用信号被噪声淹没的情况下进行可靠通信，想进一步检测出信号的特征参数就更难了。所以，扩频系统可以实现隐蔽通信；同时，对不同用户使用不同的码，旁人无法窃听他们的通信，因而扩频系统具有高的保密性。

(5) 易于实现码分多址。在通信系统中，可以充分利用扩频调制中所使用的扩频序列之间良好的自相关特性和互相关特性，在接收端利用相关检测技术进行解扩，则在分配给不同用户不同码型的情况下，系统可以区分不同用户的信号，这样在同一频带上许多用户可以同时通话而互不干扰^[9]。

2.2 CDMA2000 体系结构简述

CDMA2000体系的结构大致可以分为三层，即物理层、链路层和高层。其中，链路层又可以分为链路接入控制（LAC）子层和媒体接入控制（MAC）子层^[10]。各协议层的结构和功能如下：

1. 物理层

物理层处于体系结构的最底层，完成各种物理信道的处理，包括编码、解码、调制、解调、扩频、解扩等，是保证上层完成其功能的基础。它支持所有要求在物理介质上进行传输比特流的功能。物理层向MAC及高层提供信息传输业务，它为MAC提供了不同的传输信道。

2. 链路层

链路层根据具体上层业务的需要提供各种等级的可靠性和QoS特性。它为数据传送业务提供了协议支持和控制机制，并完成把上层数据传送需求映射为物理层具体功能和特性。链路层又分为链路接入控制（LAC）子层和媒体接入控制（MAC）子层。

(1) LAC子层。LAC子层管理对等上层实体之间的点对点通信信道，并具有能够支持各种不同端对端可靠链路层协议的框架^[11]。LAC子层主要用来保证高层信令在CDMA20001x无线信道上传输的可靠性。上层的信令信息和突发数据有关的逻辑信道必须经过LAC层的处理后才能够进入MAC层，不过语音和数据业务不经LAC的处理而直接进入MAC层。LAC层包括5个功能子层：ARQ子层、鉴权子层、功用子层、寻址子层、分割和重装子层。其中ARQ子层为逻辑信道提供SDU (Service Data Unit) 的可靠性传输，并排除重复的发送；鉴权子层只是用于接入信道，完成部分鉴权功能；功用子层主要对LAC的PDU (Protocol Data Unit) 进行打包和拆包；寻址子层只用于公共信道上，对特定的移动台提供标识，以便消息能被匹配的手机接收；分割和重装 (SAR, Sepatate And Reassemble) 子层主要完成CRC (Cyclic Redundancy Check) 功能，将处理后的PDU切成适合MAC责成处理的数据片。

(2) MAC子层。MAC子层灵活而又高效，它支持高级设备多种状态，每种状态分别对应有效分组或电路数据的实力。MAC子层与QoS控制实体一起实现了3G无线系统复杂的多媒体、多业务功能，并使每个有效的业务都具有QoS管理功能^[12]。MAC子层都具有三个重要功能：

①MAC控制状态。控制数据（分组和电路）业务接入到物理层的过程（包括一个用户多业务之间以及多个用户之间的争用控制）。

②最高可靠性发送。利用无线链路协议（RLP）在无线链路上提供最高可靠性能的传输。

③复用和QoS控制。通过调解来自竞争业务请求的冲突来协商QoS等级，并适当优化接入要求。

3. 高层

高层包括三项基本业务：

(1) 话音业务。话音电话业务，包括PSTN接入、移动到移动话音业务和Internet电话。

(2) 终端用户数据承载业务。给移动用户提供的任何一种形式的数据业务，包括分组数据业务（例如IP业务）、电路数据业务（例如B-ISDN仿真业务）和SMS。

(3) 信令。控制所有移动操作的业务^[13]。

2.3 CDMA2000 物理层概述

CDMA2000标准支持高速数据业务，提高了频谱利用率，并增加了系统的容量。CDMA2000兼容IS-95系列标准，允许系统从CDMA2000One系统平滑过渡到第三代CDMA2000移动通信系统。CDMA2000物理层标准规范了CDMA2000系统

的无线空中接口,详细定义了CDMA2000移动台和基站的各种无线空中接口参数,主要包括CDMA系统定时规定、频率参数、射频输出参数、编码、扩频等调制参数、各种反向和前向物理层信道规范,以及其他的物理层规范。

对于 CDMA 移动通信系统而言,其服务区被划分为很多六边形的蜂窝小区。每个小区包含一个基站,在话音编码和解码之前,基站与 MTSO (移动电话交换局)连接。每个小区中,在基站和小区内每个移动台之间存在两条由前向和反向 CDMA 信道组成的链路。前向 CDMA 信道是指从基站到小区内移动台的前向链路。反向信道是指从移动台到基站的反向链路^[13]。本文主要研究的是 CDMA2000 反向链路。

2.3.1 几个基本概念

1. 移动台

移动台 (Mobile Station, MS) 是用来在用户终端接收无线信道的设备,为用户提供接入网络业务的能力。目前的移动通信系统中,最为普遍的移动台设备为手持移动台,如手机,此外还有车载移动台、集群移动台等多种移动台设备。

2. 基站

基站 (Base Station, BS) 是设于某一地点、服务于一个或几个蜂窝小区的全部无线设备以及无线信道控制设备的总称。基站由基站控制器 (Base Station Controller, BSC) 和基站收发信机 (Base Transceiver Station, BTS) 共同组成的。一个位置可以放置多个基站收发信机,基站控制器控制和管理一个或多个基站收发信机。一个基站控制器和若干基站收发信机组成基站子系统 (Base Station Subsystem, BSS) ^[14]。

3. RCn

“RC”即“Radio Configuration”,是无线配置的意思,n表示无线配置的标号。RC指一系列前向或反向业务信道的工作模式,每种RC支持一套数据速率,其差别在于物理信道的各种参数,包括调制、编码方式等。

4. SR1 和 SR3

“SR”即“Spreading Rate”,是扩频速率的意思。它指的是前向或反向 CDMA 信道上的 PN 码片速率类型。

在 CDMA2000 系统中,有两种频谱扩展技术可用:多载波 (MC, Multiple Carrier) 和直接序列扩频 (DS-SS, Direct Sequence- Spread Spectrum)。在 MC 方式中,编码和交织后的调制符号可多路分解到 N (N=3、6、9、12) 个 1.25MHz 的载波上,每个载波的码片速率仅为 1.2288Mcps。在 DS-SS 方式中,码片速率为

$N \times 1.2288\text{Mcps}$ ($N=3、6、9、12$), 编码和交织后的符号在一个载波上调制, 载波的带宽为 $N \times 1.25\text{MHz}$ 。CDMA2000 系统的前向链路支持 DS-SS 和 MC 两种方式, 反向链路仅支持 DS-SS 方式。

通常采用的扩频速率有两种: 一种为 SR1, 通常记作“1x”, SR1 的前向和反向 CDMA 信道都采用码片速率为 1.2288Mcps 的直接序列 (DS, Direct Sequence) 扩频。另一种为 SR3, 通常记作“3x”, SR3 的前向 CDMA 信道有 3 个载波, 每个载波上都采用 1.2288Mcps 的 DS 扩谱, 总称多载波 (MC) 方式; SR3 的反向 CDMA 信道在单载波上都采用码片速率为 3.6684Mcps 的 DS 扩谱。

5. 分集技术

分集技术是指系统能同时接收两个或更多个输入信号, 这些输入信号的衰落互不相关。系统分别解调这些信号然后将它们相加, 这样可以接收到更多的有用信号, 克服衰落。分集接收是克服多径衰落的一个有效方法, 采用这种方法, 接收机可对多个携有相同信息且衰落特性相互独立的接收信号合并处理之后进行判决。由于衰落具有频率、时间和空间的选择性, 因此分集技术包括频率分集、时间分集和空间分集。CDMA 系统综合利用了这三种分集技术来抵抗衰落对信号的影响, 从而获得高质量的通信性能^[1]。

2.3.2 CDMA2000 物理层的关键特征

CDMA2000 是在 IS-95 基础上进一步发展起来的, 对现有 IS-95 系统具有向后兼容性, 因此 CDMA2000 无线接口保持了许多 IS-95 空中接口的特征, 同时为了支持高速数据业务, 它又有新的特征:

(1) 多种射频信道带宽: $N \times 12.5\text{MHz}$, 其中, $N=1、3、6、9$ 或 12 。

(2) 两种扩展技术: 多载波和直接扩频。

(3) 前向链路的快速功率控制。

(4) 前向链路的发射分集: 正交发射分集 (OTD, Orthogonal Transmit Diversity)、空时扩展 (STS, Space Time Spreading) 和多载波发射分集 (MCTD, Multi-Carrier Transmit Diversity)。

(5) Turbo 编码: 对较高速率的信道, 用 Turbo 编码比起传统的卷积码来, 其要求更低。因此 Turbo 编码用在高速率信道, 卷积码用在公用信道和低速率信道中。

(6) 导频辅助: 不仅前向链路使用公共导频信道, 反向链路中还还为每个业务信道都配备了一个导频信道, 这有别于 IS-95 技术。

(7) 反向链路相干解调。

(8) 增强信道结构。

(9) 灵活的帧长: CDMA2000 支持 5ms 、 10ms 、 20ms 、 40ms 、和 80ms

帧长。

(10) 可选择的长交织器^[15]。

2.3.3 CDMA2000 物理信道结构

1. CDMA2000 前向链路物理信道

前向链路物理信道分为前向链路公共物理信道和前向链路专用物理信道两大类，每类包括的信道类型如表 2.1 所示。

表 2.1 前向链路物理层信道的类型 (SR1)

物理信道类型	缩 写	最大数日
前向导频信道	F-PICH	1
发送分集导频信道	F-TDPICH	1
辅助导频信道	F-APICH	未指定
辅助发送分集导频信道	F-ATDPICH	未指定
同步信道	F-SYNCH	1
寻呼信道	F-PCH	7
前向公共控制信道	F-CCCH	7
广播控制信道	F-BCCH	8
快速寻呼信道	F-QPCH	3
公共功率控制信道	F-CPCCH	15
公共指配信道	F-CACH	7
前向专用辅助导频信道	F-APICH	未指定
前向专用控制信道	F-DCCH	1/每个前向业务信道
前向基本信道	F-FCH	1/每个前向业务信道
前向补充码分信道	F-SCCH	7/每个前向业务信道
(仅 RC1 和 RC2)		
前向补充信道 (仅 RC3~RC9)	F-SCH	2/每个前向业务信道

如表 2.1 所示，前向链路公共物理信道包括：导频信道、同步信道、寻呼信道、广播控制信道、快速寻呼信道、公共功率控制信道、公共指配信道和公共控制信道。其中，前三种是和 IS-95 系列兼容的前向链路信道，后面的信道则是 CDMA2000 新添加的类型。CDMA2000 支持与 IS-95 兼容的前向公共信道的目的是为了支持系统的平滑演进。

各公共物理信道的功能在此不作详细分析和介绍，这里只简要说明前向链路中各种导频信道的分类和作用。前向链路中的导频信道包括：F-PICH、F-TDPICH、F-APICH 和 F-ATDPICH，它们都是未经调制的扩频信号（类似于 IS-95 的前向导频信道）。基站发射它们的目的是使其覆盖范围内的移动台能够获得基本的同步

信息，即各基站的 PN 短码相位的信息，用于进行信道估计和相干解调。如果基站在前向链路 CDMA 信道上使用了发送分集方式，则它必须发送相应的 F-TDPICH。当使用了 F-APICH 的 CDMA 信道采用了分集发送方式时，基站应发送相应的 F-ATDPICH。

表 2.1 中的前向专用物理信道从功能上来说，等效于 IS-95 中的业务信道。由于第三代移动通信要求支持不同的业务类型（话音、分组数据和电路数据等），这就需要业务信道能灵活地适应这些不同的要求，甚至同时支持多个并发的业务。CDMA2000 中定义的专用信道就是为了满足这样的要求。

前向链路专用物理信道包括：专用辅助导频信道、专用控制信道、基本业务信道、补充码分信道和前向补充信道。其中，F-SCH 和 F-SCCH 都是用来在通话（可包括数据业务）过程中向特定的 MS 传送用户信息，F-SCH 只适用于 RC3 到 RC9，F-SCCH 只适用于 RC1 和 RC2（F-SCCH 和 IS-95B 保持后向兼容）。每个前向链路业务信道最多可以包括 2 个 F-SCH 和 7 个 F-SCCH。此外，每个前向链路业务信道中，最多可以包括 1 个 F-DCCH 和 1 个 F-FCH。F-DCCH 必须支持非连续的发送方式。在 F-DCCH 和 F-FCH 上，允许附带一个前向链路功控子信道^[16]。

2. CDMA2000 反向链路物理信道

反向链路物理信道也分为反向链路公用物理信道和反向链路专用物理信道两大类，每类包括的信道类型如表 2.2 所示。

表 2.2 反向链路信道的信道类型 (SR1)

物理信道类型	缩写	最大数目
反向接入信道	R-ACH	1
反向公共控制信道	R-CCCH	1
反向增强接入信道	R-EACH	1
反向导频信道	R-PICH	1
反向基本信道	R-FCH	1
反向专用控制信道	R-DCCH	1
反向补充信道	R-SCH	2
反向补充码分信道	R-SCCH	7

如表 2.2 所示，反向链路公共物理信道包括：反向接入信道、反向公共控制信道和反向增强接入信道，这些信道是多个移动台共享的。反向链路专用物理信道和前向链路专用物理信道的种类基本相同，包括：反向导频信道、反向专用控制信道、反向补充信道和反向补充码分信道，用来在某一特定的基站和移动台之间建立业务连接。其中，R-FCH 中 RC1 和 RC2 方式是和 IS-95 系统中两种速率集的反向业务信道分别兼容的，其他的信道则是 CDMA2000 新定义的反向链路专

用信道^[16]。

2.4 CDMA2000 反向链路物理信道的结构和特性

1. 反向导频信道 (R-PICH)

反向导频信道是一个移动台发射的未经调制的扩谱信号，它全为“0”，不经过编码，发送前由 0 号 Walsh 函数扩频。基站利用它来帮助检测移动台的发射，进行反向相干解调，这是 CDMA2000 的一大特点。

当使用 R-EACH、R-CCCH 或 RC3 到 RC6 的反向业务信道时，应该发送 R-PICH。当发送 R-EACH 前缀、R-CCCH 前缀或反向业务信道前缀时，应该发送 R-PICH。当移动台的反向业务信道工作在 RC3 到 RC6 时，应在 R-PICH 中插入一个反向功率控制子信道。移动台用该功率控制子信道支持对前向业务信道的开环和闭环功率控制。

为了降低在反向链路上对其他用户的干扰，当反向信道上数据速率较低，或者只需要保持基本的控制联系而没有业务数据的情况下，反向导频可以采取门控发送方式，即特定的功率控制组停止发送时，相应的功率控制子信道也不发送。这样就大大降低了移动台的功耗。反向导频信道的结构图如图 2.2 所示。

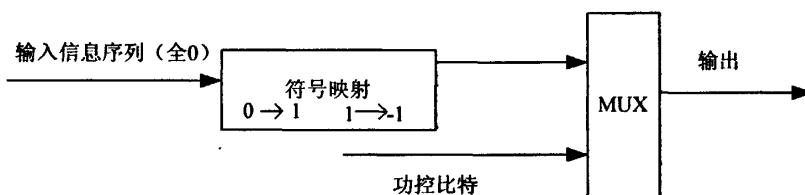


图 2.2 反向链路导频信道结构

2. 反向接入信道 (R-ACH)

反向接入信道属于 CDMA2000 中的后向兼容信道。它用来发起同基站的通信或响应寻呼信道消息。反向接入信道采用了随机接入协议，不同的反向接入信道由不同的 PN 码来区分。反向 CDMA 信道最多可包含 32 个反向接入信道，编号为 0 到 31。对于前向 CDMA 信道中的每个 F-PCH，相应的反向 CDMA 信道上至少有 1 个 R-ACH。每个 R-ACH 与单一的 F-PCH 相关联。

移动台必须以 4.8kbps 的固定速率发射反向接入信道信号，每个反向接入信道帧含有 96 个比特，包括 88 个信息比特和 8 个编码尾比特。反向接入信道需经过编码、交织、扩频和调制。

3. 反向增强接入信道 (R-EACH)

移动台可利用反向增强接入信道发起同基站的通信或者响应专门发给移动台

的信息。反向增强接入信道也采用了随机接入协议。反向 CDMA 信道最多可包含 32 个反向增强接入信道，编号为 0~31。反向接入信道的帧长可以为 5ms、10ms 和 20ms。不同帧长的帧结构如表 2.3 所示。

表 2.3 反向增强接入信道的帧结构

帧长/ms	帧类型	传输速率/bps	总数	信息比特数	帧质量指示符	编码尾比特
5	报头	9600	48	32	8	8
20	数据	9600	192	172	12	8
20	数据	19200	384	360	16	8
20	数据	38400	768	744	16	8
10	数据	19200	192	172	12	8
10	数据	38400	384	360	16	8
5	数据	38400	192	172	12	8

反向增强接入信道的结构如图 2.3 所示。

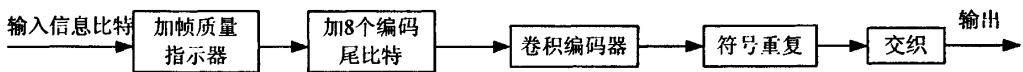


图 2.3 反向增强接入信道结构

4. 反向公共控制信道 (R-CCCH)

反向公共控制信道 R-CCCH 用于在没有使用反向业务信道时向基站发送用户和信息信令。R-CCCH 相关联的 R-PICH 不包含反向功控子信道。对于所支持的各 F-CCCH，反向 CDMA 信道最多可包含 32 个 R-CCCH，编号为 0~31。对于所支持的各 F-CACH，反向 CDMA 信道最多包含 32 个 R-CCCH，编号为 0~31。对应于前向 CDMA 信道中的每个 F-CCCH，相应的反向 CDMA 信道上至少有一个 R-CCCH。反向链路公共控制信道的帧结构如表 2.4 所示。

表 2.4 反向链路公共控制信道的帧结构

帧长	传输速率/bps	总数	信息比特数	帧质量指示器	编码尾比特
20	9600	192	172	12	8
20	19200	384	360	16	8
20	38400	768	744	16	8
10	19200	192	172	12	8
10	38400	384	360	16	8
5	38400	192	172	12	8

反向公共控制信道的信号需要经过编码、交织、扩频和调制，其结构如图 2.4 所示。

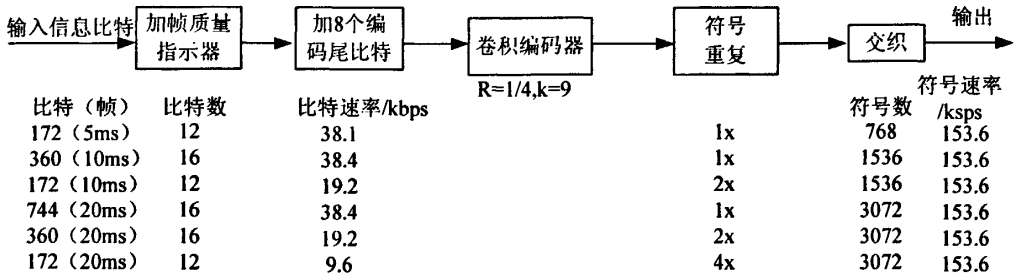


图 2.4 反向公共控制信道结构

5. 反向专用控制信道 (R-DCCH)

反向专用控制信道的帧长为 5ms 或 20ms，用于在通话中向基站发送用户信令信息。反向业务信道最多可包括 1 个反向专用控制信道。移动台支持反向专用控制信道的非连续发送，断续的基本单位为帧。以 RC3 和 RC5 为例，反向专用控制信道的结构如图 2.5 所示。

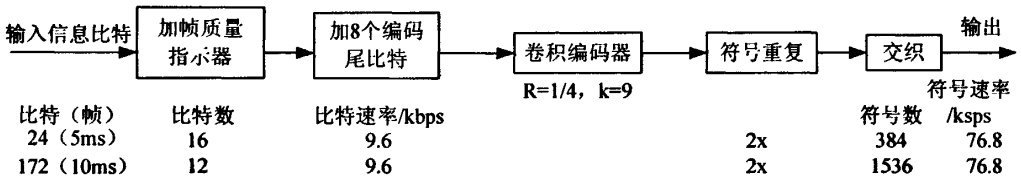


图 2.5 反向专用控制信道结构

6. 反向基本信道 (R-FCH)

反向基本信道用于在通话中向基站发送用户和信息信令。反向业务信道最多可包括 1 个 R-FCH。RC1 和 RC2 的反向基本信道为向后兼容方式，其帧长为 20ms，信道结构与 IS-95 反向基本信道结构相同。RC3 到 RC6 的 R-FCH 帧长为 5ms 或 20ms。以 RC3 为例，反向基本信道结构如图 2.6 所示。

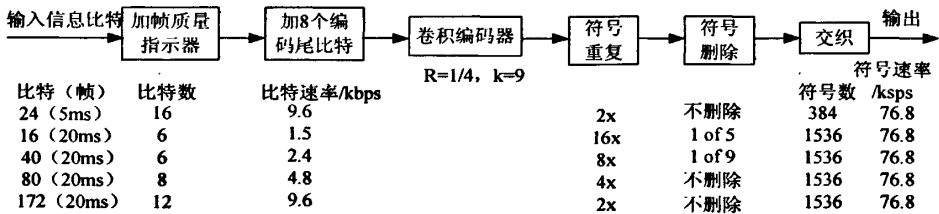


图 2.6 反向链路基本信道结构 (RC3)

7. 反向补充信道 (R-SCH)

反向补充信道 R-SCH 用于在通话中向基站发送用户信息，它只适用于 RC3~RC6。反向业务信道最多可包括 2 个 R-SCH。R-SCH 可以支持多种速率。当它工作在某一个允许的 RC，并且分配了单一的数据速率时，它固定在这个速率上工作；如果分配了多个数据速率，则能够以可变速率发送。R-SCH 必须支持 20ms 的帧长，也可以支持 40ms 或 80ms。以 20ms 帧、RC3 为例，反向补充信道的结构如图 2.7 所示。

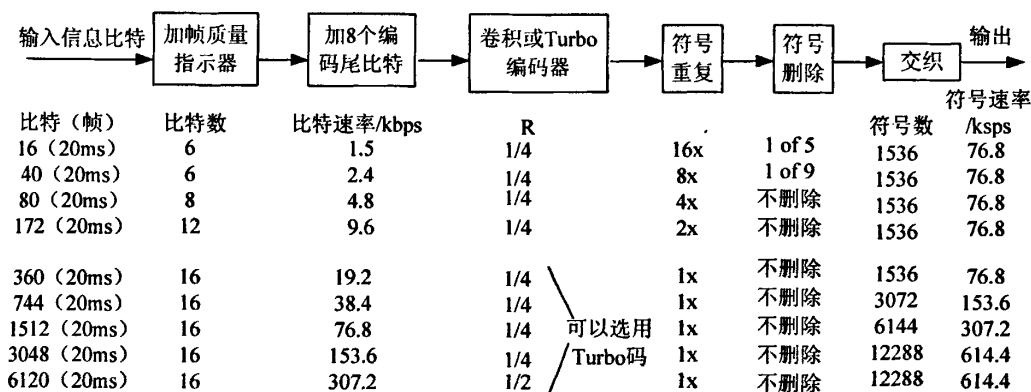


图 2.7 反向链路补充信道结构 (20ms, RC3)

8. 反向补充码分信道 (R-SCCH)

反向补充码分信道用于在通话中向基站发送用户信息，它只适用于 RC1 和 RC2，属于 CDMA2000 为了保持后向兼容 IS-95 而保留的信道。反向业务信道最多可包括 7 个 R-SCCH，它们和相应 RC 下的 R-FCH 的调制结构是相同的。在 RC1 下，R-SCCH 的数据速率为 9.6kbps；在 RC2 下，其数据速率为 14.4kbps^[1]。

2.5 本章小结

本章首先介绍了 CDMA 技术原理，阐述了其理论基础扩频通信的概念和特点；然后介绍了 CDMA2000 体系结构，对 CDMA2000 移动通信系统的物理层构架作了简要分析，包括前向链路和反向链路的物理信道，最后详细介绍 CDMA2000 反向链路物理信道的结构和特性。

第 3 章 基带信号处理模块的总体设计

3.1 硬件系统总体设计

3.1.1 系统设计要求与方案

CDMA 移动通信系统结构复杂，尤其是其中的一些通信协议，许多高校的学生在学习此类课程时都觉得难以理解和掌握，因此希望学校能够提供相关的通信实验模块，既可以对书本上的理论知识做仿真实验，提高自己的感性认识，又能作为二次开发的平台，提高动手能力。

对于专用的通信实验模块，要求在该模块上能进行当前移动通信领域中常用的通信协议仿真的实验。本实验模块采用了软件无线电的思想，以 CDMA2000 物理层信道协议为理论依据，主要进行其反向链路物理信道基带信号处理协议的实验仿真，主要包括添加 CRC、卷积、交织、Walsh 编码、长码扩频、短码加扰、QPSK 调制以及其逆过程（可选做）。由于实际的 CDMA2000 基带信号处理协议相当复杂，因此在本实验模块上进行的实验均是在将通信协议适当简化的基础上进行的，从而达到实验演示的目的。

实验进行有两种方式：

(1) 仿真模式，即当系统上电后，实验者通过硬件仿真器将实验模块连接到 PC 机，实验者根据相关实验选择对应的实验程序，在加载后进行实验，并能在示波器上观察到实验结果。

(2) 脱机模式，即不需要 PC 机和硬件仿真器，也不需要再加载实验程序，实验者只需通过在系统上电后拨码开关选择相对应的实验，便可以在示波器上观察到实验结果。当要选择进行其他实验时，实验者在更改拨码开关后再按实验模块上的复位键（RESET）即可。

根据以上的分析，本实验模块所需要用到的主要器件有：DSP、CPLD、AD、DA、闪存存储器 Flash、电源芯片、复位芯片、晶振等。

在广泛参考相关设计和认真认证的基础上，我们采用软件无线电的思想，采用 DSP+CPLD 的主流构架，开发出 CDMA2000 基带信号处理模块。DSP 模块作为系统的核心处理单元，主要完成基带信号算法处理的功能；CPLD 作为系统的逻辑控制部分，主要完成系统的逻辑时序控制和地址分配，同时为其他器件提供合适的时钟信号源。

在通过仔细考虑电路接口问题的基础上，设计完成实验模块的硬件电路。由于软件无线电特有的结构的开放性和全面可编程性，通过软件更新改变硬件配置

结构,实现新的功能^[17]。当实验功能未能达到时,不需要改变模块的硬件,只需要通过修改 DSP 中的软件即可。这样既能克服以往设计量大、设计不便、开发周期长等缺点,同时使得实验系统具有更高的灵活性、更好的扩展性和简洁性,更易于今后实验模块的升级和二次开发。

3.1.2 系统总框图及工作原理

根据系统设计方案,整个实验模块的硬件电路可以分为如下几个模块:

- (1) DSP 中央处理器模块;
- (2) 复杂可编程逻辑器件 CPLD 模块;
- (3) Flash 外围存储器模块;
- (4) AD 转换模块;
- (5) DA 转换模块;
- (6) 电源模块。

硬件电路的总体框图如图 3.1 所示:

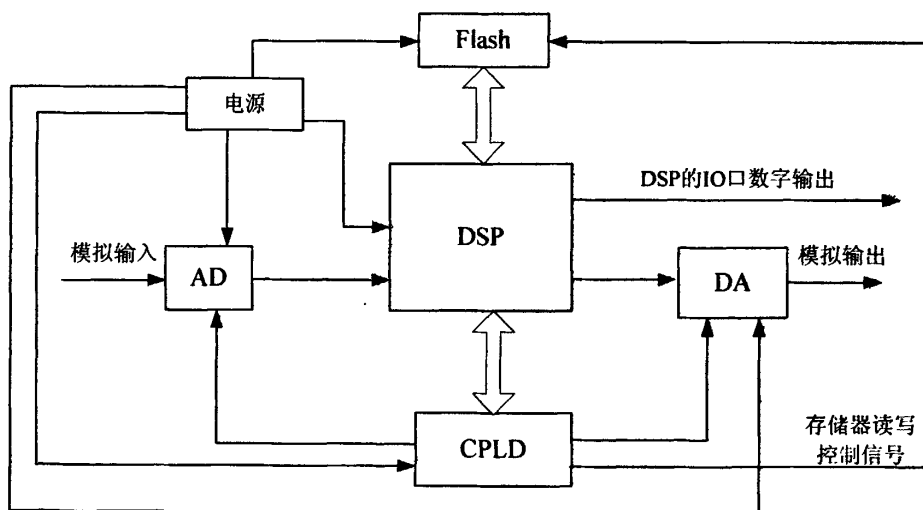


图 3.1 硬件电路总体框图

从实验的角度来看,实验模块的工作原理可以概括为:模拟信号输入后,经过 AD 转换器转换为数字信号,或者直接由程序中编写产生数字信号源,然后 DSP 对其进行 CDMA2000 基带信号算法处理,接着直接由 DSP 的 HPI 口输出,或者经过 DA 转换器后转换为模拟信号输出。

3.2 主要模块的基本功能介绍

整个 CDMA2000 基带信号处理模块可以划分为 6 个主要功能模块,每个功能模块除了实现其特定的功能外,彼此之间相互配合,从而组成了一个完整的实验

模块。

1. 电源模块

电源模块提供两套单独的电源系统分别对 DSP 模块及其他的模块供电,以满足不同模块对电源的需求。对 DSP 模块提供稳定的+1.6V 和+3.3V 电源,对其他的模块提供+3.3V 的电源。

2. DSP 模块

DSP 模块作为整个实验模块的核心部分,主要完成数字信号的输入和输出、算法运算等功能。稳定的内核电源和 IO 引脚电源、精确的晶振频率、足够时延的复位系统是本模块正常工作的必要条件。

3. CPLD 模块

CPLD 模块用来取代分立元器件来完成整个实验模块的逻辑控制和地址分配:为 DSP 提供合适的时钟信号源;为 AD 和 DA 提供片选、采样、输出信号、时钟信号以及逻辑地址编码;为 Flash 提供读写信号和复位信号等。

4. AD 模块

AD 模块主要用于在解调时对调制信号进行采样,实现模拟信号的数字化。

5. DA 模块

DA 模块实现数模转换,将调制信号输出。

6. Flash 模块

Flash 模块作为外扩存储器,用来存储二进制实验代码,当采用脱机模式时将实验代码调送至 DSP 的存储器中运行,保证实验的顺利进行。

3.3 主要芯片选型

3.3.1 DSP 芯片

DSP 芯片的选择主要依据处理器的运算速度和精度、片内存储区大小、片内外设数目、芯片应用的普遍性以及开发工具的难易程度等。本实验模块选用的是美国德州仪器(TI)公司的 TMS320VC5416DSP-160 芯片,其主要特点如下:

(1) 存储器采用哈佛结构,数据存储器和程序存储器分开,允许同时对程序指令和数据进行访问,提供了很高的并行度,可在一个周期里完成两个读和一个写操作。因此,并行存储指令和专用指令可在这种结构里得到充分利用。另外,数据可以在数据空间和程序空间之间传送。基本的存储空间由 3 个可选择的存储空间组成,分别是 64K 字的程序存储空间、64K 字的数据存储空间和 64K 字的 I/O

空间^[18]。

(2) 先进的多总线结构：1 条程序总线 (PB)、3 条数据总线 (CB、DB、EB) 和 4 条地址总线 (PAB、CAB、DAB、EAB)，运算速度最快可以达到 160MIPS。其中，程序总线传送取自程序存储器的指令代码和立即数代码；3 条数据总线将内部的各单元（如 CPU、数据地址生成电路、程序地址生成电路、在片外围电路以及数据存储器）连接在一起。具体地，CB 和 DB 总线传送从数据存储器读出的操作数，EB 总线传送写到存储器中的数据；4 条是指总线传送执行指令所需要的地址。

(3) 优化的 CPU 结构。CPU 内部有一个 40bit 的算术逻辑单元 (ALU)，它包含两个独立的 40bit 的累加器 (A 和 B) 和一个 40bit 的桶型移位寄存器，用来完成二进制补码运算和布尔运算。同时 CPU 内部还有两个 40bit 的加法器，一个 17bit×17bit 的乘法器，一个比较、选择、存储单元 (CSSU) 和一个指数编码器。其中，CSSU 与 ALU 配合，可以实现数据通信与模式识别领域常用的快速加法/比较/选择运算，如 Viterbi 型蝶形算法等；指数编码器是用于支持单周期指令 EXP 的专用硬件。另外，DSP 芯片的控制部件也在 CPU 内部，由各种控制寄存器及流水线指令操作控制逻辑组成，用以设定以时钟频率为基准（机器周期）的整个芯片的运行状态。主要的寄存器有：处理器工作方式状态寄存器 PMST、状态寄存器 ST0 和状态寄存器 ST1。

(4) 128K 字的片内 RAM、16K 字的片内 ROM、外围可扩展 8M 字的存储器。其中 RAM 又分为两种：一种是在一个机器周期内可以两次寻址的 DARAM，另一种则是在一个机器周期内只可一次寻址的 SARAM，两者各有 64K 字。

(5) 丰富的片内外设：

① 通用 I/O 引脚 \overline{BIO} 和 XF，分别用来监视外部设备状态和发信号给外部设备；

② 软件可编程的等待状态发生器，能把外部总线周期扩展至多个机器周期，以适应较慢的片外存储器和 I/O 设备；

③ 可编程块转换模块，能在访问溢出存储器块边界或从程序存储器溢出到数据存储器时，自动插入一个周期，防止总线竞争；

④ 时钟发生器，由一个内部振荡器和带外部时钟源的片上可编程锁相环 (PLL) 组成。它可以由内部的晶振或外部的时钟源驱动。锁相环能使时钟源乘以一个特定的系数，得到一个比内部 CPU 时钟低的时钟源；

⑤ 一个 16 位的定时器 (Timer)，用于定时、计数和产生中断；

⑥ 6 通道直接存储访问 (DMA) 控制器，当 CPU 忙于应付各种突发的而且可能很有可能是大批量的数据传输操作，从而影响其反应时间降低系统性能时，由 DMA 控制器 (DMAC) 接管总线，负责数据传输。而当 CPU 需要使用总线时，可以收回总线控制权，这样就实现了 CPU 和 DMAC 的并行工作；

⑦ 3 个多通道缓冲串行口 MCBSP，能支持全双工通信、双缓冲数据发送寄存器和三缓冲数据接收寄存器，支持连续的数据流，同时还能发送和接收独立的时钟和帧同步信号，支持 T1/E1 帧协议、SPI 设备、IIS 兼容设备等多种设备，可以进行多达 128 个通道的数据收发，传输数据字长包括 8bit、12 bit、16 bit、20 bit、24 bit 或 32 bit，支持 A 律和 μ 律硬件压扩，其内部时钟和帧同步信号可编程；

⑧ 8 位或 16 位的扩展主机接口 HPI，接口方式为并行，用来与主设备或从设备处理器接口。外部主机是 HPI 的主控者，它可以通过 HPI 直接访问 CPU 的存储空间，包括存储器映像寄存器^[19]。

3.3.2 CPLD 芯片

CPLD 完成相关的逻辑控制和地址分配，逻辑关系比较简单，没有复杂的运算，需要提供的控制信号数目比较少。因此在本模块中采用的芯片是 XILINX 公司的 9500 系列中的 XC95144XL-TQ144。其主要特点如下：

- (1) 5ns 的引脚至引脚的逻辑延迟；
- (2) 系统频率可高达 178MHz；
- (3) 144 个宏单元，3200 个可编程逻辑门；
- (4) 封装：144 个引脚的 TQFP，117 个用户可用的 I/O 引脚；
- (5) 支持 JTAG 仿真接口；
- (6) 支持 3.3V 电平输入/输出，功耗低^[20]。

3.3.3 Flash 存储器芯片

Flash 存储器芯片的选择主要依据其容量、访问时间、可擦写次数和价格等因素。本实验模块中选用的存储器芯片是 AMD 公司的闪存（Flash）芯片 Am29LV160DB。其主要特点如下：

- (1) 16Mbit：2M×8-bit/1M×16-bit；
- (2) 工作电压范围：+2.7V~+3.6V；
- (3) 最快访问时间可达 70ns；
- (4) 灵活的扇区结构，支持整片擦除；
- (5) 通用的 Flash 接口^[21]。

3.3.4 AD 转换芯片

AD 转换芯片采用美国模拟器件公司（Analog Devices）8 位双通道芯片 AD9281。其主要特点如下：

- (1) 采样精度为 8 位，双通道，最高采样率可达 28 MSPS；
- (2) 内部集成两个输入缓冲放大器、一个内部参考电压和多路复用数字输出放大器；

(3) 功耗低, 工作电压范围为: $+2.7V \sim +5.5V$ ^[22]。

3.3.5 DA 转换芯片

DA 转换芯片采用美国模拟器件公司 (Analog Devices) 8 位芯片 AD9708。其主要特点如下:

(1) 分辨率为 8 位, 差分输出;

(2) 易与工作电压为 $+3V \sim +5V$ 的 CMOS 逻辑器件接口, 最高采样率可达 125MSPS;

(3) 功耗低, 工作电压范围为: $+2.7V \sim +5.5V$ ^[23]。

3.4 TMS320C54x 系列 DSP 软件开发流程

3.4.1 CCS 集成开发环境功能介绍

TI(Texas Instruments)公司的 DSP 集成开发环境 CCS(Code Composer Studio)是一个基于 Windows 的 DSP 开发平台, 可以加速和提高程序员创建和测试实时嵌入式信号处理系统的开发过程, 从而缩短将产品推向市场所需要的时间。CCS 是一个完整的 DSP 集成开发环境, 也是目前最优秀、最流行的 DSP 开发软件之一。它主要包含了以下功能:

(1) 集成可视化代码编辑界面, 可直接编写 C、汇编、.H 文件、.CMD 文件等。

(2) 集成代码生成工具, 包括汇编器、优化 C 编译器、链接器等。

(3) 基本调试工具, 如装入执行代码 (.out 文件), 查看寄存器、存储器、反汇编、变量窗口等, 支持 C 源代码级调试。

(4) 支持多 DSP 调试。

(5) 断点工具, 包括硬件断点、数据空间读/写断点, 条件断点 (使用 GEL 编写表达式) 等。

(6) 探针工具 (Probe Points), 可用于算法仿真、数据监视等。

(7) 分析工具 (Profile Points), 可用于评估代码执行的时钟数。

(8) 数据的图形显示工具, 可绘制时域/频域波形、眼图、星座图、图像等, 并可自动刷新 (使用 Animate 命令运行)。

(9) 提供 GEL 工具, 用户可以编写自己的控制面板/菜单, 方便直观地修改变量, 配置参数等。

(10) 支持 RTDX (Real Time Data Exchange) 技术, 可在不中断目标系统运行的情况下, 实现 DSP 与其他应用程序 (OLE) 的数据交换。

(11) 开放式的 Plug-in 技术, 支持其他第三方的 ActiveX 插件, 支持包括软件仿真在内的各种仿真器 (只需安装相应的驱动程序)。

(12) 提供 DSP/BIOS 工具, 增强对代码的实时分析能力 (如分析代码执行的效率)、调度程序执行的优先级、方便管理或使用系统资源 (代码/数据占用空间、中断服务程序的调用、定时器使用等), 从而减少了开发人员对硬件资源熟悉程度的依赖性。

可见, CCS 具有实时、多任务、可视化的软件开发特点, 已经成为 TIDSP 家族的程序设计、制作、调试、优化的利器^[24]。

3.4.2 TMS320C54x 系列 DSP 软件开发工具

CCS 提供的 DSP 软件开发工具主要如下:

(1) C 编译器 (C Compiler)。将 C/C++ 源代码转换为 TMS320C54x 的汇编语言源代码。C 编译器与汇编语言工具包是独立的。

(2) 汇编器 (Assembler)。将汇编语言源文件转换为机器语言的 COFF 目标文件。源文件可包含指令、汇编伪指令、宏伪指令等内容。

(3) 链接器 (Linker)。汇编器产生的可重新定位的 COFF 目标文件经链接器组合后, 形成单个可执行 COFF 目标模块, 同时将符号放入存储器中的制定位置, 并分辨对这些符号的所有引用。

(4) 存档器 (Archiver)。存档器允许用户将一组文件归入一个档案文件 (库)。例如, 将若干个宏存入一个宏库, 汇编器将搜索这个库, 并调用源文件中使用的宏。也可以用存档器将一组目标文件组成一个目标文件库, 链接器将连接库内的成员, 并解决外部引用。

(5) 助记符到代数汇编指令转换工具 (Mnemonic-Algebraic Assembly Translator)。将汇编语言源程序中包含的助记符指令转换成为代数指令。

(6) 建库工具 (Library-Build Utility)。用户可以利用建库工具建立自定义的 C 语言运行时间支持库。标准的运行时间支持库以源代码形式存在 rts.src 库中, 而以目标码形式存在 rts.lib 库中。

(7) Hex 格式转换工具 (Hex Conversion Utility)。TMS320C54xDSP 只接收 COFF 文件作为输入, 但大多数 EPROM 编程器与 COFF 文件不兼容。Hex 格式转换工具用来将 COFF 目标文件转换成 TI-tagged、Intel、Motorola 或 Tektronix 等目标格式。转换后的文件就可以装入 EPROM 编程器中进行烧制。

(8) 绝对地址列表器 (Absolute Lister)。由链接后的目标文件产生一个 .abs 文件作为输出。可以对 .abs 文件进行汇编来产生一个列表, 这个列表中包含的是绝对地址而不是相对地址。

(9) 交叉引用列表器 (Cross-Reference Lister)。它为目标文件产生一个交叉引用列表, 用来说明符号、符号的定义以及在链接的源文件中对它们的引用^[25]。

3.4.3 TMS320C54x 系列 DSP 软件开发过程

TI 公司的 DSP 芯片既可以使用汇编语言，也可以使用 C 语言进行软件开发。C 语言编程方法易学易用，但编译出的汇编程序比手工汇编程序长得多，因而效率一般只有 20%~40%。为了克服 C 编译器效率低的缺点，在提供标准 C 库函数的同时，开发系统也提供了许多针对 DSP 运算的高效库函数，例如 FFT、FIR、IIR、矩阵运算等。一般多数情况下，考虑到软件的可移植性问题，应尽量采用 C 语言进行开发。只有对代码效率要求很高的软件模块，才使用汇编语言来编写。使用 CCS 对 TI 公司 C54x 系列 DSP 进行应用软件开发的典型流程如图 3.2 所示。

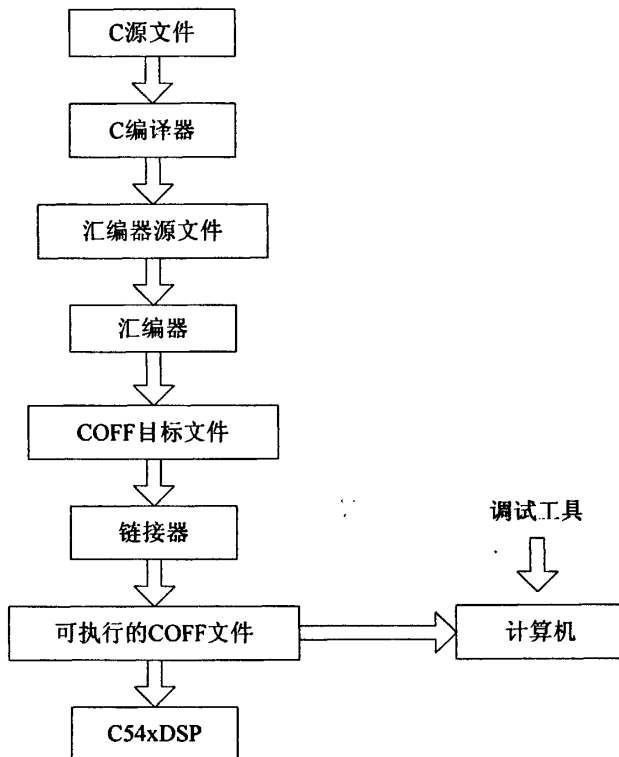


图 3.2 TMS320C54x 系列 DSP 软件开发流程图

在 CCS 中具体的开发过程为：

- (1) 运行 CCS；
- (2) 建立工程文件；
- (3) 设置编译和链接选项；
- (4) 编译和创建输出目标文件；
- (5) 调试程序^[26]。

3.5 实验系统工作的总体流程

实验者利用本实验系统进行工作的总体流程为：实验者先将实验系统进行正

确连线，然后确定想要进行的实验，并通过实验模块上的拨码开关进行选择。在选择实验模式为脱机模式的情况下，实验者将实验模块上的 MP/\overline{MC} 拨至低电平，使 DSP 处于微计算机模式，最后将实验模块上电，在示波器上观察实验结果。若实验者认为实验结果有误或不便于观察，则可以通过按实验模块上的 RESET 键来重新进行实验。其流程图如图 3.3 所示。

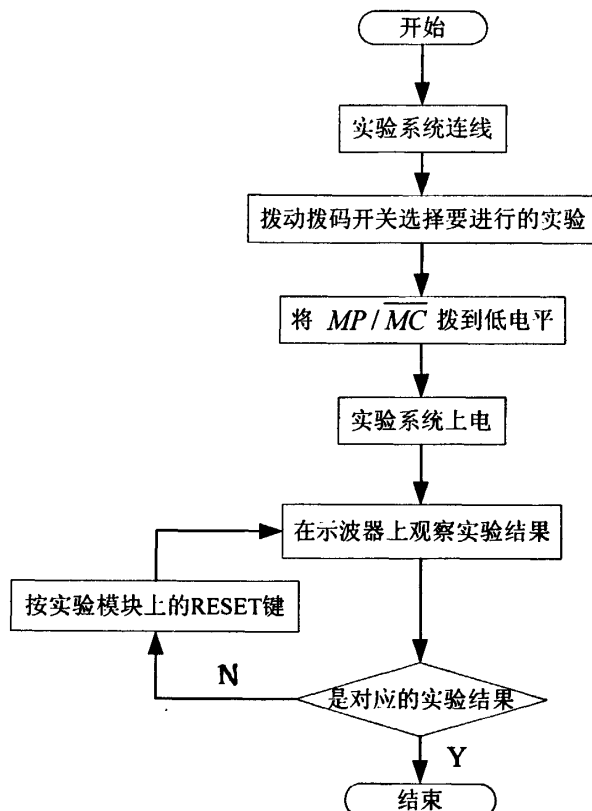


图 3.3 实验系统工作的总体流程图

3.6 本章小结

在本章中，主要介绍了 CDMA2000 基带信号处理模块的硬件总体设计方案，并对主要芯片进行了选型，同时介绍了 TMS320C54xDSP 的开发环境 CCS 和软件开发流程，以及利用本实验模块进行实验的流程。

第 4 章 功能模块硬件电路的设计与实现

在第 3 章的总体设计中，整个实验模块可以划分为：电源模块、DSP 中央处理器模块、CPLD 模块、AD 模块、DA 模块、Flash 模块几个部分。在本章中，将详细介绍各个功能模块电路的设计过程，并通过调试对设计进行验证。

4.1 电源模块设计

4.1.1 电源需求分析

电源模块为整个电路系统提供合适的电压和电流，其设计是否正确，关系到整个电路能否持续稳定的工作。因此电源模块是整个电路系统中基础而又非常重要的一个环节。

底板（已经设计好）能够提供+12V、-12V、+5V、-5V 的直流电源。经过阅读芯片资料，整个电路系统需要电源的情况为：DSP 模块部分需要的电源为+3.3V 和+1.6V；CPLD 模块部分需要的电源为+3.3V；Flash 存储器模块部分需要的电源为+3.3V；AD 模块部分需要的电源为+3.3V 和+5V；DA 模块部分需要的电源为+3.3V、+5V、+12V 和-12V。由此可知，电路系统一共需要+1.6V、+3.3V、+5V、+12V 和-12V 五种电源。

4.1.2 电源电路设计和调试

对 DSP 供电的+1.6V 和+3.3V 电源在稳定性和纹波系数方面有特殊的要求，尽量要做到稳定、干净。因此，在本实验模块中选用的是 TI 公司的 DSP 专用芯片 TPS73HD301，单独对 DSP 供电，如图 4.1 所示。该芯片有两路电压输出，每一路输出的最大电流为 750mA。根据参考文献[19]，当 TMS320VC5416DSP 芯片在常温（25℃）下工作于 160MHz 时，内核工作电流的典型值为 60mA，外部引脚工作电流的典型值为 50 mA，因此本电源芯片所能提供的电流能使 DSP 芯片正常工作，满足设计要求。根据参考文献[27]上提供的参考电路图，将第一路输出（1OUT）设置为可变输出，在反馈端（第 25 脚）没有直接接至输出端时，其输出电压值 V_o 由如下公式确定：

$$V_o = V_{ref} \left(1 + \frac{R_1}{R_2}\right) \quad [27] \quad (4.1)$$

上式中， V_{ref} 为内置参考电压+1.182V， $R_1 = R_{35} + R_{36}$ ， $R_2 = R_{34} + R_3$ ，根据计算可以得到第一路的输出电压为+1.6V，从而为 DSP 的内核供电。

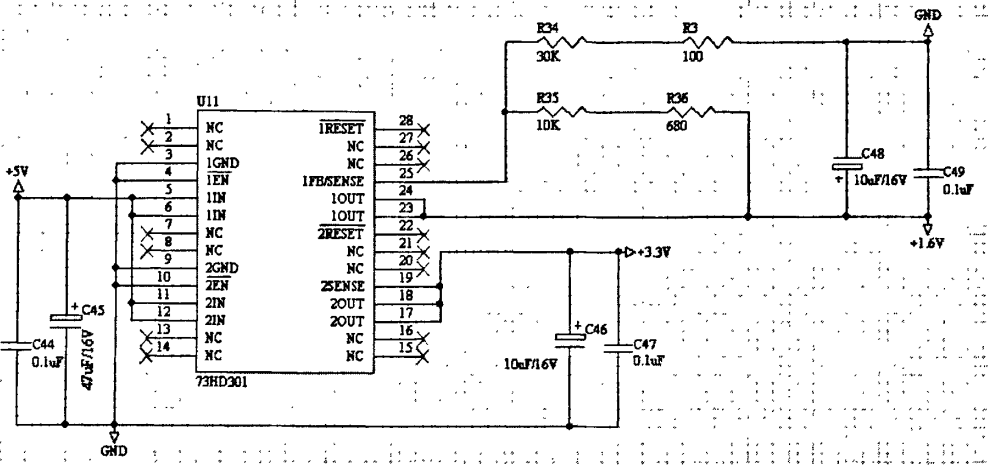


图 4.1 +1.6V 电压产生电路

DSP 和其他模块需要的+3.3V 的电压，可以用凌特公司（Linear Technology）的+3.3V 电压管理芯片 LT1117-3.3V 得到，如图 4.2 所示。该芯片用底板提供的+5V 电压供电，输出为+3.3V^[28]。其+3.3V 的模拟供电和数字供电采用 $0\mu H$ 的电感隔离，模拟地和数字地也采用 $0\mu H$ 的电感隔离。经过测试，电源模块能提供准确的电源。

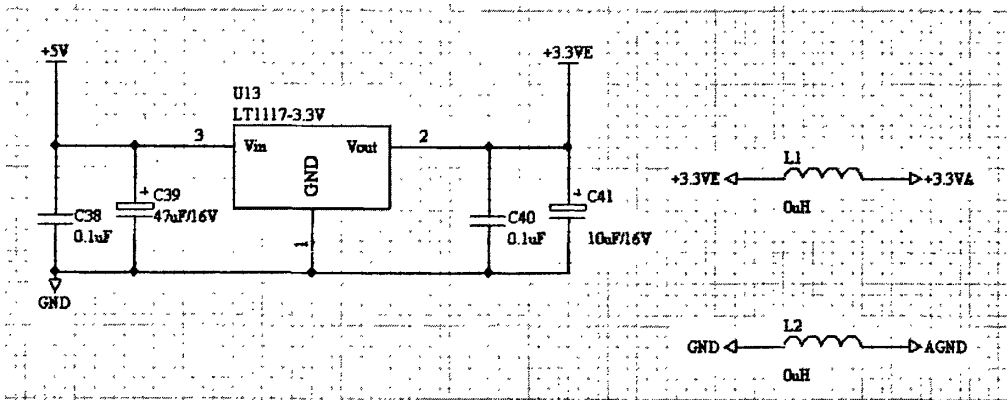


图 4.2 +3.3V 电压产生电路

4.2 DSP 模块设计

DSP 模块作为中央处理器部分，是整个实验模块的核心部分。DSP 模块能否正常工作，决定着整个硬件电路的成败，因此它有着举足轻重的作用。在本实验模块中，选用的 DSP 芯片是 TI 公司 C5000 系列中的 TMS320VC5416 芯片。关于该芯片的主要特点，在芯片选型的小节中已经讲过，在此不再重复，本小节中将主要讲述 DSP 外围配置电路的设计。

DSP 外围配置电路主要包括：电源、复位电路、时钟电路、处理器工作模式选择和仿真下载接口等。

(1) DSP 模块的电源。从电源模块设计部分易知，DSP 的供电电源有两种，即内核工作电压 (DVDD) +1.6V 和外部 I/O 引脚工作电压 (CVDD) +3.3V，如图 4.3 所示。这两种电压都可以由电源部分得到。DSP 芯片采用这种高低电压分离的方式进行供电，可以大大降低芯片的功耗。另外，在每一个电源引脚处，接一个 0.1 μF 的无极性电容，然后接地，从而达到滤波的作用。

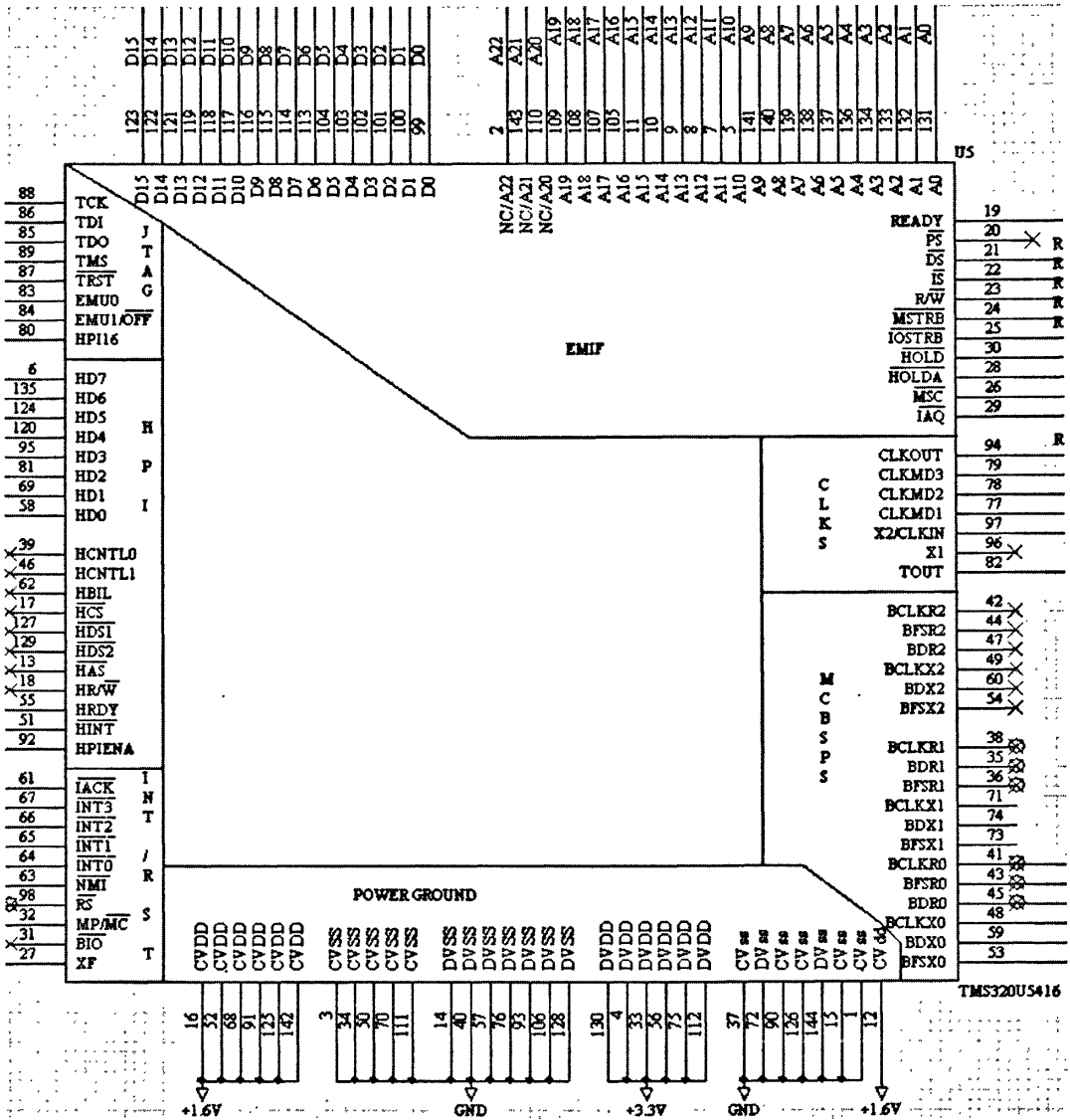


图 4.3 DSP 芯片部分电路

(2) DSP 芯片复位电路。DSP 芯片需要外接复位电路，以满足上电复位和手动复位。TMS320VC5416 芯片为低电平复位，在芯片上的位置为第 98 引脚 \overline{RS} 。当 \overline{RS} 为有效电平（低电平）时，DSP 停止当前所正在执行的指令，程序指针指向程序空间的 0xFF80h 处。当 \overline{RS} 从有效电平变为无效电平（高电平）时，指令将从程序存储器的 0xFF80h 处开始执行。 \overline{RS} 的变化能影响多个寄存器和状态位

的取值^[19]。复位电路使用的电压监视芯片为 IMP811-S，可以监视+5V、+3.3V 和 +3V 的电压^[29]。其电路图如图 4.4 所示，其中 V_{cc} 为电源电压， \overline{MR} 为手动复位输入， \overline{RESET} 为复位信号输出至 DSP。该芯片工作的时序图如图 4.5 所示。

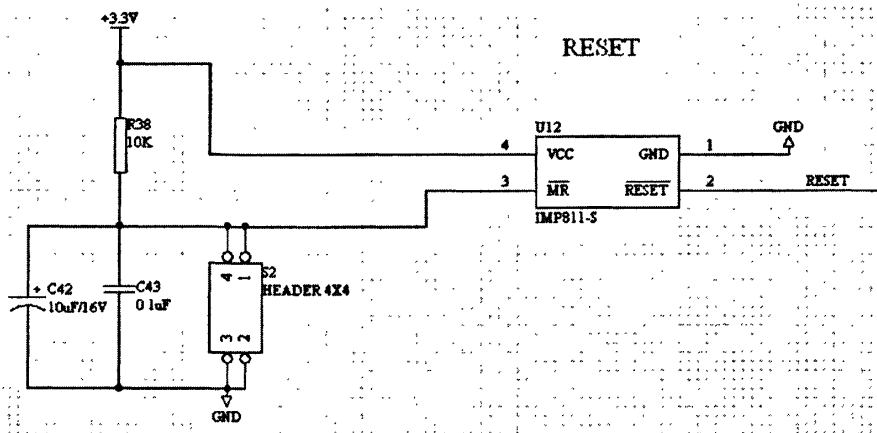


图 4.4 复位芯片 IMP811-S 电路图

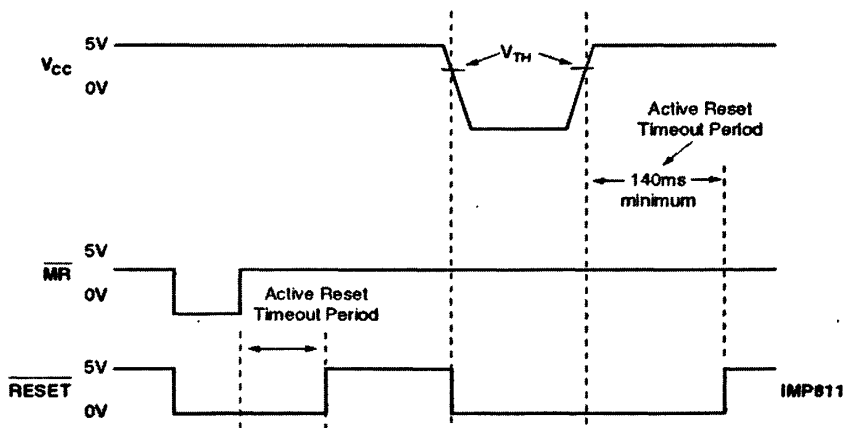


图 4.5 复位芯片 IMP811-S 工作时序图

从图 4.5 可以看出，在芯片上电复位和手动复位时，有至少 140ms 的延时。对于 C54x 系列的 DSP 来说，复位信号 \overline{RESET} 必须保持低电平 2 个机器周期以上，系统才能正确复位^[19]。通过设置系统时钟，可以保证 DSP 在 140ms 的延期内正常复位。

(3) DSP 时钟电路。DSP 的时钟发生器可以由以下两种方式产生：一是使用具有内部振荡电路的晶体振荡器。晶体振荡器电路连接到 DSP 的 X1 和 X2/CLKIN 引脚。另外 CLKMD 引脚必须配置以使能内部振荡器。具体方法是晶体振荡器连接到 X1 和 X2/CLKIN 引脚之间，内部振荡器被使能，如图 4.6 所示。晶体振荡器具有 30Ω 的有效串阻和 1mV 的功耗，另外还应该给定一个 20pF 的负载电容。二是使用外部时钟。即将一个外部时钟信号直接连接到 X2/CLKIN 引脚，并且 X1 引脚空置而不接，内部振荡器无效^[30]。在本实验模块中采用第二种方式，外接一 10MHz 的时钟信号。

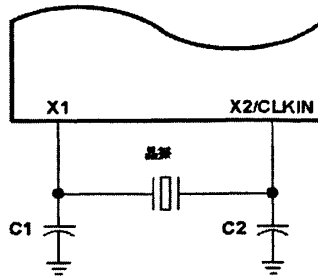


图 4.6 外部晶体振荡器的连接

DSP 内部高稳定的锁相环 (PLL) 电路能够锁定时钟振荡频率, 并有信号提纯和频率放大的作用, 其具体放大倍数与硬件连接或者软件配置有关。用高稳定的参考振荡频率器锁定, 可以提高供电稳定的频率源。所以, DSP 的外部频率源的频率可以比 CPU 的机器周期速度要低, 这样就能降低因高速开关时钟所造成的高频噪声^[30]。DSP 有两种形式的 PLL: 硬件配置的 PLL 和软件可编程 PLL。

所谓硬件配置的 PLL, 就是通过设定 DSP 的 3 个引脚 CLKMD1、CLKMD2、CLKMD3 的状态, 选定时钟方式。具体设置可见参考文献[19], 限于篇幅在此不作详述。对于不使用 PLL 的器件, 其 CPU 时钟频率为晶体振荡频率或外部时钟频率的一半, 在本实验模块中即是如此。软件可编程的 PLL, 是通过在程序中设定 16 位的时钟方式寄存器 (CLKMD) 的值来实现的。

(4) DSP 的处理器工作模式。通过设定 DSP 芯片的第 32 引脚 MP/\overline{MC} 的值, 进行 DSP 处理器工作方式的选择。在复位期间, 如果 MP/\overline{MC} 为高电平, 则 DSP 处于微处理器模式。上电复位后, 其片内的 ROM 被禁用, 也就是禁止外部 RAM 或者外部 Flash 中的程序自举加载 (Bootload) 至内部的 RAM 中运行; 若 MP/\overline{MC} 在复位期间为低电平, 则 DSP 处于微计算机模式。上电复位后, 其片内的 ROM 被使能, 也就是允许外部 RAM 或者外部 Flash 中的程序加载至内部的 RAM 中运行。在程序的调试过程中, DSP 需要处于微处理器模式; 而在程序调试通过后, 要求系统能够在上电的情况下脱离计算机运行程序, 则 DSP 需要处于微计算机模式下。因此在本实验模块的设计中, 专门设置了一个拨码开关, 用来对 MP/\overline{MC} 的高低电平进行选择, 以方便程序的调试和加载。

(5) DSP 的 JTAG (联合测试行为组织) 仿真接口。在 DSP 芯片中, 有 EMU0、EMU1、TDI、TDO、TCK、TMS 以及 \overline{TRST} 这几个引脚, 将这几个引脚和相关的电源引脚一起做成一个 JTAG 仿真调试端口, 通过该端口可以对 DSP 芯片内部进行在线编程, 实验者在 CCS 集成开发环境下编写的功能程序也通过 JTAG 端口下载到 DSP 中运行。在硬件结构上, JTAG 接口分为 JTAG 端口和仿真器两部分。在本实验模块制作的过程中所使用的仿真器是北京精仪达盛科技有限公司开发的 XDS510 型仿真器。仿真器的一端接到 PC 机上, 另一端接到实验模块的 JTAG 端口。在 CCS 集成开发环境下, 用户通过仿真器的软件可以把功能程序通过数据线

传送到 DSP 芯片中，然后进行相关的调试。

(6) 其他的一些设置情况。在 DSP 的主机接口 (HPI) 设置中，通过设置寄存器 GPIOCR，将主机接口中的 HD0 和 HD1 设置为输入，将 HD4、HD5 和 HD6 设置为输出，作为实验结果的数字输出口；通过设置寄存器 BSCR，将 CLKOUT 引脚设置为输出，使得在 DSP 运行的时候可以通过该引脚测量 DSP 工作的时钟频率是否正确；中断引脚以及读写控制信号的一些引脚，通过一定阻值的电阻与高电平连接。

4.3 CPLD 模块的设计

CPLD 模块主要完成系统综合逻辑控制、地址统一编码、时钟信号分频等功能。在本实验模块中，采用的芯片是 XILINX 公司的 9500 系列中的 XC95144XL-TQ144 芯片。该芯片有 144 个宏单元，3200 个可编程逻辑门，在 144 个引脚中，用户可用的 I/O 引脚有 117 个，增加了设计的灵活性。在本实验模块的设计中，CPLD 的功能主要包括：

(1) 对外部输入的时钟信号进行分频，提供给 AD 和 DA，并对其进行地址编码和时序控制，产生片选信号和采样信号，使其正常工作。

(2) 对实验选择的拨码开关进行识别，使得程序能够根据拨码开关的选择运行。

(3) 与 DSP 进行信号交换，增加设计的灵活性与稳定性。

(4) 为 Flash 芯片提供 4 个控制信号：一个片选信号、一个输出使能信号、一个写使能信号和一个复位信号，并通过地址总线对 Flash 芯片的存储空间进行选择。

CPLD 模块部分的电路图设计如图 4.7 所示。CPLD 同样支持 JTAG 接口，将 TDI、TDO、TCK、TMS 四个引脚和相应的电源引脚一起做成一个 JTAG 仿真调试端口，通过该端口可以对 CPLD 芯片内部进行在线编程，实验者在 ISE 开发环境中编写的功能程序也通过 JTAG 端口下载到 CPLD 中运行。

CPLD 分频产生 AD 和 DA 时钟信号的 VHDL 语言程序部分如下：

```
process(reset,CLKOUT)
begin
if reset = '0' then
count <= "0000";
else
if (CLKOUT'event and CLKOUT = '0') then
count(3 downto 0) <= count(3 downto 0) +1;
else null;
```

```

end if;
end if;
end process;
DACLK <= not count(0);
ADCLOCK <= COUNT(2);
    
```

其中, reset 为复位信号, CLKOUT 为 DSP 输出的时钟信号, ADCLOCK 和 DACLK 分别为 AD 和 DA 工作的时钟信号。在该段程序中, CPLD 以 reset 和 CLKOUT 的下降沿为敏感信号, 将 CLKOUT 信号八分频和二分频后的信号分别作为 AD 和 DA 工作的时钟信号。

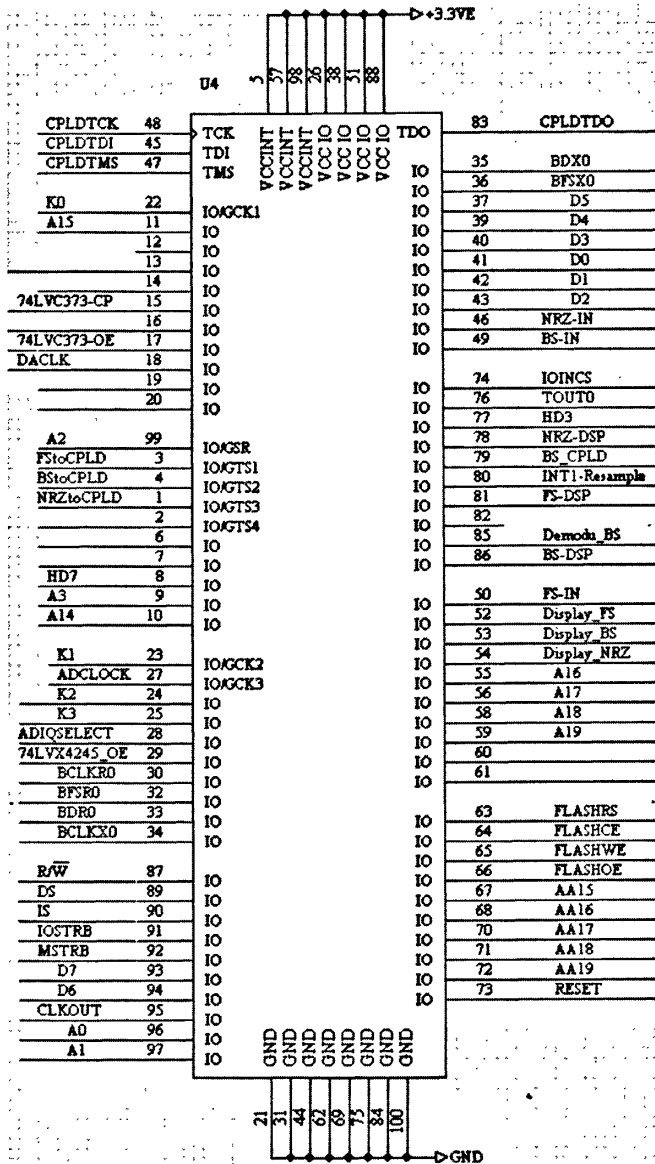


图 4.7 CPLD 模块电路图

4.4 AD 模块的设计

AD模块的设计主要是针对于模拟信号的输入，如在进行解调实验时，就需要AD先对模拟信号进行采样，再转换为数字信号后输出给DSP进行处理。在本实验模块中，选用的AD芯片是美国模拟器件公司（Analog Devices）的AD9281。该芯片采样精度为8位，双通道，最高采样率可达28 MSPS。AD模块部分的电路图如图4.8所示。

根据电路图可知，信号输入的通道有I和Q两路，可以通过SELECT引脚选择。在本设计中，模拟信号经过滤波后由I通道的INA-I引脚输入，然后被8位采样输出。由参考文献[22]可知，当AD芯片的数字电源电压为+5V时，其采样输出的高电平电压的典型值可达+4.5V，而DSP芯片的输入输出引脚电压的典型值为+3.3V。为了使二者的接口能够匹配，在本实验模块中，通过采用电源转换芯片74LVX4245来解决此问题。

74LVX4245是一款双电源供电的8bit转换收发器芯片，具有三态输出，特别适合+3.3V与+5V的接口转换电路^[31]。其电路图如图4.9所示。

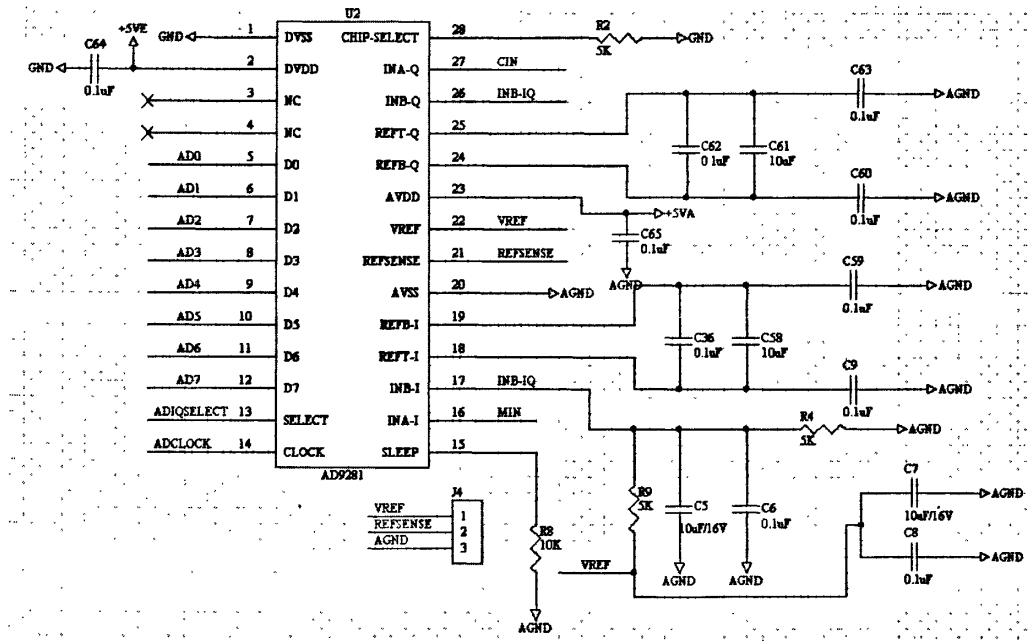


图 4.8 AD模块电路图

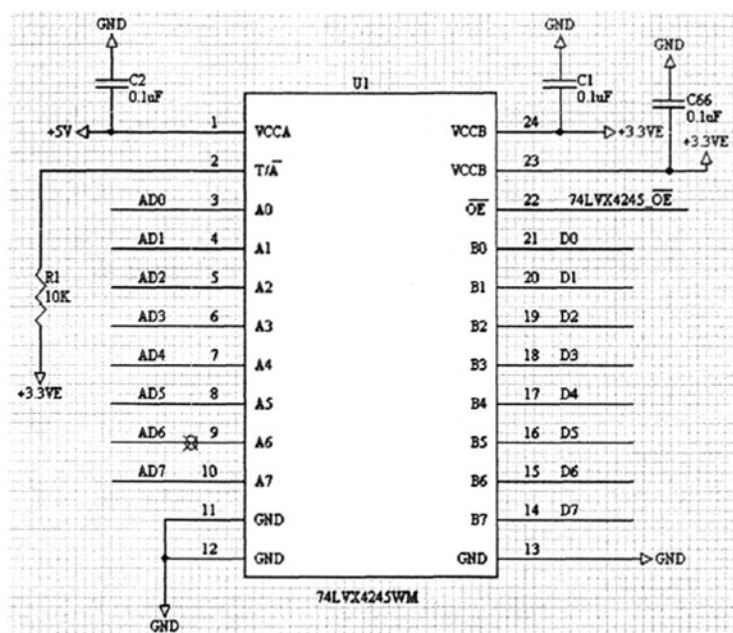


图 4.9 74LVX4245接口电路

在图4.9中， \overline{OE} 是输出使能信号，由CPLD控制；AD0~AD1是AD采样后输出的数字信号，电平一般大于+3.3V，在经过74LVX42545芯片处理后从D0~D7输出，电平小于+3.3V，然后输出给DSP进行处理。图4.10是AD对实验箱底板产生的频率为557.6K的正弦波采样后在CCS环境下得到的波形。

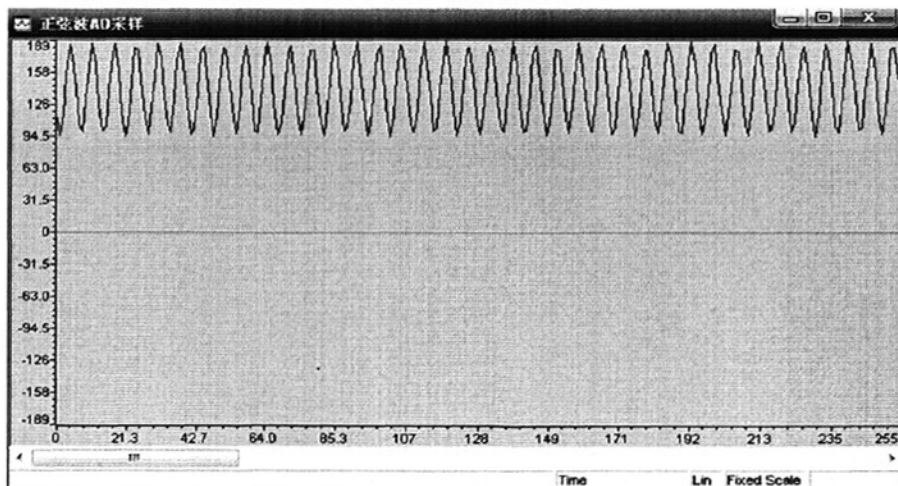


图 4.10 AD采样波形图

4.5 DA 模块的设计

由于本实验模块中要进行调制实验，输出信号为模拟信号，因此需要用到DA转换器。在本实验模块中，选用的DA芯片是美国模拟器件公司（Analog Devices）的AD9708。该芯片分辨率为8位，最高采样率可达125MSPS。DA模块部分的电路图4.11所示。

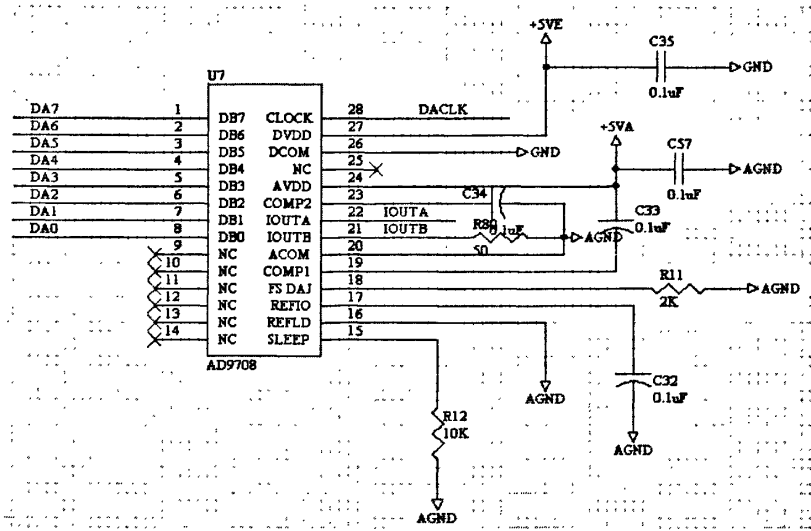


图 4.11 DA模块电路图

在图4.11中，DA芯片的电源引脚DVDD和AVDD分别接+5V的电压，待处理的数字信号由DA0~DA7由输入，然后由IOUTA引脚输出。在本实验模块中，还用到了数据锁存芯片74LVC373A。74LVC373A是一款具有三态输出的D类数据锁存器，能被+3.3V或者+5V的输入信号驱动，输出信号的电压值小于+3.3V^[32]，其电路图如图4.12所示。

在接口方式上，DSP的输出引脚连接在74LVC373A的输入引脚D0~D7上，然后再由74LVC373A转接至DA芯片的数据输入口DA0~DA7。74LVC373A由CPLD逻辑控制，因此为了减少功耗，在没有数据输出的情况下，74LVC373A处于高阻态；当有数据需要输出时，将74LVC373A打开，数字信号由DSP输出至74LVC373A，然后再经过DA转化为模拟信号输出。

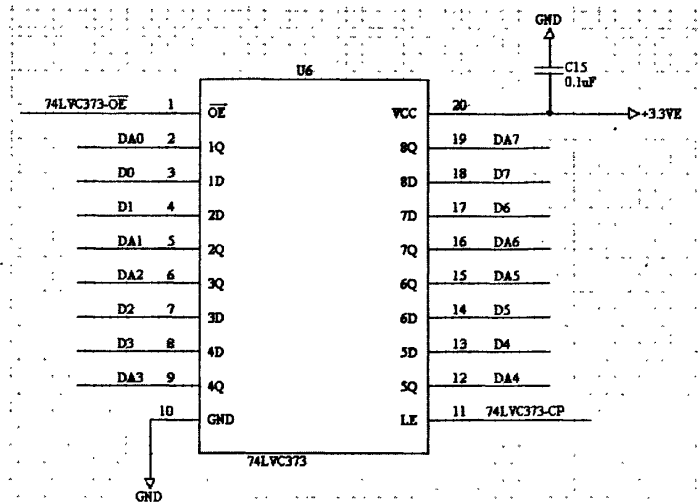


图4.12 74LVC373A接口电路

根据图4.12可知,由DSP进行算法处理过的数字信号通过D0~D7引脚输入74LVC373A芯片中。 \overline{OE} 和LE分别是输出使能信号和锁存使能信号,由CPLD逻辑控制。当LE为高电平时,允许D0~D7中的数据从DA0~DA7输出;当LE为低电平时,D0~D7中的数据被锁存在芯片中。 \overline{OE} 引脚控制8位数据输出的逻辑状态,当 \overline{OE} 为低电平时,输出数据为高低电平的逻辑状态;而当 \overline{OE} 为高电平时,输出数据为高阻状态^[32]。数据输出后,再经过适当的滤波和放大电路,由二号孔输出。图4.13是在测试时用程序编写产生并通过DA输出的频率为20KHz的正弦波。

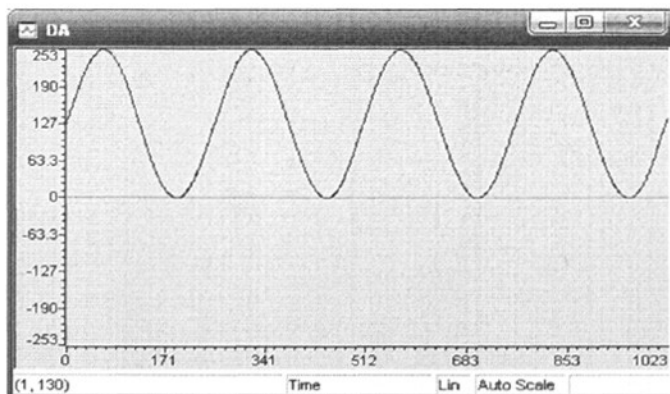


图4.13 DA输出波形图

4.6 Flash 模块的设计及 DSP 自举加载过程的实现

本实验模块作为基于 DSP 的嵌入式系统,在最初调试程序的时候,可以在 CCS 集成开发环境下通过 JTAG 线缆实现 DSP 系统与 PC 机的通信,进而完成系统的调试工作。但是当系统调试完成后,系统需要脱离开发环境并可以在重新上电后自动运行功能程序。而当 DSP 系统掉电以后,其内部 RAM 中的程序和数据将全部丢失,故目前 DSP 系统中常用 Flash 存储器来保存程序和数据。即在 DSP 上电后,DSP 自动执行一个称为 Boot 的程序,将外部 Flash 中固化的程序读入 DSP 内部的高速 RAM 程序区中运行^[33],使得系统能在脱离仿真器的模式下正常工作,这个过程称为自举加载(Bootload)。

在本实验模块中,选用的 Flash 存储器是 AMD 公司的 Am29LV160DB 芯片,通过最常用的并行方式,对 DSP 进行自举加载。该芯片的存储容量可达 $1M \times 16\text{Bit}$,最快存储速度可达 70ns,最少可以进行 1000000 次写入,工作电压可调,可在 3.0V~3.6V 之间进行读写,并能够与工作电压为 3.3V 的微处理器直接相连,方便系统的电源设计。值得注意的是,该芯片的存储空间是以扇区的形式存在的,共分为 35 个扇区,扇区的选择由其地址线 A12~A19 决定,其中第 0 个扇区 SA0 的存储空间为 8K 字,第一个和第二个扇区 SA1、SA2 的存储空间均为 4K 字,其余的 32 个扇区的存储空间均为 32K 字^[21]。该模块的电路图如图 4.14 所示。

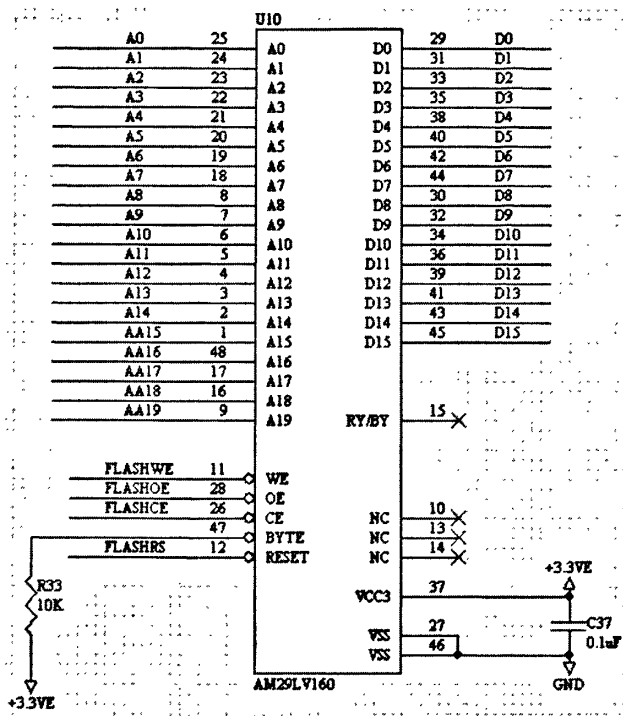


图 4.14 Flash 模块电路图

具体设计为：Flash 的地址线 A0~A14 与 DSP 的地址线 A0~A14 相连，Flash 的数据线 D0~D15 与 DSP 的数据线 D0~D15 相连，将 Flash 的 BYTE 引脚接高电平使之处于字模式，RY/BY 悬空，地址线 A15~A19、片选信号 CE、输出使能信号 OE、写使能信号 WE 和复位信号 RESET 均由 CPLD 给出。Flash 与 DSP 和 CPLD 的硬件接口电路如图 4.15 所示。

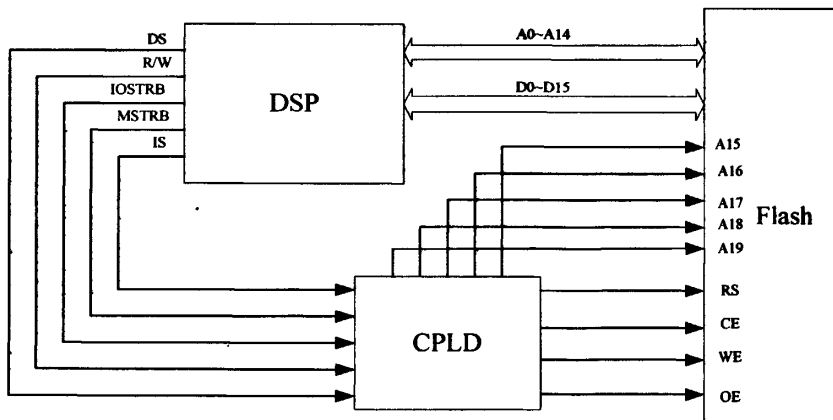


图4.15 Flash与DSP和CPLD的硬件接口电路

图 4.16 给出了 Flash 的读写时序，根据该时序，在 CPLD 中可以编写 VHDL 语言代码对其读写过程进行控制，并对存储空间进行选择。

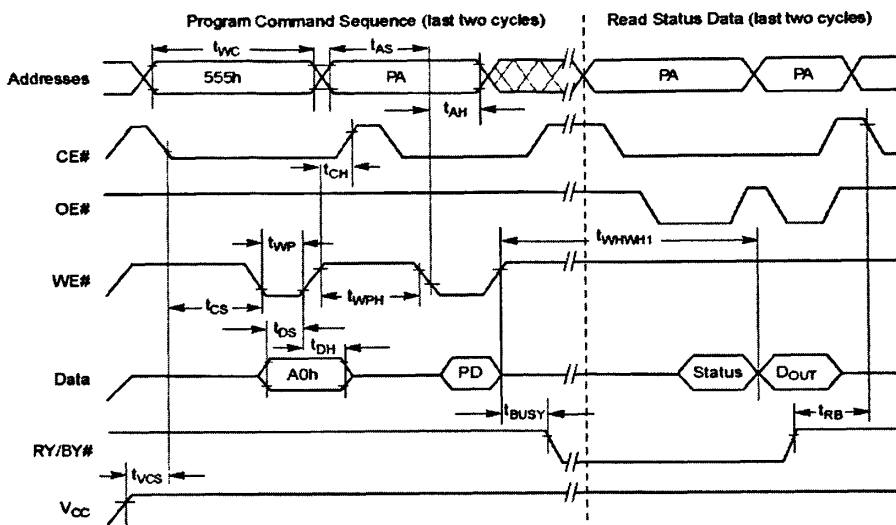


图 4.16 Flash 的读写时序

CPLD 中的代码如下所示：

```

FLASHRS<=RESET;
FLASHWE<='0' when R/W='0' and MSTRB='0'
else '1';
FLASHOE<='0' when R/W='1'and MSTRB='0'
else '1';
FLASHCE<='0' WHEN DS='0'
ELSE '1';
A15<='1';
A16<='0';
A17<='0';
A18<='0';
A19<='0';
    
```

其中，R/W、MSTRB、DS 分别为 DSP 的读写信号、存储器空间选通信号、数据空间选择信号。根据参考文献[21]，结合以上代码，可以确定本实验模块中所使用的 Flash 芯片的存储空间为第 4 扇区的 32K 字空间，地址范围为 0x08000~0x0FFFF。对 TMS320VC5416DSP 来说，其片内数据存储空间的 0x8000~0xFFFF 可以扩展为外部存储空间，用于程序的固化。因此，Flash 被选择的扇区刚好与 DSP 的可外扩数据存储空间构成映射，空间大小也相吻合，以便顺利实现 DSP 的自举加载。

在实现 DSP 的自举加载之前，很重要的一步就是 Boot 表的生成。Boot 表实际上就是在 CCS 集成开发环境下，将某个具体的工程文件经过编译、加载之后生成的可执行文件 (.out) 按照加载引导方式设置生成的十六进制文件 (.hex)，最

后再将其转化为名称为 dsp.h 的头文件，用于 Flash 的烧写。

其具体过程为：在对工程文件进行编译之前，在 CCS 中使用编译选项 -v548，这样通过编译和加载后就可以得到 .out 和 .map 两个文件。同时要制作一个加载引导设置文件 main.cmd，设置好烧写文件的输入、输出名称和格式等其他信息。将上述三个文件 (.out、.map、main.cmd) 和 CCS 自带的工具 HEX500.exe 以及 HEX_DAT.EXE 放在同一个文件夹中，进入 DOS 下，运行 HEX500 main.cmd 后回车，得到文件 DSP.hex，也就是 Boot 表。然后再双击运行 HEX_DAT.EXE，得到 dsp.h 这个头文件，用于最后 Flash 的烧写。图 4.17 为 Flash 在烧写之前其存储空间被初始化后的内容，图 4.18 为 Flash 在烧写成功之后其存储空间被固化的内容，且该内容与 dsp.h 的头文件中内容一致。

0x8000:	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF
0x800A:	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF
0x8014:	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF5	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF
0x801E:	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF
0x8028:	0xFFFF5	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF
0x8032:	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF5	0xFFFF	0xFFFF	0xFFFF
0x803C:	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF
0x8046:	0xFFFF	0xFFFF	0xFFFF5	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF
0x8050:	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF5	0xFFFF
0x805A:	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF
0x8064:	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF5	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF
0x806E:	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF
0x8078:	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF
0x8082:	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF5	0xFFFF	0xFFFF	0xFFFF	0xFFFF
0x808C:	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF
0x8096:	0xFFFF	0xFFFF	0xFFFF5	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF
0x80A0:	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF5	0xFFFF
0x80AA:	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF
0x80B4:	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF5	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF
0x80BE:	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF
0x80C8:	0xFFFF5	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF
0x80D2:	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF	0xFFFF5	0xFFFF	0xFFFF	0xFFFF	0xFFFF

图 4.17 Flash 存储空间被初始化后的内容

0x8000:	0x10AA	0x7FFF	0xF800	0x0000	0x1B4E	0x1E0E	0x0000	0x0100	0x4A15	0x7711
0x800A:	0x0058	0x7681	0x0000	0x6081	0x0001	0xF820	0x0100	0x6081	0x0001	0xF830
0x8014:	0x0109	0x7681	0xA7FB	0x8A11	0xFC05	0x4A11	0x7711	0x0058	0x7681	0x0000
0x801E:	0x6081	0x0001	0xF820	0x011E	0x6081	0x0001	0xF830	0x011A	0x7681	0x77FB
0x8028:	0x8A15	0xFC00	0x4A11	0xEEFC	0xF495	0x7600	0x0000	0x7601	0x0000	0x7602
0x8032:	0x0000	0x7711	0x003C	0x7681	0x00FF	0x7711	0x0035	0x7681	0x00FF	0xF7BB
0x803C:	0x7711	0x001D	0x6881	0x0020	0x7711	0x0028	0x7681	0x3FFF	0x7711	0x0058
0x8046:	0x7681	0x0000	0x6085	0x0001	0xF820	0x0148	0x6081	0x0001	0xF830	0x0144
0x8050:	0x7681	0x77FB	0x7711	0x0001	0x7681	0xFFFF	0x7711	0x003D	0x7685	0x0000
0x805A:	0x7600	0x0000	0xF7BB	0xF495	0x1000	0xF468	0xF478	0xF010	0x0003	0xF842
0x8064:	0x016E	0x74F8	0x0008	0x9008	0xF035	0x000F	0x8002	0x7601	0x0008	0x6B00
0x806E:	0x0001	0x1000	0xF468	0xF478	0xF010	0x0003	0xF843	0x015D	0xE80F	0x1802
0x8078:	0x80F5	0x3274	0x7681	0x00FF	0x60F8	0x3274	0x0001	0xF820	0x0183	0xF074
0x8082:	0x0100	0xF074	0x13BD	0xF074	0x02A8	0xF074	0x1775	0xF073	0x02A4	0x60F8
0x808C:	0x3274	0x0002	0xF820	0x0192	0xF074	0x0100	0xF074	0x13BD	0xF074	0x037F
0x8096:	0xF074	0x1775	0xF075	0x02A4	0x60F8	0x3274	0x0003	0xF820	0x01A1	0xF074
0x80A0:	0x0100	0xF074	0x13BD	0xF074	0x0497	0xF074	0x1775	0xF073	0x02A5	0x60F8
0x80AA:	0x3274	0x0004	0xF820	0x0180	0xF074	0x0100	0xF074	0x13BD	0xF074	0x05B4
0x80B4:	0xF074	0x1775	0xF073	0x02A4	0x60F5	0x3274	0x0009	0xF820	0x01D7	0xF074
0x80BE:	0x0111	0x7600	0x0000	0xF7BB	0xF495	0x1000	0xF468	0xF478	0xF010	0x0005
0x80C8:	0xF845	0x01D1	0xF074	0x163A	0xF074	0x0745	0x6B00	0x0001	0xF7BB	0xF495
0x80D2:	0x1000	0xF468	0xF478	0xF010	0x0005	0xF843	0x01C5	0xF074	0x1672	0xF074

图 4.18 Flash 存储空间在烧写成功后的固化内容

当完成 DSP 的自举加载之后，在脱离 PC 机的情况下，只要系统上电，Flash 中被固化的程序便会自动加载到 DSP 中的程序空间去运行，并能根据实验者所选择的拨码去进行对应的实验，从而达到脱机实验的目的。

4.7 本章小结

在本章中,较为详细的介绍了 CDMA2000 基带信号处理实验模块中各个功能子模块的硬件电路及其工作过程,包括电源模块、DSP 模块、CPLD 模块、AD 模块、DA 模块和 Flash 模块,并通过调试验证了设计的正确性。

第 5 章 基带信号处理算法的软件实现

在第 3 章中已经详细介绍了 CDMA2000 反向链路物理信道的结构和特性,为了更深入的让学生理解和掌握 CDMA2000 基带信号处理的一些关键技术,在本章中将其进行详细的阐述,并通过实验仿真,用实验结果来加强学生对基带信号处理算法的理解。

5.1 软件总体实现方案

通过对 CDMA2000 物理层反向链路各信道协议的分析 and 对比,可知各信道对基带信号进行处理的过程大体类似,主要区别在帧长和速率等方面,典型的基带信号处理技术主要有: CRC 编码、尾比特添加、卷积编码、符号重复、符号删除、块交织、Walsh 编码、长码扩频、短码加扰和 QPSK 调制等。其处理过程大致如图 5.1 所示:

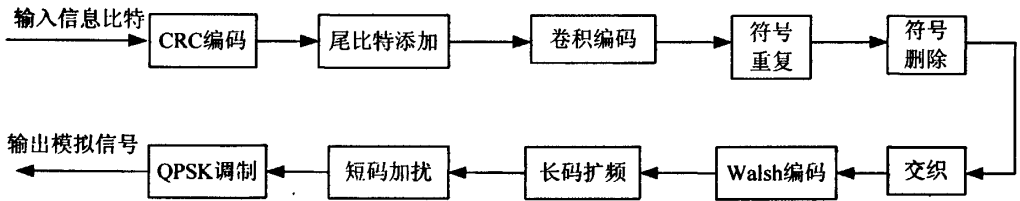


图 5.1 CDMA2000 基带信号处理流程图

由于本模块只是专用的实验模块,实验中的信号也不是真正的 CDMA2000 基带信号,因此进行实验的过程中,将对实际中制订的协议进行适当简化,具体情况将在后面说明。其中,在进行 QPSK 调制之前,由硬件电路对信号进行基带滤波;同时由于尾比特添加、符号重复和符号删除三个功能程序模块在算法实现上比较简单,故将其省略,其余过程均由软件在 DSP 中实现。

5.2 CRC 编码

5.2.1 CRC 校验基本概念

循环冗余校验 CRC (Cyclic Redundancy Check) 是一类重要的线性分组码,由于编码和解码方法简单、检错纠错能力强且误码率低,已广泛应用于移动通信、计算机通信、USB 接口、测控等领域,能有效降低通信线路传输的误码率,提高通信的质量。CRC 算法占用系统资源少,实现简单,校验能力很强,是进行数据传输差错控制的一种很好的手段。

CRC校验的过程可以简单描述为：在发送端，根据要传送的 k 位二进制码序列，以一定的规则产生一个校验用的 r 位监督码（CRC码），附在原始信息后边，构成一个新的二进制码序列，CRC码的格式如图5.2所示，共有 $k+r$ 位，然后发送出去；在接收端，根据信息码和CRC码之间所遵循的规则进行检验，以确定传送中是否出错。这种码的编码和解码设备都不太复杂，且检错能力较强。

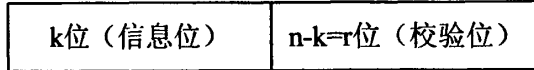


图 5.2 CRC码格式

在除法运算中，如果用被除数除以除数后所得的余数不为零，那么从被除数中减去余数后，所得结果可被除数除尽，循环冗余校验正是基于这一思想。采用CRC校验时，发送方和接收方事先约定一个生成多项式 $g(x)$ ，该生成多项式作为除数多项式，将要发送的数据比特序列作为一个多项式 $m(x)$ 的系数，该多项式为被除多项式，被除多项式 $m(x)$ 与除数多项式的余数多项式 $r(x)$ 的系数为循环冗余校验码（CRC码），它添加在要检测的二进制位串后边，形成发送码。数据链路将发送码发送到接收方后，接收方同样将其看成是一个多项式的系数序列，并用相同的生成多项式来除该多项式。若余数为零，则传输无差错；否则，传输有差错^[34]。

5.2.2 CRC 编码算法

采用CRC编码时，如果一个 k 位的二进制代码多项式为 $m(x)$ ，再增加 $r(x)$ 位的校验码，信息代码多项式在新的数据块中就表示成 $x^{n-k}m(x)$ 。如果将 $x^{n-k}m(x)$ 除以 $g(x)$ ，得商 $Q(x)$ 及余式 $r(x)$ ，写作：

$$x^{n-k}m(x) = Q(x)g(x) + r(x) \tag{5.1}$$

式中， $g(x)$ 是 $n-k$ 次多项式； $r(x)$ 的次数一定低于 $n-k$ 次。因此，系统循环码可通过如下步骤得到：

- (1) 将消息多项式 $m(x)$ 乘以 x^{n-k} 作为被除数；
- (2) 将 $g(x)$ 作为除数，进行模 2 多项式除法； $x^{n-k}m(x)$ 除以 $g(x)$ 得到余式 $r(x)$ ；
- (3) 模 2 除法所得的余式 $r(x)$ 即是所谓的 CRC 校验码。通常将 $r(x)$ 加到 $x^{n-k}m(x)$ 末端一起发送。

接收方校验时，以计算的校正结果是否为 0 为根据，判断信息是否出错。解码时可以用接收到的数据去除 $g(x)$ ，如果余数为零则传输正确，反之在传输过程中肯定存在错误。传输正确时，将接收到的二进制数据去掉尾部的 r 位，得到的就是原始信息^[34]。

5.2.3 CRC 编码的软件实现

CDMA2000 物理层各个信道的 CRC 生成多项式根据信息帧的位数不同而有

多种。这里列出各种位数 CRC 的生成多项式^[15]：

$$16 \text{ 比特 CRC 生成多项式为: } g(x) = x^{16} + x^{15} + x^{14} + x^{11} + x^6 + x^5 + x^2 + x + 1 \quad (5.2)$$

$$12 \text{ 比特 CRC 生成多项式为: } g(x) = x^{12} + x^{11} + x^{10} + x^9 + x^8 + x^4 + x + 1 \quad (5.3)$$

$$10 \text{ 比特 CRC 生成多项式为: } g(x) = x^{10} + x^9 + x^8 + x^7 + x^6 + x^4 + x^3 + 1 \quad (5.4)$$

$$8 \text{ 比特 CRC 生成多项式为: } g(x) = x^8 + x^7 + x^4 + x^3 + x + 1 \quad (5.5)$$

$$6 \text{ 比特 CRC 生成多项式为 (除配置为 RC1 和 RC2 前向业务信道外的所有前向和反向链路): } g(x) = x^6 + x^5 + x^2 + x + 1 \quad (5.6)$$

$$6 \text{ 比特 CRC 生成多项式为 (配置为 RC1 和 RC2 的前向业务信道): } g(x) = x^6 + x^2 + x + 1 \quad (5.7)$$

由于 CRC 编码过程基本一致，只有位数和生成多项式不一样，因此为了便于实验者观察，本实验模块中采用的生成多项式为 4 比特的 CRC 生成多项式：

$$g(x) = x^4 + x + 1 \quad (5.8)$$

其对应的序列为 10011。在本实验模块的软件中，默认采用 8 比特的数据串 11001100 作为本实验模块整套算法的初始信息帧，进行算法处理后一般在实验结果的后面添加 8 位数据 11110000 作为帧尾（Walsh 编码后添加 11111111 作为帧尾），便于实验者识别每帧信号。

从理论分析可知，CRC 编码实际上是一个循环移位的模 2 运算。对 N 位的 CRC 编码，需在开始时假设有一个 (N+1) 比特的寄存器 reg1 且其值全为 1，用来存放信息数据，另一 (N+1) 比特的寄存器 reg2 用来存放生成多项式的二进制序列，通过对 reg1 中的数据反复移位及与 reg2 中对应位进行异或运算，最终该寄存器中的值去掉最高位就是 CRC 码。图 5.3 是 DSP 中 CRC 编码部分功能程序的流程图。

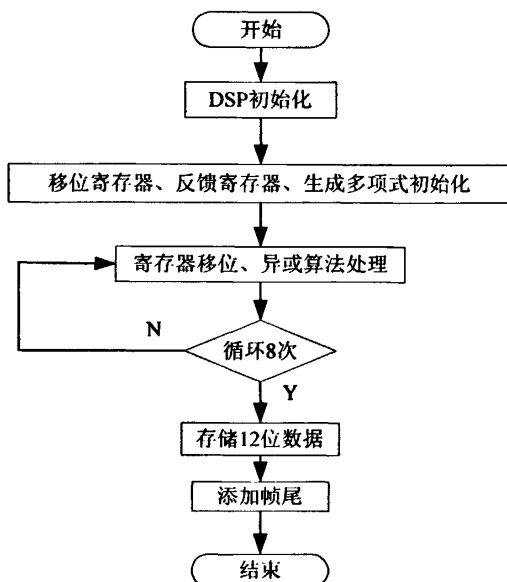


图 5.3 CRC 编码流程图

在输入信息帧为 11001100 的情况下，通过软件编程，得到的输出结果为 11001100 000111110000，其中 0001 即为 CRC 码，图 5.4 为 CCS 环境下得到的输出结果，图 5.5 为示波器中可以观察到的输出结果（上部信号为 CRC 编码信号，下部为位同步信号）。



图 5.4 CCS 环境下的 CRC 编码结果

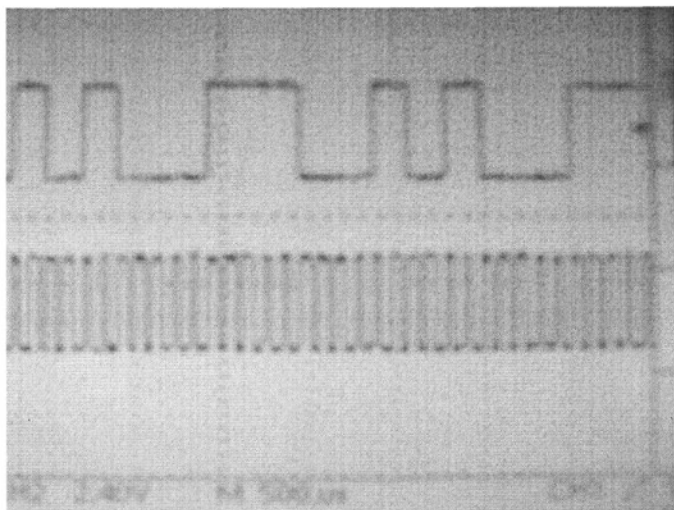


图 5.5 示波器中的 CRC 编码结果

5.3 尾比特添加

在 CDMA2000 的物理信道中，所有需要进行尾比特添加的信道，都是在每帧信号尾部添加 8 个 0，从而为下一功能模块进行卷积编码作准备。在本实验模块的软件编写中，考虑到数据量的大小和实验结果观察的效果，不进行实际的尾比特添加，即省去每帧信号后面的 8 个 0，将 CRC 编码后的信息帧保持原样。

5.4 卷积编码

5.4.1 卷积编码的基本概念

卷积编码是一种常用的实现前向差错控制（FEC）的差错控制编码方案，其构造简单、性能优越，在现代通信系统中得到了非常普遍的应用^[35]。卷积编码是

P.Elias于1955年发明的一种非分组码^[36]。它通常用 (n, k, N) 表示,是把 k 个信息比特编成 n 个信息比特,但 k 和 n 通常很小,特别适宜于以串行方式传输信息,延时小。 N 为编码约束长度,说明编码过程中互相约束的码段个数。卷积编码后的 n 个码元不仅与当前组的 k 个信息比特有关,而且与前 $N-1$ 个输入组的信息比特有关。编码过程中相互关联的码元有 $N \times n$ 个。 $R = k/n$ 是卷积码的效率,码率和约束长度是衡量卷积码的两个重要参数^[37]。卷积编码器的一般形式如图5.6所示。

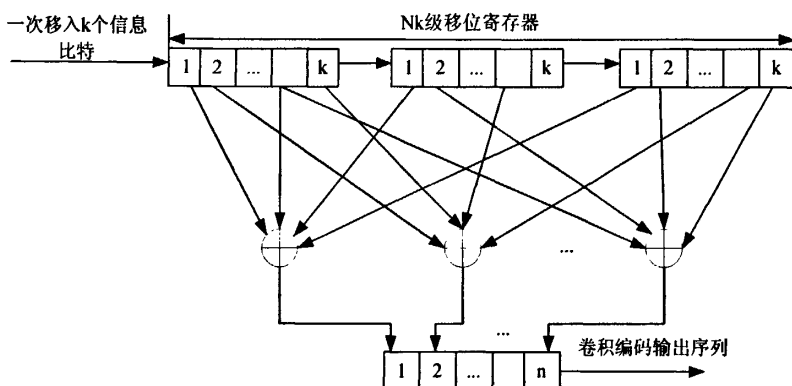


图 5.6 卷积编码器的一般形式

5.4.2 卷积编码算法

卷积编码的产生同样也需要生成序列。 m 级 n 维生成序列集通常可以按如下方式描述:

$$g_i^{(j)} = (g_{i,0}^{(j)}, g_{i,1}^{(j)}, \dots, g_{i,m}^{(j)}) \quad (5.9)$$

其中 $i=1,2,\dots,k$ 表示输入端数, $j=1,2,\dots,n$ 表示模2加法器数(输出端数)。

方程(5.9)也可以以多项式的形式表达为:

$$g_i^{(j)}(D) = \sum_{\lambda=0}^m g_{i,\lambda}^{(j)} D^\lambda \quad (5.10)$$

其中 D 是时延操作符,数据序列时延等于编码器存储阶数,每一项 D 的幂对应于该项的单位时延数。每个生成序列直接从编码器级到各自模2加法器的连接序列确定,1表示连接,0表示断开。每个生成序列包含 $m+1$ 位二进制数。如果每次信息序列 $d^{(i)}=(d_0^{(i)}, d_1^{(i)}, d_2^{(i)}, \dots)$ 输入编码器1比特,那么编码器输出序列 $c^{(j)}=(c_0^{(j)}, c_1^{(j)}, c_2^{(j)}, \dots)$ 可以通过合并 $d^{(i)}$ 和 $g_i^{(j)}$ 离散卷积得到,即:

$$c^{(j)} = \sum_{i=1}^k d^{(i)} \times g_i^{(j)}, \quad j=1,2,\dots,n \quad (5.11)$$

其中

$$c_\lambda^{(j)} = \sum_{l=0}^m \sum_{i=1}^k d_{\lambda-l}^{(i)} g_{i,l}^{(j)}, \quad l=0,1,\dots,\lambda \quad (5.12)$$

5.4.3 卷积编码的软件实现

卷积码需要选择约束长度和编码速率。约束长度应尽可能大，以便获得良好的性能。然而随着约束长度的增加，解码器的复杂性也增加了。现代VLSI的实现已经可获得约束长度为9的卷积码，因此，在CDMA2000中使用的所有卷积码的约束长度都为9。反向链路中的所有信道的信息在传输前都要进行卷积编码，编码速率可为1/2、1/3和1/4。

编码速率为1/3的卷积码的生成序列集为 $g_0=557$ （八进制）、 $g_1=663$ （八进制）和 $g_2=711$ （八进制）^[15]。即每次编码器输入一位数据，编码器输出就产生三位编码符号。编码速率为1/3的卷积编码器结构如图5.7所示。

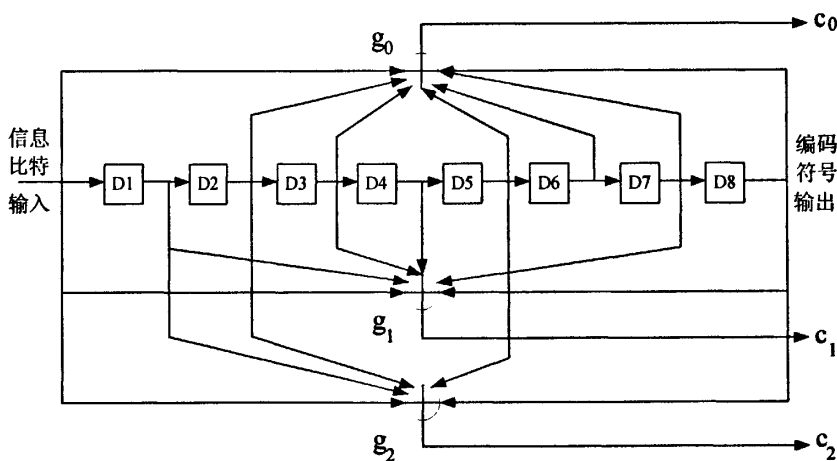


图 5.7 $K=9, r=1/3$ 卷积编码器

卷积编码器中移位寄存器的初始状态全为0。经过编码的符号从 c_0 、 c_1 和 c_2 输出，先输出 c_0 ，再输出 c_1 ，最后输出 c_2 。其中 c_0 为信息比特输入与 D_2 、 D_3 、 D_5 、 D_6 、 D_7 、 D_8 相异或的结果； c_1 为信息比特输入与 D_1 、 D_3 、 D_4 、 D_7 、 D_8 相异或的结果； c_2 为信息比特输入与 D_1 、 D_2 、 D_5 、 D_8 相异或的结果。寄存器输入一次移位，信息比特输入 D_1 。

在本实验模块中的实际算法中，为了减少数据量便于观察实验结果，将编码器生成序列简化为： $g_0=110$ （二进制）、 $g_1=101$ （二进制）和 $g_2=111$ （二进制）。即将CRC算法中用到的寄存器的数目简化为 D_1 、 D_2 和 D_3 这三个，其中 c_0 为信息比特输入与 D_1 和 D_2 相异或的结果； c_1 为信息比特输入与 D_1 、 D_3 相异或的结果； c_2 为信息比特输入与 D_1 、 D_2 和 D_3 相异或的结果，如图5.8所示。同时将卷积编码后得到的输出结果110011000001作为卷积编码算法的输入信息帧，于是可以通过计算得到卷积编码的结果。

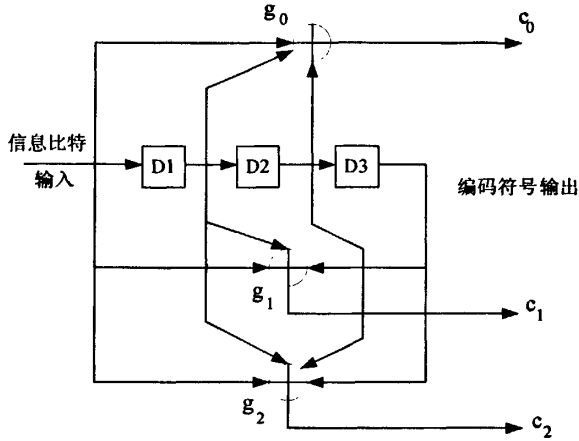


图 5.8 实验模块算法中简化的卷积编码器

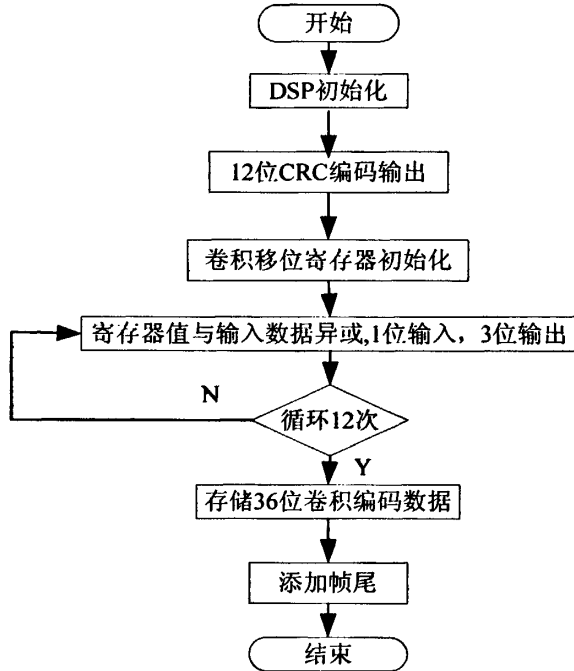


图 5.8 卷积编码流程图

在输入的数字信息帧为 110011000001 的情况下，通过运行程序，将寄存器中的内容移位 12 次，可以得到输出的编码符号为：111、010、110、011、111、010、110、011、000、000、000、111。即：

$$c_0 = (101010100001)$$

$$c_1 = (111111110001)$$

$$c_2 = (100110010001)$$

于是卷积编码输出的36位结果为：

11101011001111101011001100000000111

在CCS集成开发环境下得到卷积编码输出的图形如图5.9所示。为了方便实验者观察，同样在输出的编码符号序列后添加11110000八位数字码元作为帧尾，示波器中观察到的卷积编码结果如图5.10所示，其中上部为卷积编码结果，下部为位同步信号。

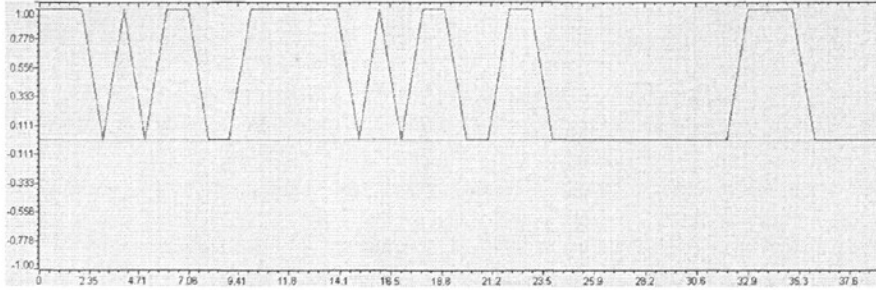


图 5.9 CCS中的卷积编码结果

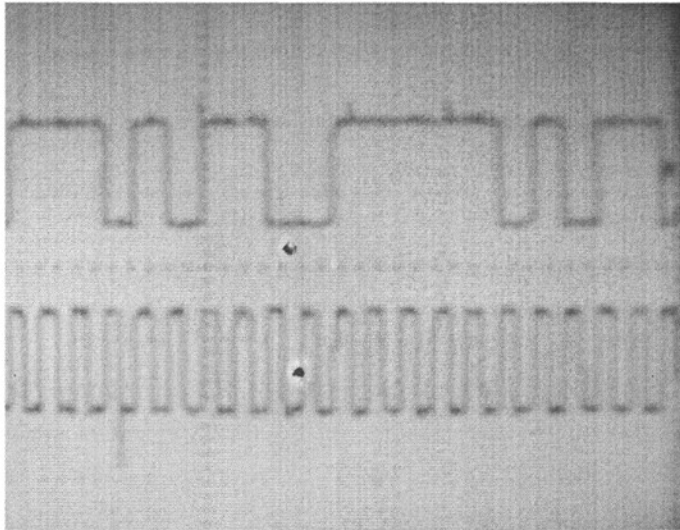


图 5.10 示波器中的卷积编码结果

5.5 符号重复与符号删除

符号重复的目的是使速率可变的信道一帧数据的长度与后面交织器的交织长度保持一致，该交织器的长度是与同一速率组中最高速率的信道传输一帧的长度相一致的。同时也使得同一速率组中的信道传输在交织前达到速率匹配。符号重复可通过选用速率为卷积编码器时钟速率相应整数倍的时钟读取数据来实现。

符号删除的目的是使得速率可变的信道所传输一帧的数据在进入交织器前与交织器长度达到一致，它的作用与符号重复是类似的。符号删除的删除方式及删除率在第三章的信道特性中已经给出。删除方式中，“1”表示对应位保留，“0”表示对应位删除^[38]。

在本实验模块的软件编写中，考虑到数据量的大小和实验结果观察的效果，

不进行实际的符号重复与符号删除，将卷积编码后的信息帧保持原样，然后再进行块交织。

5.6 块交织

5.6.1 交织技术的基本概念和算法

当移动通信信道出现深衰落时，数字信号的传输可能出现成串的突发差错。一般的差错编码（如卷积码）只能纠正有限个错误，对于大量的突发误码无能为力。码分多址系统采用交织编码和卷积编码结合的方式来纠正突发错误。交织的目的是把一个较长的突发差错离散成随机差错，使得纠错编码技术更容易纠正^[1]。

交织编码根据交织方式的不同，可分为线性交织、卷积交织和伪随机交织。其中线性交织编码是一种比较常见的形式，所谓线性交织编码器，是指把纠错编码器输出信号均匀分成 m 个码组，每个码组由 n 段数据构成，这样就构成一个 $n \times m$ 的矩阵，称为交织矩阵。如图 5.11 所示，数据以 $a_{11}, a_{12}, \dots, a_{1n}, a_{21}, a_{22}, \dots, a_{2n}, \dots, a_j, \dots, a_{m1}, a_{m2}, \dots, a_{mn}$ ($i=1, 2, \dots, m; j=1, 2, \dots, n$) 的顺序进入交织矩阵，交织处理后以 $a_{11}, a_{21}, \dots, a_{m1}, a_{12}, a_{22}, \dots, a_{m2}, \dots, a_{1n}, a_{2n}, \dots, a_{mn}$ 的顺序从交织矩阵中送出，这样就完成了对数据的编码^[39]。

$$\begin{pmatrix} a_{11} & a_{12} & \cdots & a_{1n} \\ a_{21} & a_{22} & \cdots & a_{2n} \\ \vdots & \vdots & & \vdots \\ a_{m1} & a_{m2} & \cdots & a_{mn} \end{pmatrix} \xrightarrow{\text{交织处理后}} \begin{pmatrix} a_{11} & a_{21} & \cdots & a_{m1} \\ a_{12} & a_{22} & \cdots & a_{m2} \\ \vdots & \vdots & & \vdots \\ a_{1n} & a_{2n} & \cdots & a_{mn} \end{pmatrix}$$

图 5.11 $n \times m$ 交织矩阵线性交织编码器

5.6.2 交织编码算法的软件实现

在 CDMA2000 的反向链路中，除了导频信道外，R-ACH、R-EACH、R-CCCH 和反向业务信道的数据流都要经过交织编码。对于配置为 RC1 和 RC2 的反向业务信道，它实际上是为了实现对 IS-95 的兼容而设置的，因此其交织算法也与 IS-95 中的算法相同。交织算法将形成一个 32 行 18 列的矩阵（576 个编码符号）。交织器将数据流按矩阵的列写入而按行输出。

在本实验中，为了便于观察实验结果，同时结合卷积编码后输出的信息帧为 11101011001111101011001100000000111，将交织矩阵（即交织存储器）简化为 9 行 4 列的形式，将 11101011001111101011001100000000111 按照交织矩阵的列写入，结果如表 5.1 所示。

表 5.1 信息帧按列存入交织矩阵

	1	2	3	4
1	1	0	1	0
2	1	1	1	0
3	1	1	0	0
4	0	1	0	0
5	1	1	1	0
6	0	1	1	0
7	1	0	0	1
8	1	1	0	1
9	0	0	0	1

然后按行输出，可得信息帧序列为：101011101100010011100110100111010001。

图 5.11 是在 DSP 中交织部分功能程序的流程图。

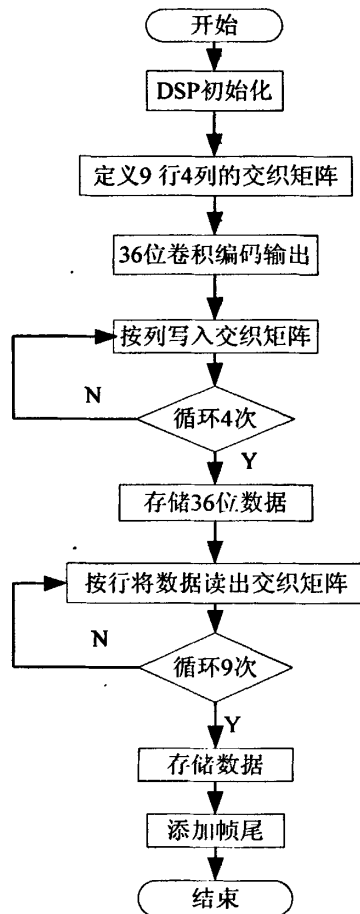


图 5.11 块交织编码流程图

在CCS集成开发环境下得到交织编码输出的图形如图5.12所示。为了方便实

验者观察，同样在输出的编码符号序列后添加11110000八位数字码元作为帧尾，示波器中观察到的交织编码结果如图5.13所示，其中上部为交织编码结果，下部为位同步信号。

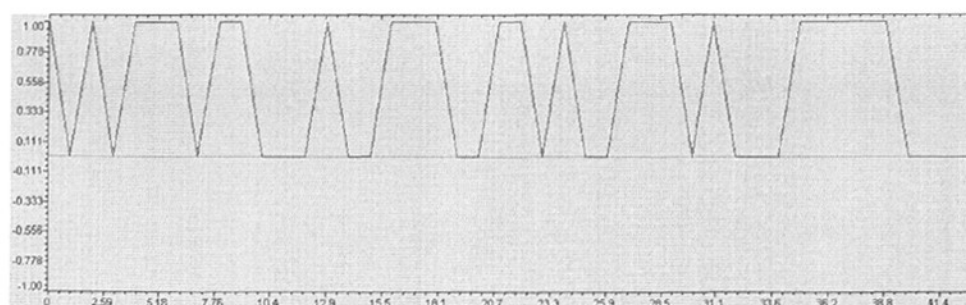


图 5.12 CCS 中的交织编码结果

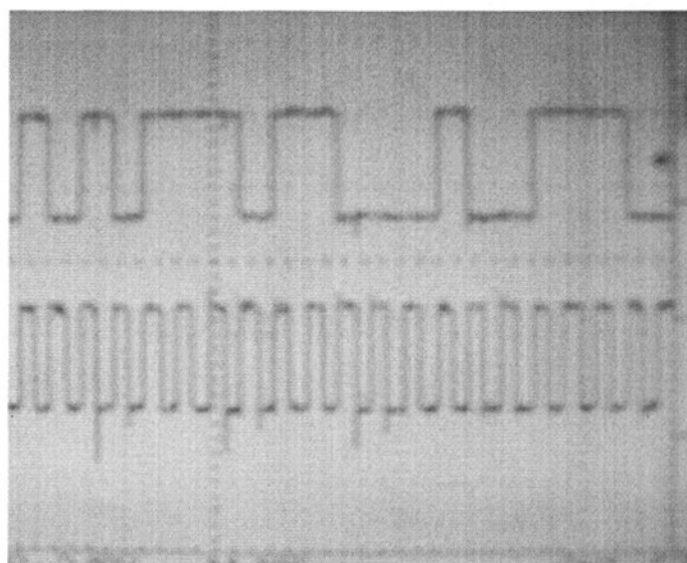


图 5.13 示波器中的交织编码结果

5.7 Walsh 编码

5.7.1 Walsh 函数的基本概念

J.L.Walsh 于 1923 年定义了归一化区间 $(0, 1)$ 上的一个完备、正交函数系统，称之为沃尔什函数即 Walsh 函数。Walsh 函数集是完备的非正弦正交函数集合，相应的离散 Walsh 函数简称为 Walsh 序列或 Walsh 码^[1]。根据参考文献[40]，可知 Walsh 函数系定义如下：

$$W_i(x) = \prod_{r=0}^{k-1} \text{sgn}[\cos j_r 2^r \pi x], \quad 0 \leq x < 1, \quad i = 0, 1, 2, \dots, 2^k - 1, \quad j_r = \sum_{l=0}^{r-1} j_l 2^l \quad (5.13)$$

其中： k 表示层数， k 层 Walsh 函数系含有 2^k 个 Walsh 函数； sgn 是符号函数， $\text{sgn}[x]$

当 $x > 0$ 时取值+1, $x < 0$ 时取值-1; 又 j_i 取值 0 或 1 是序数 j 的二进制码, j 为序数 i 的某种编码。 j 的不同编码将产生不同序的 Walsh 函数系。

5.7.2 Walsh 码序列的产生

Walsh 码序列的产生方法主要有以下几种: 1、使用莱德马契函数; 2、利用 Walsh 函数自身的对称性; 3、利用哈达玛矩阵 (Hadamard) 的行 (或者列) 构成^[1]。在本文中主要介绍第三种方法。

用符号 H_N 表示 $N \times N$ 的哈达玛矩阵, 哈达玛矩阵是由 0 和 1 (或者+1 和-1) 构成的正交方阵, 它的任意两行或者两列都是互相正交的。也就是说, 如果把行 (或列) 看成一个函数, 则任意两行或者两列的函数的互相关函数均为 0。 Walsh 序列可以采用如下的递归过程产生:

$$H_{2N} = \begin{pmatrix} H_N & H_N \\ H_N & \overline{H_N} \end{pmatrix} \quad (5.14)$$

其中 $N = 2^n$, $n = 1, 2, \dots$, $\overline{H_N}$ 为 H_N 的逻辑取反。例如:

$$H_1 = [0], \quad H_2 = \begin{pmatrix} H_1 & H_1 \\ H_1 & \overline{H_1} \end{pmatrix} = \begin{bmatrix} 00 \\ 01 \end{bmatrix}, \quad H_4 = \begin{pmatrix} H_2 & H_2 \\ H_2 & \overline{H_2} \end{pmatrix} = \begin{bmatrix} 0000 \\ 0101 \\ 0011 \\ 0110 \end{bmatrix}, \quad \dots$$

5.7.3 Walsh 编码的软件实现

对于 CDMA2000 反向信道, 在配置为 RC1 和 RC2 的反向业务信道, 正交 Walsh 函数被用来调制信息符号, 即每 6 位输入的码字符号 (c_0, c_1, \dots, c_5) 调制后编程输出一个 64 码片的 Walsh 序列, 即 H_{64} 矩阵中的某一行 $H_{64,j}$ 。输出的 Walsh 序列的序号按下式确定:

$$MSI = c_0 + 2c_1 + 4c_2 + 8c_3 + 16c_4 + 32c_5 \quad (5.15)$$

其中 MSI 是又称为调制符号指数; c_i , $0 \leq i \leq 5$, 代表每组来自块交织器编码后输出的 6 个二进制编码符号。每 6 个编码符号和一个调制符号相关联。

由于 H_{64} 是一个 64×64 的矩阵, 为了避免数据过多而影响实验者对实验结果的观察, 在本实验模块的软件中采用的是 8 阶的哈达玛矩阵, 把它当作实验中用到的 Walsh 函数。即:

$$H_8 = \begin{bmatrix} H_4 & H_4 \\ H_4 & \overline{H_4} \end{bmatrix} = \begin{bmatrix} 00000000 \\ 01010101 \\ 00110011 \\ 01100110 \\ 00001111 \\ 01101010 \\ 00111100 \\ 01101001 \end{bmatrix}$$

同时还将计算调制符号指数的公式简化为：

$$MSI = c_0 + 2c_1 + 4c_2 \tag{5.16}$$

即输入 3 位交织器编码符号，得到 8 位正交调制码片。同时为了区别于 H_8 中的码片序列 00001111，在本实验中每帧的帧尾由 11110000 改成了 11111111。之前的交织编码结果为 101011101100010011100110100111010001，那么经过公式 5.16 计算后可以得到 8 位 Walsh 编码后的数据（96 位）为：

011010100011110001101010000011110011001100111100
010101010110011001010101011010010011001100001111

图 5.13 是在 DSP 中 Walsh 编码部分功能程序的流程图。

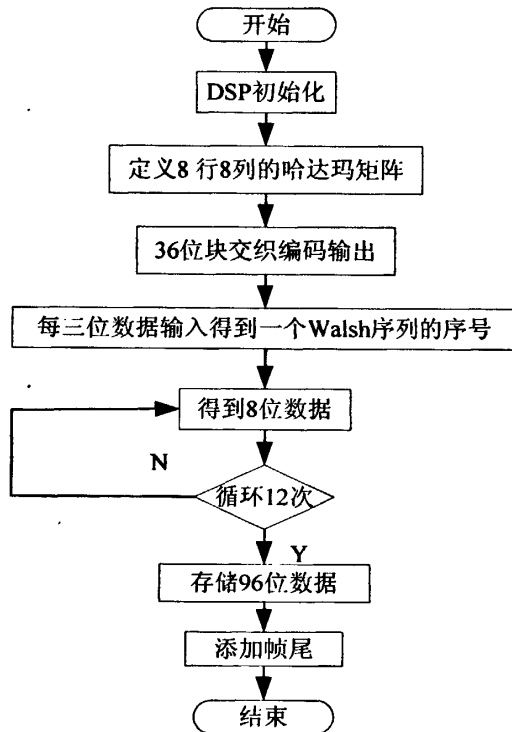


图 5.13 Walsh编码流程图

在CCS集成开发环境下得到Walsh编码输出的图形如图5.14所示。为了方便实

验者观察，同样在输出的编码符号序列后添加11111111八位数字码元作为帧尾，示波器中观察到的Walsh编码结果如图5.15所示，其中上部为Walsh编码结果，下部为位同步信号。

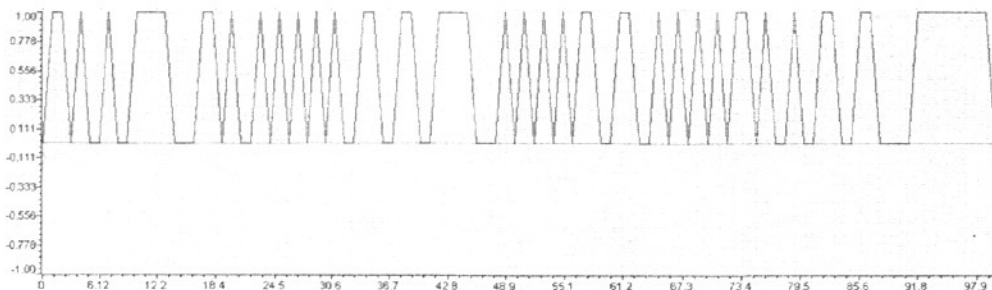


图 5.14 CCS 中的 Walsh 编码结果

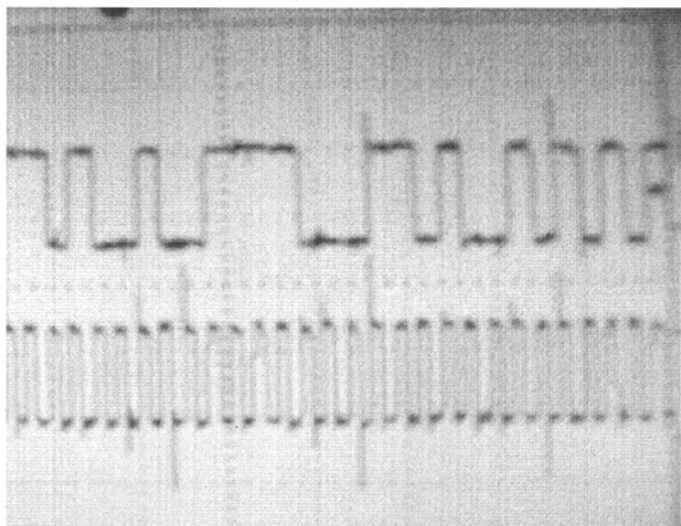


图 5.15 示波器中的 Walsh 编码结果

5.8 长码扩频

5.8.1 长码的产生

在 CDMA2000 移动通信系统的信道中，除了导频信道和同步信道外都使用长码进行加扰，该长码使得信号扩频后具有抗干扰性，同时在部分信道中具有区分基站和用户的功能，所以在信号的仿真和信号检测过程中，发送端和接收端必须构造长码信号^[41]。

在 CDMA2000 反向链路中，长码是周期为 $2^{42}-1$ 的码片伪随机 (PN) 序列，速率为 1.2288Mchip/s，它与掩码共同形成用户的识别码。长码的初始相位的不同构成不同的码型。长 PN 码由码片发生器的 LFSR (Linear Feedback Shift Register, 线性反馈移位寄存器) 抽头多项式 $p(x)$ 指定：

$$p(x) = 1 + x + x^2 + x^3 + x^5 + x^6 + x^7 + x^{10} + x^{16} + x^{17} + x^{18} + x^{19} + x^{21} + x^{22} + x^{25} + x^{26} + x^{27} + x^{31} + x^{33} + x^{35} + x^{42} \quad (5.17)$$

长码提供了有限的保密性。根据移动台的信道类型的不同，长码掩码也不一样。长码掩码由 42 位二进制序列组成，它能唯一标识长码。长码的每个 PN 码片由输入的 42 位掩码和序列生成式的 42 级 LFSR “与” 操作得到的结果进行模 2 求和而产生，如图 5.16 所示。

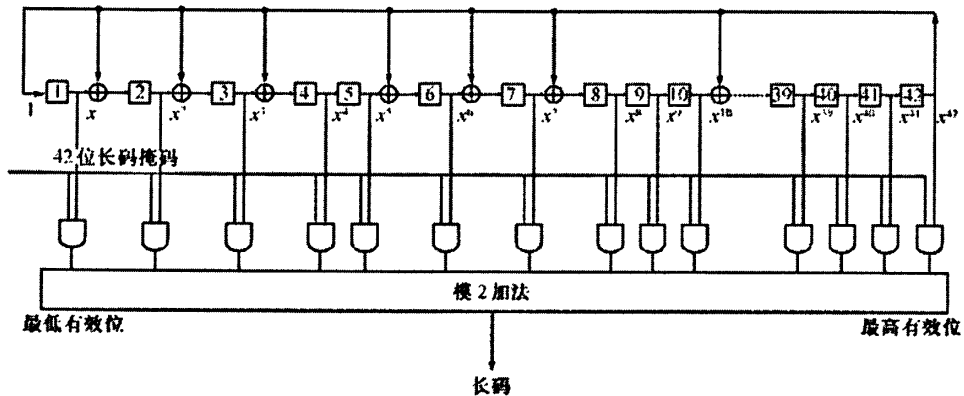


图 5.16 长码发生器

5.8.2 长码扩频原理

在通过长码发生器得到长码之后，将长码与 Walsh 编码后的信息帧进行模 2 运算，如图 5.17 所示。在实际协议中，由于 PN 码片速率为 1.2288Mc/s，Walsh 码片速率为 307.2kc/s，可以得到比率为：PN 码片/Walsh 码片 = $1.2288 \times 10^6 / 307.2 \times 10^3 = 4$ ，因此采取的方法是用一位 Walsh 码片与四位长码 PN 码片进行模 2 运算，当 PN 码片用完后循环使用，使之继续与 Walsh 码片进行模 2 运算，直至 Walsh 码片使用完毕，输出的结果即为长码加扰后的信息帧。

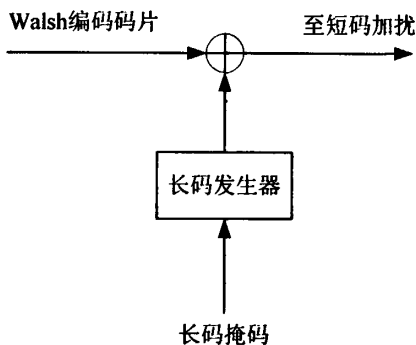


图 5.17 长码扩频原理图

5.8.3 长码扩频的软件实现

在本实验模块的软件中，长码掩码为随机定义的二进制数字序列，暂定为全0。由式 5.17 可以得到抽头多项式 $p(x)$ 的序列，然后根据图 5.16 产生 96 位长码，最后与 Walsh 编码后的信息帧进行模 2（数据比为 4：1）运算，最后得到长码扩频后的实验结果。图 5.18 是在 DSP 中长码产生和长码扩频部分功能程序的流程图。

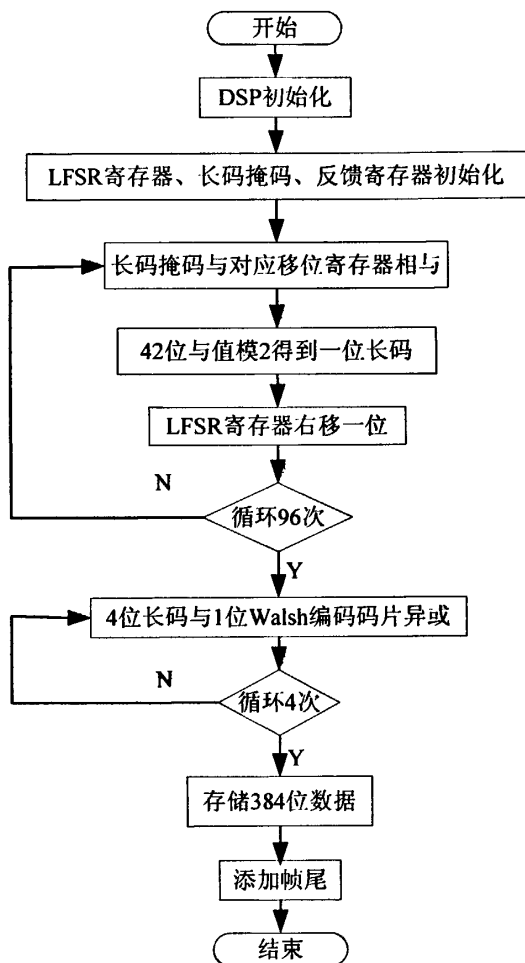


图 5.18 长码扩频流程图

由于 Walsh 码片数目为 96 位，实验过程中先让前 24 位 Walsh 码片与 96 位长 PN 码进行异或操作，然后循环使用长 PN 码片与接下来的 Walsh 码片继续异或，直至 Walsh 码片使用完毕，最后得到的是 $96 \times 4 = 384$ 位扩频码片。

在 CCS 集成开发环境下得到长码扩频后输出的图形如图 5.19 所示。为了方便实验者观察，同样在输出的编码符号序列后添加 11110000 八位数字码元作为帧尾，示波器中观察到的长码扩频结果如图 5.20 所示，其中上部为长码扩频结果，下部为位同步信号，由于信号速率较快，故有毛刺存在。

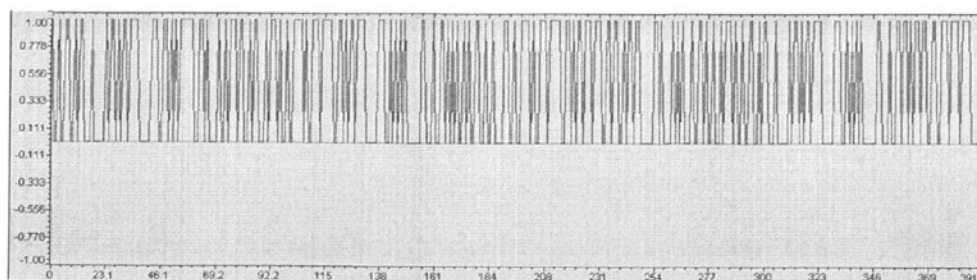


图 5.19 CCS 中长码扩频后的结果

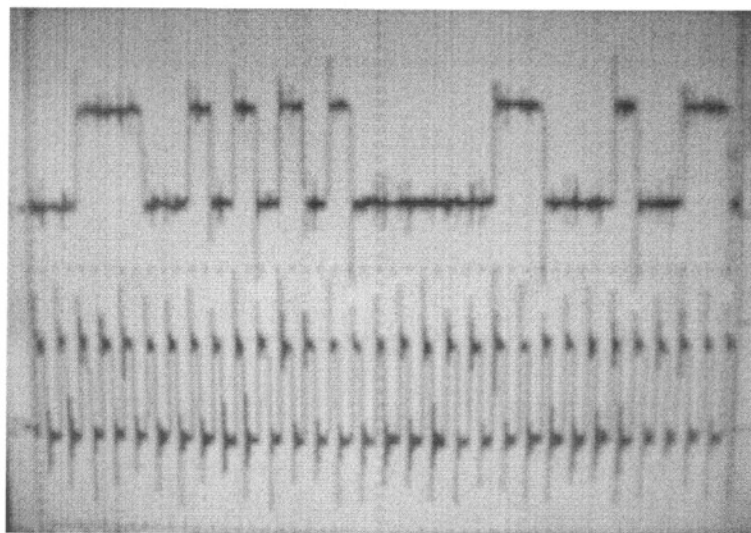


图 5.20 示波器中的长码扩频后的结果

5.9 短码加扰

5.9.1 短码的产生

CDMA 网络采用同频复用, 不需频率规划, 但需进行相邻小区导频 PN 序列的相位的规划, 即 PN 短码的规划。PN 短码的选择直接影响到 CDMA 系统的容量、抗干扰能力、接入和切换速度等性能^[42]。

CDMA2000 的 SR1 下 DS 方式及 SR3 下的 MC 方式所采用的 PN 码与 IS-95 的 PN 码相同。短 PN 码的周期为 2^{15} 个码片, 速率为 1.2288Mchip/s, 用于 QPSK 的 I、Q 支路的直接序列扩频, I、Q 支路的直接序列特征多项式分别为:

$$P_I(x) = 1 + x^5 + x^7 + x^8 + x^9 + x^{13} + x^{15} \quad (5.18)$$

$$P_Q(x) = 1 + x^3 + x^4 + x^5 + x^6 + x^{10} + x^{11} + x^{12} + x^{15} \quad (5.19)$$

短码的每个 PN 码片由序列生成式的 15 级 LFSR “与” 操作得到的结果进行模 2 求和而产生^[15], I 路和 Q 路短码发生器分别如图 5.21 和图 5.22 所示。

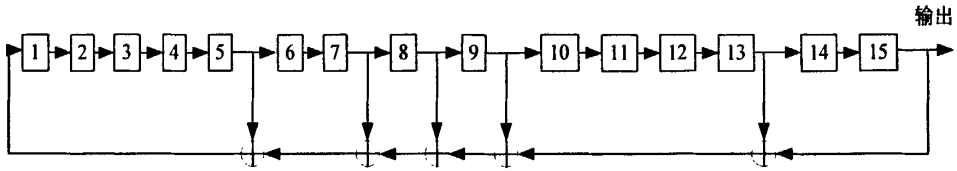


图 5.21 I 路短码发生器

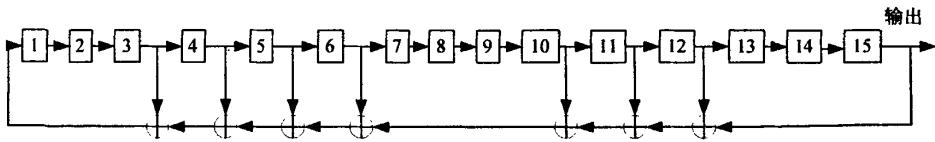


图 5.22 Q 路短码发生器

15 级移位寄存器的 m 序列周期为 $2^{15}-1$ ，插入一个全“0”状态后，形成的序列周期为 2^{15} 。

5.9.2 短码加扰原理

在通过短码发生器得到短码之后，将短码与长码直接序列扩展后的信息帧进行模 2 运算，如图 5.23 所示。在实际协议中，由于长码 PN 码片速率为 1.2288Mc/s，短码 PN 码片速率也为 1.2288Mc/s，因此采取的方法是用一位短码码片与一位长码 PN 码片进行模 2 运算，输出的结果即为短码加扰后的信息帧，然后输出进行硬件基带滤波后送 QPSK 调制。

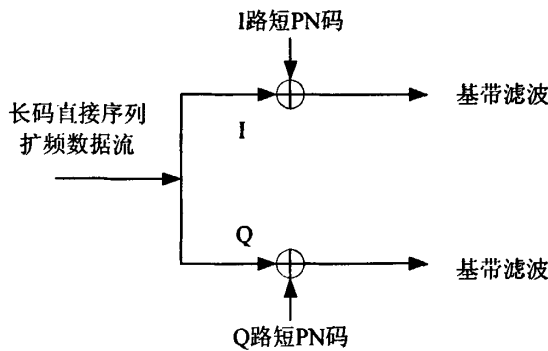


图 5.23 短码加扰原理图

5.9.3 短码加扰的软件实现

在本实验模块的软件中，I 路和 Q 路短码发生器中的移位寄存器初始值均定义为 100000000000000。由式 5.18 和 5.18 可以得到抽头多项式 $p_I(x)$ 和 $p_Q(x)$ 的序列，然后根据图 5.21 和图 5.22 产生 I 路和 Q 路码，最后与长码直接序列扩频后的信息帧进行模 2 运算，得到短码加扰后的实验结果。图 5.24 是在 DSP 中短码

产生和短码加扰部分功能程序的流程图。

在本实验中，考虑到实验的复杂程度，只利用短码发生器分别产生 96 位 I 路和 Q 路短 PN 码，因此也只使用长码直接序列扩频后产生信息帧 384 位码片中的前 96 位，两者相异或得到了 96 位的 I 路和 Q 路短码扩频信息帧。

在 CCS 集成开发环境下得到的短码加扰后输出的 I 路和 Q 路短码扩频信息帧，其波形分别如图 5.25 和图 5.26 所示。示波器中观察到的短码加扰结果如图 5.27 所示，其中上部为 I 路短码加扰信号，下部为 Q 路短码加扰信号，由于信号速率较快，故有毛刺存在。

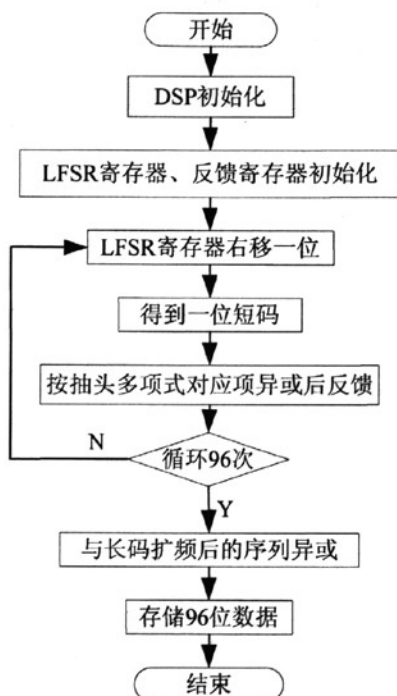


图 5.24 短码加扰流程图

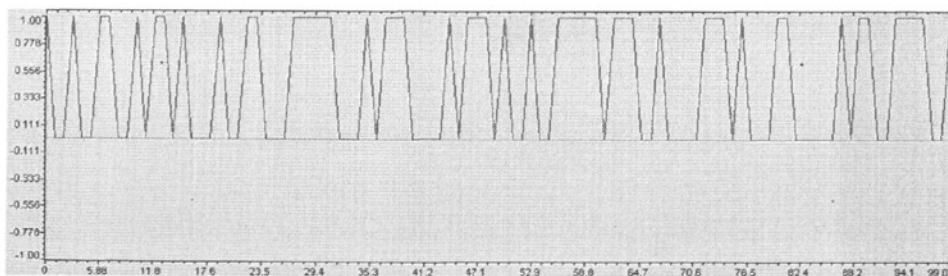


图 5.25 CCS 中的 I 路短码加扰后的信号

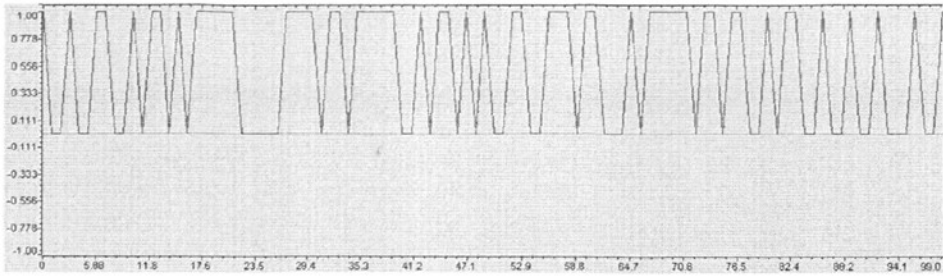


图 5.26 CCS中的Q路短码加扰后的信号

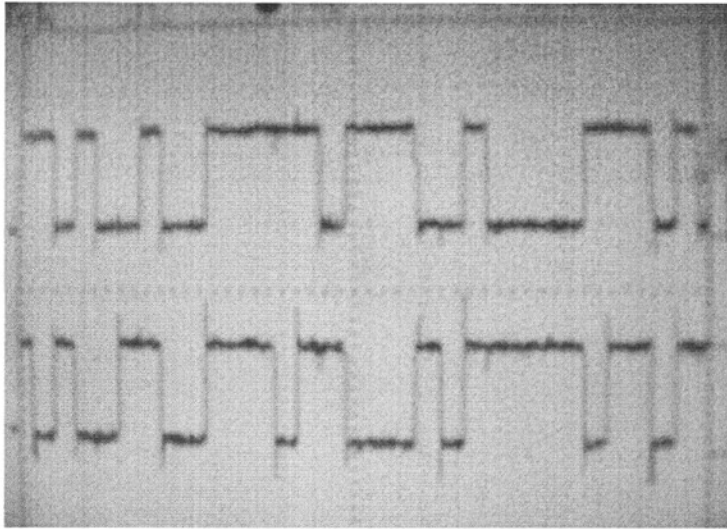


图 5.27 示波器中的I路和Q路短码加扰后的信号

5.10 QPSK 调制

5.10.1 QPSK 基本原理

QPSK 又称 4PSK，即四相相移键控。它具有一系列独特的优点，比如抗干扰能力强，在恒参信道下，QPSK 调制技术与 FSK、2PSK、ASK 调制技术相比，不但抗干扰能力强，而且更经济有效地利用频带，适合回传通道的技术要求，因此被广泛应用于无线通信中，成为现代通信中一种十分重要的调制解调方式^[43]。QPSK 是利用载波的 4 种不同相位来表征数字信息，每一种载波相位代表两个比特的信息^[44]。这四个相位通常相隔 $\pi/2$ rad，可以是 0 ， $\pi/2$ ， π 和 $3\pi/2$ ，或者是 $\pi/4$ ， $3\pi/4$ ， $5\pi/4$ 和 $7\pi/4$ ，它们分别代表对应的数字信息 00，10，11 和 01。

QPSK 信号的产生方法有正交调制法、相位选择法等等。相位选择法调制方框图如图 5.28 所示，采用的四个相位是 $\pi/4$ ， $3\pi/4$ ， $5\pi/4$ 和 $7\pi/4$ 。

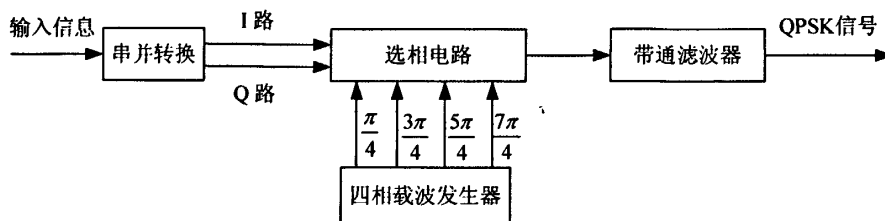


图 5.28 QPSK 调制原理图

在上图中，用数字信号去选择所需相位的载波，从而实现相移键控。载波发生器产生 4 种不同相位的正弦波，输入的数字信息经过串并转换变成双比特码，即 I 路和 Q 路两路信号。经过逻辑选择电路，每次选择其中一种作为输出，然后经过带通滤波器滤除高频分量后得到 QPSK 信号。

令 $s(t)$ 为 QPSK 波形，表达式为：

$$s(t) = I(t) \cos \omega_0 t + Q(t) \sin \omega_0 t \quad (5.20)$$

将 $I(t) = \sqrt{2} \cos \theta(t)$ 和 $Q(t) = \sqrt{2} \sin \theta(t)$ 代入上式后， $s(t)$ 变为：

$$s(t) = \sqrt{2} \cos(\omega_0 t - \theta(t)) \quad (5.21)$$

其中 $\theta(t) = \arctan \frac{Q(t)}{I(t)}$ ，由此我们可以得到 $\theta(t)$ 的相位值对应于 $I(t)$ 和 $Q(t)$ 的四种组

合，如表 5.2 所示^[13]：

表 5.2 I 路和 Q 路信号映射

	$\frac{\pi}{4}$	$\frac{3\pi}{4}$	$\frac{5\pi}{4}$	$\frac{7\pi}{4}$
$I(t)$	0	1	1	0
$Q(t)$	0	0	1	1

结合式 5.21，可以画出 QPSK 各个相位的脉冲波形图，如图 5.29 所示。

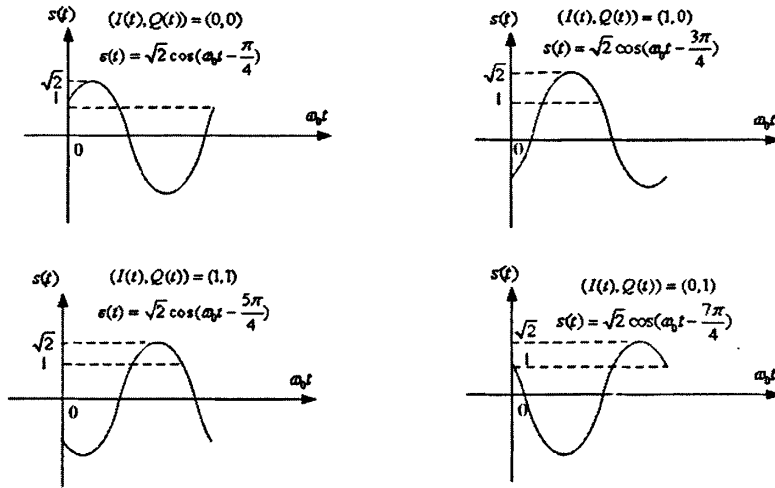


图 5.29 由 $(I(t), Q(t), \theta(t))$ 映射得到的 QPSK 脉冲图解

5.10.2 QPSK 的软件实现

本实验程序中，用来进行 QPSK 调制的信息序列是进行短码加扰后的 I 路和 Q 路信息帧，正弦波由软件编程在 DSP 中产生。按照表 5.3 的映射关系，数字序列将被调制成连续的正弦波形。图 5.30 是 DSP 中 QPSK 调制部分功能程序的流程图。

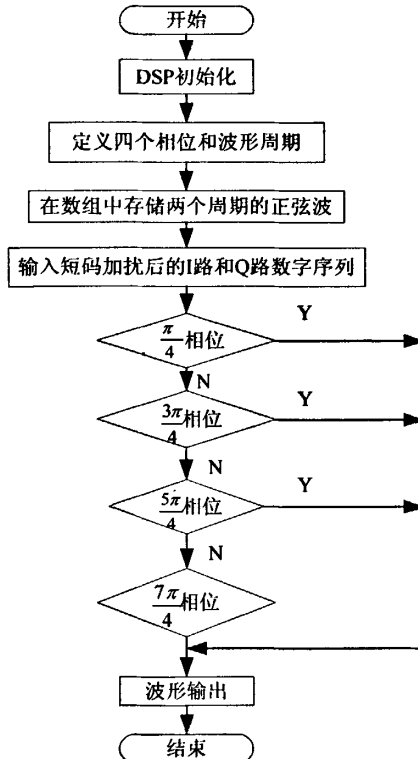


图 5.29 QPSK 调制流程图

在CCS集成开发环境下得到的QPSK调制波形图如图5.30所示。示波器中观察到的QPSK调制波形图如图5.31所示，其中上部为QPSK调制信号，下部为固定周期的正弦波同步信号。

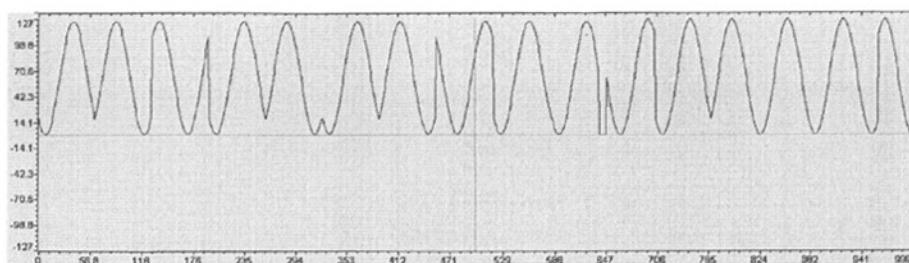


图 5.30 CCS 中的 QPSK 调制波形图

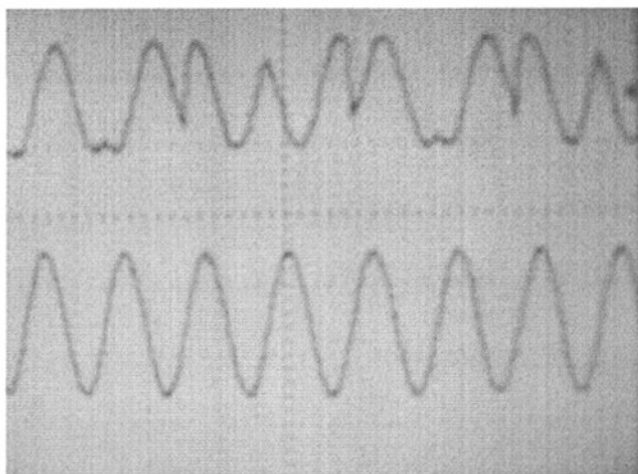


图 5.31 示波器中的 QPSK 调制波形图

5.11 本章小结

本章主要基于 CDMA2000 物理层反向链路各信道基带信号处理的过程,分析了其中几种关键技术如 CRC 编码、卷积编码、交织、Walsh 编码、长码扩频、短码加扰和 QPSK 调制的基本原理,并在简化的基础上进行了实验仿真,给出了实验的结果。

总结与展望

1. 课题研究的主要成果

本课题根据CDMA2000技术的基本原理，为满足高校建立电子信息类实验室的要求，设计和开发出了专用性和通用性相接合的CDMA2000基带信号处理模块，目前已经被公司批量生产，且被部分高校实验室投入使用，反应良好。本实验系统既可以作为本专科教学通用实验系统，也可以作为通信专业的研究生深入学习CDMA移动通信和DSP技术的综合开发设备。

在设计的过程中，本人认真学习了CDMA移动通信原理、通信原理及DSP数字信号处理技术，不但从理论上理解了CDMA技术的原理，更重要的将这些理论知识运用到了实际的项目开发中。同时，阅读了较多的英文文献，提高了自己的英语阅读能力和理解能力。在项目方案的总体设计过程中，与项目小组成员积极讨论系统所要完成的功能，明确系统的设计要求；在硬件设计方面，认真进行芯片选型、电路原理图的设计及电路的功能调试；在软件设计方面，通过对硬件电路的认真分析和研究，针对硬件的特点进行了相应的软件设计，画出了软件设计的流程图。然后结合流程图，编写软件程序，逐个实验进行设计和调试，成功的设计了系统软件，并充分考虑了系统运行的稳定性和可靠性。最后，将软件和硬件结合在一起进行了整体调试，实现了预期的目标。通过本实验模块的设计及调试，大大提高了自己动手能力，积累了一些硬件开发和软件编程的经验。

总结起来本文主要有如下成果：

(1) 介绍了移动通信技术发展过程和发展趋势，着重介绍了CDMA2000物理层反向信道的基带信号处理技术和流程，研究和分析了开发本实验模块的理论和基础以及开发本实验模块的意义。

(2) 以DSP+CPLD为控制系统，完成了对硬件平台的设计和开发。对整个实验模块的硬件分成多个子功能模块进行设计调试。整个硬件平台调试成功，满足了设计的要求，实现了预期的目标。

(3) 在硬件平台的基础上，配合相应的软件设计，完成了实验模块的整体调试。在实验模块上可以完成CDMA2000移动通信系统中物理层基带信号处理技术的相关实验，包括CRC编码、卷积编码、块交织、Walsh编码、长码扩频、短码加扰和QPSK调制等7个实验，且实验结果正确。

(4) 本实验系统采用拨码开关自动识别的方式，使得实验模块可以根据实验者所选择的实验编号进行相应的实验，这也是本实验模块的一个特色。

(5) 整个实验模块上提供了较多的测量接口, 实验者可以通过使用示波器和万用表观察波形和测量电压电流等实验参数, 可以使实验者更加直观的理解和掌握 CDMA 移动通信技术。

同时, 这套系统具有较好的可扩展性, 可以扩展 WCDMA、TD-SCDMA 等其他通信技术的协议软件仿真。

2. 课题研究的局限性

本设计取得了一些成果, 但由于时间、条件的局限, 本设计在如下方面还存在不足之处:

(1) 硬件电路中没有语音信号处理模块和射频天线, 无法将语音信号进行数字处理后实现无线通信。

(2) 对 AD9708 的输出能力没有仔细核算, 使得调制输出的波形存在细微的失真, 从而可能影响解调的进行。

(3) 软件设计中信源的选择较为简单, 只有 8 位数字信源, 而且没有认真考虑各个实验中数据信息帧的速率, 从而使得实验结果与实际通信协议中规定的结果存在较大差别。同时每次只能看到一个实验的结果, 无法同时看到上个实验的结果, 缺乏对比功能。

3. 课题展望

根据本实验系统的不足和移动通信发展的趋势, 为了适应高校实验室的进一步发展, 下一步要做的工作如下:

(1) 在实验模块中增加语音信号处理模块和 PCM 编码部分, 同时增加射频天线, 使信号能够通过无线收发, 实现短距离的语言通信, 增强实验的扩展性。

(2) 采用处理速度更快的 DSP 芯片和 AD/DA 芯片, 加强对实时信号以及输入/输出信号的处理能力;

(3) 增加实验软件中数字信源的长度, 增加实验算法的复杂度, 并且仔细核算各个实验结果信息帧的速率, 使得实验过程更加贴近实际的通信协议。

参考文献

- [1] 窦中兆,雷湘.CDMA无线通信原理.北京:清华大学出版社,2004,1
- [2] 罗凌,焦元媛,陆冰.第三代移动通信技术与业务.北京:人民邮电出版社,2005,5
- [3] 冯虹霖.基于WCDMA基带信号发生器的研究与实现:[西安电子科技大学硕士学位论文].西安:西安电子科技大学,2007,5-6
- [4] 樊昌信.通信原理教程.北京:电子工业出版社,2004,5
- [5] Rupert Baines.The DSP Bottleneck. IEEE Communications Magazine,1995, 33(5):46-47
- [6] 周霖.DSP通信工程技术应用.北京:国防工业出版社,2004,2-4
- [7] 张颖.CDMA通信系统中多用户检测技术的研究:[湖南大学硕士学位论文].长沙:湖南大学,2004,10
- [8] 赵炜渝.扩频通信技术及其发展趋势.空间电子技术,2008,5(4):2
- [9] 纪国强等.扩频通信技术浅谈.电信快报与网络通信,2005,(4):43-44
- [10] 孙宇彤,赵文伟,蒋文辉.CDMA空中接口技术.北京:人民邮电出版社,2004,10
- [11] 于鹏,白春霞,刘睿.第三代移动通信系统原理与工程设计.北京:电子工业出版社,2001,253-255
- [12] Nougla N.Knisely,Sarath Kumar,Subhasis Laha.Evolution of Wireless Data Services:IS-95 to cdma2000.IEEE Communications Magazine, 1998,36(10):144-146
- [13] Man Young Rhee.CDMA蜂窝移动通信与网络安全.袁超伟.北京:电子工业出版社,2002,2
- [14] 康桂霞,田辉,朱禹涛等.CDMA20001x无线网络技术.北京:人民邮电出版社,2007,12
- [15] 杨大成.CDMA20001x移动通信系统.北京:机械工业出版社,2003,92-93
- [16] 3Gpp2 TSG-C.Physical Layer standard for cdma2000 Spread Spectrum. www.3gpp2.org/Public_html/specs/alltsgscfm.cfm,2004-2-13
- [17] 马传琦,宋锦华.软件无线电技术探究.科教文汇,2008,10:270
- [18] 任建国,张家祥,徐从启等.DSP开发技术实例与技巧.北京:国防工业出版社,2007,18
- [19] Teaxs Instruments.TMS320VC5416 Fixed-Point Digital Signal Processor Data-sheet. www.ti.com,2005-01-01
- [20] Xilinx.XC95144XL High Performance CPLD Datasheet. www.xilinx.com,

2006-03-22

- [21] AMD.Am29LV160D Datasheet .www.amd.com,2000-01-10
- [22] Analog Device.AD9281 Datasheet.www.analog.com,1999-05-13
- [23] Analog Device.AD9708 Datasheet.www.analog.com,1998-06-25
- [24] 彭启琮,管庆.DSP集成开发环境—CCS及DSP/BIOS的原理与应用.北京:电子工业出版社,2004,1
- [25] 赵红怡.DSP技术与应用实例.北京:电子工业出版社,2003,66-67
- [26] Teaxs Instruments.Code Composer Studio IDE v3.3 Quick Start Guide.
www.ti.com,2007-01-04
- [27] Teaxs Instruments.TPS73HD301/TPS73HD318/TPS73HD325 Datasheet.
www.ti.com,1999-5-20
- [28] Linear Technology.LT1117/ LT1117-2.85/ LT1117-3.3/ LT1117-5 Datasheet.
www.linear.com,1993-06-10
- [29] IPM,Inc.IPM811/IPM812 Datasheet.www.ipmweb.com,1999-04-15
- [30] 清源科技.TMS320C54xDSP硬件开发教程.北京:机械工业出版社,2003,125
- [31] Fairchild semiconductor.74LVX4245 8-Bit Dual Supply Translating Transceiver
with 3-STATE Outputs Datasheet.www.fairchildsemi.com,1999-07-01
- [32] Integrated Device Technology.IDT74LVC373A Datasheet.www.idt.com,
1999-10-05
- [33] 张勇.C/C++语言硬件程序设计—基于TMS320C5000系列DSP.西安:西安电子科技大学出版社,2003,205
- [34] 杨宏.基于DSP的CRC算法的实现.科技资讯,2008,(27):30
- [35] 罗朝霞,张高记.CDMA系统中反向链路卷积编码器的CPLD实现.西安邮电学院学报,2005,10(1):58
- [36] P.Elias.Coding for noisy channel.IRE Convention Record, 1995,(4):37-46
- [37] 徐莉,罗新民,徐燕红.卷积码的Matlab仿真及其性能研究.现代电子技术,2006,(11):46
- [38] 金素梅.CDMA2000基带信号发生器的设计与实现:[西安电子科技大学硕士学位论文].西安:西安电子科技大学,2006,34
- [39] 范艳根,刘嵩岩,黄丹玲等.移动通信系统中交织编码器的设计.现代电子技术,2008,(8):75-76
- [40] 陈宁涛,王能超,施保昌.Walsh矩阵的复制生成及其计算机图像.软件学报,2006,17(5):1242
- [41] 李兆玉,周洁,田增山.基于软件无线电CDMA2000长码生成算法.重庆邮电学院学报(自然科学版),2006,18(5):589

- [42] 罗淑婉,杨庚.PN短码在CDMA网络规划中的应用研究.江苏通信技术,2002,23(1):15
- [43] 高雪平,官伯然,汪海勇.QPSK调制解调的系统实验仿真.杭州电子科技大学学报,2006,26(5):52
- [44] 王德嘉.QPSK调制技术的研究.重庆工商大学学报(自然科学版),2007,24(6):597-598

致 谢

时光如水，生命如歌，转眼间校园生活即将结束。在过去的几年里，我的老师、同学、朋友和亲人给予了我很多关心、帮助、支持和鼓励，使我能够顺利地完成学业。在毕业之际，借此机会向他们致以我最真挚的谢意。

本论文是在我的导师刘宏立教授的直接指导下完成的，刘老师不仅传授给我书本上的知识，更让我掌握了学习的方法和独立开展科研的能力。在本文的选题及写作思路，刘老师都给予了精心的指导和细致的修改。

读研三年期间，刘老师为我提供了良好的学习环境和工作条件。刘老师严谨求实的治学态度、认真细致的工作作风、高尚的学术品质和热情待人的态度给我留下了深刻的印象，这些使我受益终生。在做项目的过程中，刘老师对问题的细致分析和清晰阐述，更是对项目的进展有着积极的指导作用，同时也使我的科研能力得到了提升。师母黄老师为人热情大方，在生活上给予了我很多的关心和照顾。在此，对刘老师和黄老师表示由衷的谢意！

感谢湖南大学达盛通信技术研究所的马子骥老师，感谢我的同门谢韬、李勇、潘良、颜顺华、邱灵枝、刘前刚等同学以及各位师弟师妹，他们在学习和生活上给了我很大的帮助；感谢同宿舍的室友唐纯杰、张向荣等同学，平时在学习和生活上的探讨给了我很多启发和帮助。

特别感谢我的父母，二十多年来的养育恩重如山，亲情似海，我心中的感激之情难以言表。我的每一个进步背后，都有他们默默的关注和无私的奉献，我惟有在今后的学习和工作中不断进取，才能不辜负他们对我的殷切希望！

感谢湖南大学，七年的时光很快即将过去，母校厚重的文化底蕴、良好的学习环境和浓厚的学习氛围一直激发着我努力学习，实事求是，敢为人先。毕业将至，我已经将母校的一草一木在心底落下印记，七年的大学生涯将是我人生中最宝贵的精神财富！

感谢所有帮助、支持和关心过我的老师、同学和朋友，在以后的工作和生活中，我会加倍努力，来回报社会、回报所有关心和帮助过我的人！

徐书杰
2009.4.20

附录 A（攻读学位期间发表的学术论文）

- [1] 徐书杰,刘宏立.TMS320VC5416DSP 并行自举方案的设计与实现.计算机工程与科学,2009,(8)已录用

附录 B（攻读学位期间所参与的科研项目）

- [1] 湖大达盛通信技术研究 CDMA2000 基带信号处理模块项目
- [2] 湖大达盛通信技术研究基于 DSP 的通信原理实验模块项目
- [3] 湖大达盛通信技术研究移动通信实验箱项目