

摘要

本文论述了在集成电路（IC）发展过程中铜互连所面临的可靠性问题，并讨论了铜互连的相关工艺流程。为了更好的了解铜互连的可靠性问题，文中比较了铜互连和铝互连的工艺流程。两者在材料、工艺和具体的可靠性问题上都存在很大的差异。在铜互连可靠性的几个主要问题中，重点针对互连中的电迁移和阻挡层进行了探讨。随着集成度不断提高，对于阻挡层在薄膜厚度，热稳定性，电导性，均匀性等方面的要求将变得愈加苛刻。传统的TiN阻挡层不再胜任这项工作，非晶态M(M=Ti, Mg, Ta, W)-Si-N三元化合物由于其较佳的热稳定性而受到关注。

本文对铜互连线中的应力进行了数值分析，比较了无限长和半无限长两种结构互连线中的应力分布状况。在无场区域的半无限长互连线中，因为无场区域对电迁移的缓冲作用，应力的集结相比于无限长互连线要慢。对周期性直流脉冲条件下的互连线应力也进行研究，得到直流脉冲下，互连线满足零应力边界条件的稳态应力梯度是与占空比成正比。

最后在一维连续性模型的基础上，考虑了阻挡层对铜互连电迁移的影响，提出了一个修正的电迁移模型，对直流偏置和直流脉冲偏置应力下铜互连线的电迁移寿命进行了数值分析。计算结果表明用来抑制铜扩散的阻挡层也可以增加互连线的寿命，直流应力偏置下互连线寿命的增加程度要高于直流脉冲应力下的。其原因为当脉冲关闭时，线中的应力得到了释放。

关键词：铜互连 电迁移 阻挡层 互连线寿命 约化空洞浓度

Abstract

The reliability of copper interconnects in the development of IC and the process of the copper interconnects is discussed. The comparison of the process of copper to aluminum is made to get better understand in the reliability of the copper interconnects. There are large difference in texture, process and the reliability problems between copper and aluminum. In many issues of the reliability of copper interconnection, we place the emphasis on electro migration and barrier layer. As the degree of integration is skyrocketing, more critical requirements have been imposed on the diffusion barriers, such as thickness, thermal stability, electrical conductivity and conformity as well. Since conventional TiN barrier is not fit for this task any more, amorphous M(Ti, Mg, Ta, W)-Si-N ternary compounds, due to their excellent thermal stability, attract much attention.

In this thesis, the stress in copper interconnects are analyzed numerically and their distributions are compared in semi-finite and finite lines. The stress in semi-finite interconnects build up more slowly than that in finite case, due to the presence of a field-free reservoir region. Stress under pulsed DC is also investigated and the result shows that the stress gradients are proportional to r .

Finally, a modified model for copper electromigration transport considering the barrier layer effect is developed, based on the one-dimensional continuum model. Electromigration lifetime under the direct current (DC) and pulsed DC stress is analyzed numerically. The simulation results demonstrate that the barrier layer used to stop the copper diffusion also improves the interconnect lifetime. The improvement of lifetime under the DC stress is higher than that under the pulsed DC stress due to the stress relaxation when the current is removed.

Keywords: copper interconnect, electromigration, barrier layer, interconnect lifetime, reduced vacancy concentration

创新性声明

本人声明所呈交的论文是我个人在导师指导下进行的研究工作及取得的研究成果。尽我所知，除了文中特别加以标注和致谢中所罗列的内容以外，论文中不包含其他人已经发表或撰写过的研究成果；也不包含为获得西安电子科技大学或其他教育机构的学位或证书而使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已在论文中做了明确的说明并表示了谢意。

申请学位论文与资料若有不实之处，本人承担一切相关责任。

本人签名： 朱琳

日期： 2007. 1. 12

关于论文使用授权的说明

本人完全了解西安电子科技大学有关保留和使用学位论文的规定，即：研究生在校攻读学位期间论文工作的知识产权单位属西安电子科技大学。本人保证毕业后离校后，发表论文或使用论文工作成果时署名单位仍然为西安电子科技大学。学校有权保留送交论文的复印件，允许查阅和借阅论文；学校可以公布论文的全部或部分内容，可以允许采用影印、缩印、或其它复制手段保存论文。

（保密论文在解密后遵守此规定）

本学位论文属于保密，在____年解密后适用本授权书。

本人签名： 朱琳

日期： 2007. 1. 12

导师签名： 刘红侠

日期： 2007. 1. 12

第一章 绪论

1.1 研究背景

自半导体集成电路技术发明以来,集成电路产业一直以指数增长率迅猛发展,其作为现代高技术的重要支柱,经历了若干发展阶段。50年代末发展起来的属小规模集成电路(SSI),集成度仅100个元件;60年代发展的是中规模集成电路(MSI),集成度为1000个元件;70年代又发展了大规模集成电路(LSI),集成度大于1000个元件。70年代末进一步发展了超大规模集成电路(VLSI),集成度在 10^5 个元件。80年代更进一步发展了甚大规模集成电路(ULSI),集成度比VLSI又提高了一个数量级,达到 10^6 个元件以上。随着集成度的提高,要求器件尺寸不断减小,1985年,1兆位的集成度达到200万个元件,器件条宽仅为 $1\mu\text{m}$ 。1992年,16兆位的芯片,集成度达到3200万个元件,条宽减至 $0.5\mu\text{m}$;而后的64兆位芯片,其条宽已达 $0.3\mu\text{m}$ 。目前,集成电路技术已经发展到 $0.13\mu\text{m}$ 以下技术时代。集成电路产业的迅猛发展得益于半导体集成电路技术的不断更新换代。集成电路技术的进步和更新换代是以所加工的最小线条尺寸(称之为特征尺寸)的缩小、硅片尺寸的增加和芯片集成度的增加为标志。其中特征尺寸的缩小最为关键。因此,集成电路技术时代以其所加工的特征尺寸来称谓器件尺寸的缩小和芯片集成度的提高,一方面使器件和电路的性能得到提高,另一方面使单位电路功能的生产成本下降,这是推动微电子集成电路技术能够按指数规律发展的原动力^[1]。

特征尺寸的缩小在使器件门延迟减小的同时,也使得互连性能降低。这是因为特征尺寸的缩小将导致互连线横截面和线间距的减小,电阻、电容、电感引起的寄生效应将会严重影响电路的性能,包括信号传输延迟的增加和信号传输畸变显著。

随着互连尺寸的不断缩小,互连的可靠性问题已经成为制约系统可靠性的重要因素。互连可靠性指的是在它本征的作用时间中,起着预定的功能。功能失效就是出现了可靠性问题。

这些问题不仅存在于薄膜材料的基本特性之中,而且也存在于深亚微米的工艺可靠性方面。器件的持续缩小,使得器件和互连之间的延迟差异不断突出。在芯片中一个高性能的互连结构对深亚微米器件的性能发挥是重要的。随着工艺尺寸的缩小,铝互连系统因为下列的主要原因越来越不能担负合格互连系统的角色:

- 1) 在平面工艺中没有足够的空间来设计互连线;
- 2) 互连延迟在总的互连延迟中占的比重很大;
- 3) 大电流密度的可靠性问题。

为了解决互连引线电阻随着特征尺寸的缩小而显著增加的问题，互连引线系统一般采用高纵横比的引线设计，即增加引线金属层厚度的方法，但由此可能会带来互连引线间串扰的增加。当集成电路进入到纳米时代时，互连将成为制约集成电路性能的提高和成本下降的主要因素。需要指出的是，随着技术的进步和特征尺寸的缩小，互连引线的线间距和互连密度的增加，同时所需的互连引线的层数也增加。

一个三维的互连系统也就是用多层互连结构(Multi-layer Interconnection, MLI)来取代平面铝互连结构。在 MLI 中，金属互连并不局限在一个平面中，而是跨越几个平面，中间通过彼此绝缘的介质层。各个介质层之间的互连是通过通孔来实现的。

根据 SIA (Semiconductor Industry Association) 的国家半导体技术蓝图预测 (International Technology Roadmap for semiconductor, IRTS), 对于高性能的芯片要使用多达 8-9 层甚至更高的金属层。多层互连有下列优势:

- 1) 由于互连长度的减小和互连横截面积的增加使得 RC 延迟变小;
- 2) 使用三维空间使得集成密度上升;
- 3) 可以较容易的设计互连线;
- 4) 在工艺中引入了三维的概念后，可以使用新兴的材料和技术。

在最近的几年，人们对 MLI 技术给予了足够的关注，使用了更好的工艺，但是仍然有许多的关于集成电路的可靠性问题需要解决。

其中延迟问题是关注的焦点之一。最小的特征尺寸指的是在 CMOS 工艺中 MOS 场效应管下面的可能的最短沟道长度。随着特征尺寸的变小，对于一个给定的电压，载流子通过沟道的渡越时间也变小，使得 MOSFET 变成快速的晶体管。但是信号穿越金属连线，而这些金属连线被介质层包围着，因此导致 RC 延迟。对于一个 MOS 电路，RC 延迟是通过电路响应来定义的，即

$$V_o(t) = V_o \left[1 - \exp\left(-\frac{t}{RC}\right) \right] \quad (1-1)$$

这里 V_o 是电路的输出电压， t 是时间， R 和 C 是电路的总电阻和总电容。RC 延迟指的是当 $V_o(t)$ 到达 V_o 的 63.2% 的时间。因此， R 和 C 分别被认作互连线的有效电阻以及和介质相关的电容。随着特征尺寸的缩小，本征的门延迟变小，但是互连延迟将会变大^[2] (图 1.1)。当特征尺寸缩小到 $0.25\mu\text{m}$ 以下时，互连延迟将是快速器件的主要影响因素。

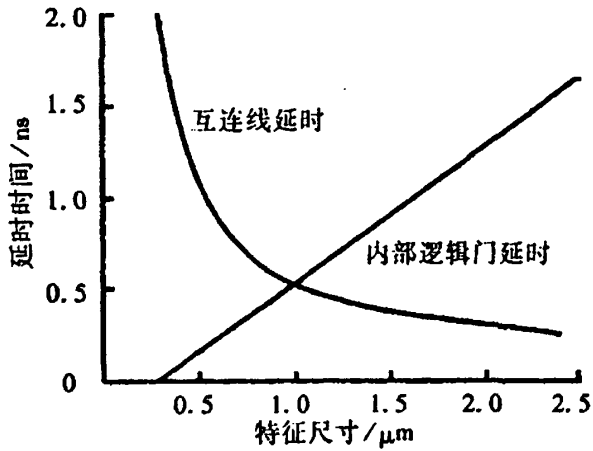


图 1.1 互连本征门延迟和互连延迟的比较

作一个合理的假设, RC 时间常数等于 R 乘以一个简单的平板电容, 即

$$RC = \frac{\rho}{t_M} \frac{L^2 k \epsilon_0}{t_{ILD}} \quad (1-2)$$

这里的 ρ , t_M , L , ϵ_0 , k , t_{ILD} 分别是电阻, 互连线的厚度, 长度, 真空介电常数和层间介质的厚度。我们能看到互连延迟正比于互连长度的平方, 而且可以知道延迟和互连的宽度无关。因此, MLI 能够有效的降低 RC 延迟。 RC 时间更严格的计算包括附加电容的影响, 即线与线之间的电容和交叉电容。随着尺寸的缩小, 这些电容将占总电容的主要部分。

但是对于多层互连而言, 层数的增加使得线间的串扰问题更加严重。所以采用新的低电阻率金属互连材料和低介电常数互连介质材料 (称为低 k 介质材料) 是提高互连性能的有效途径之一。实际上, 当集成电路技术发展到深亚微米技术时代以后, 互连已成为确定集成电路性能、封装密度、可靠性和成本的最重要因素之一。

1.2 铜互连技术的发展及存在的主要问题

在采用铜互连线以前, 金属化系统的两大分支是铝金属化系统和金金属化系统。由于金抗电迁移能力远高于铝, 而且其电阻率也远低于铝, 因此在大功率器件中用的较多。但是, 因为金的成本远高于铝, 而且金-硅界面互溶问题严重, 所以, 在 VLSI 和小功率器件中普遍采用铝金属化系统。

随着 IC 工业的发展, 器件的尺寸已进入到了深亚微米阶段。市场要求 IC 芯片

具有更快运算速度、更好的可靠性、更低的功耗、更小的噪音和更低的成本。在深亚微米器件中,传统的铝布线和 SiO_2 介质工艺已影响这些高性能的实现。虽然通过减小金属布线的倾斜率和多层布线技术的运用,可以有效地增加互连密度,从而可以在同样尺寸的芯片上制造更加复杂的特大规模集成电路(ULSI)。但是由于铝的电阻率(ρ)为 $3.1\mu\Omega\cdot\text{cm}$, SiO_2 介质的介电常数(k)为 3.9,因此在付出更高的制造成本的同时,还带来了高的寄生电阻、寄生电容和时间常数(τ)的问题。对于 $0.18\mu\text{m}\times 40\mu\text{m}$ 的铝条和 SiO_2 介质组成的互连延迟已超过 $0.18\mu\text{m}$ MOS 栅延迟时间的一倍,同时还带来噪声和可靠性等问题。于是人们将目光转向了新型布线材料和新的集成结构上。与传统工艺和布线材料相比,用作布线间介质的低介电常数材料的开发和低电阻率金属的使用,都能在有效地降低互连寄生参数的同时,增加互连密度和减少布线层次。因此 1997 年末在华盛顿召开的国际电子器件会议上,IBM 等公司提出将用铜布线替代铝和相应的镶嵌工艺时,引起极大反响。作为布线金属的铜材料,其电阻率为 $1.7\mu\Omega\cdot\text{cm}$,接近铝电阻率的一半,铜的抗电迁移性能比铝高两个数量级,加上它出色的抗应力迁移优点,铜被普遍认为是铝及其合金的最佳替代品。与铜布线相配合使用的各种低 k 值介质材料使互连密度和器件性能进一步提高,芯片的制造工艺、制造成本和可靠性都优于传统的铝布线。如今,采用铜布线技术的高速 SRAM、微处理器和超大规模 ASIC 等产品都已纷纷问世。

与铝互连线相比,铜互连线虽然在改善 RC 延迟和可靠性方面有着很大的优势,当在实际应用中还存在着较大问题,这些问题影响着铜互连线的推广和应用。铜互连线技术的主要问题^[1]是:

1) 铜的玷污问题。铜在很低温度下能迅速在硅和二氧化硅中扩散,进入硅和二氧化硅后,铜原子在硅中充当深能级受主杂质,在硅中形成高阻化合物,降低其绝缘性能,引起介质穿通,使器件性能大大降低。

2) 铜的工艺问题。采用铜互连线技术虽然可以简化工艺,但是铜的图形化加工十分困难。对于铝互连线,主要是采用铝的氯化物来实现对铝的刻蚀。而对于铜,其氯化物或氟化物在低温下都是不易挥发的,无法达到一定的刻蚀速率。而如果加温到 200°C 以上,会使传统的光刻胶融化。如果采用化学汽相淀积(CVD)或物理汽相淀积(PVD)沉积铜,由于铜的粘附性较差,需要先生长一层粘附层,增加了工艺的复杂度。

3) 铜互连线中的失效机理问题。铜互连线作为一种新技术,在材料、工艺、布线结构上均有别于铝互连线,所以有其特殊的失效模式和失效机理。如小尺寸接触和通孔的电迁移特性及热效应;多层互连中不同层互连线的电迁移行为;多层膜结构对电迁移的影响;不同膜淀积工艺对其本身晶体结构和相邻膜晶体结构、特性的影响等。这都需要一一研究。

4) 铜互连线表面的氧化问题。铜很容易在空气中氧化和硫化。如果铜被氧化,其电阻会直线上升,造成器件的不稳定。所以,在实际应用中,铜不应在较高的温度(高于 100℃)下直接暴露在空气中。一般应在其上加上钝化层。

1.3 本文的研究内容

本文主要是研究超深亚微米铜互连中的可靠性问题。在绪论中,作者从集成电路的出现和发展着手,进一步引出了在特征尺寸持续缩小的大规模集成电路中,铜互连的可靠性问题。作为铝互连的替代品,铜互连有着铝互连所不能比拟的优良特性。但是在高电流密度下,在铝互连中出现的电迁移现象在铜互连中也是不可避免的。本文首先介绍了铜互连工艺及电迁移现象和失效机理,并说明电迁移的微观形成机制和影响铜互连电迁移的主要因素。接着,对三种互连结构所建立的电迁移模型进行了仿真,对所得结果进行比较和分析。最后,通过引入阻挡层的影响因素,对已有的电迁移模型进行修正并对新模型仿真,由仿真结果分析阻挡层对电迁移的影响。

第二章 铜互连工艺

2.1 铜互连工艺流程

铜互连线工艺目前所采用的技术路线被称大马士革(Damascene)镶嵌工艺, 与传统的铝互连工艺有着明显的不同。单层互连线大马士革工艺的具体过程^[1]如图 2.1 所示。

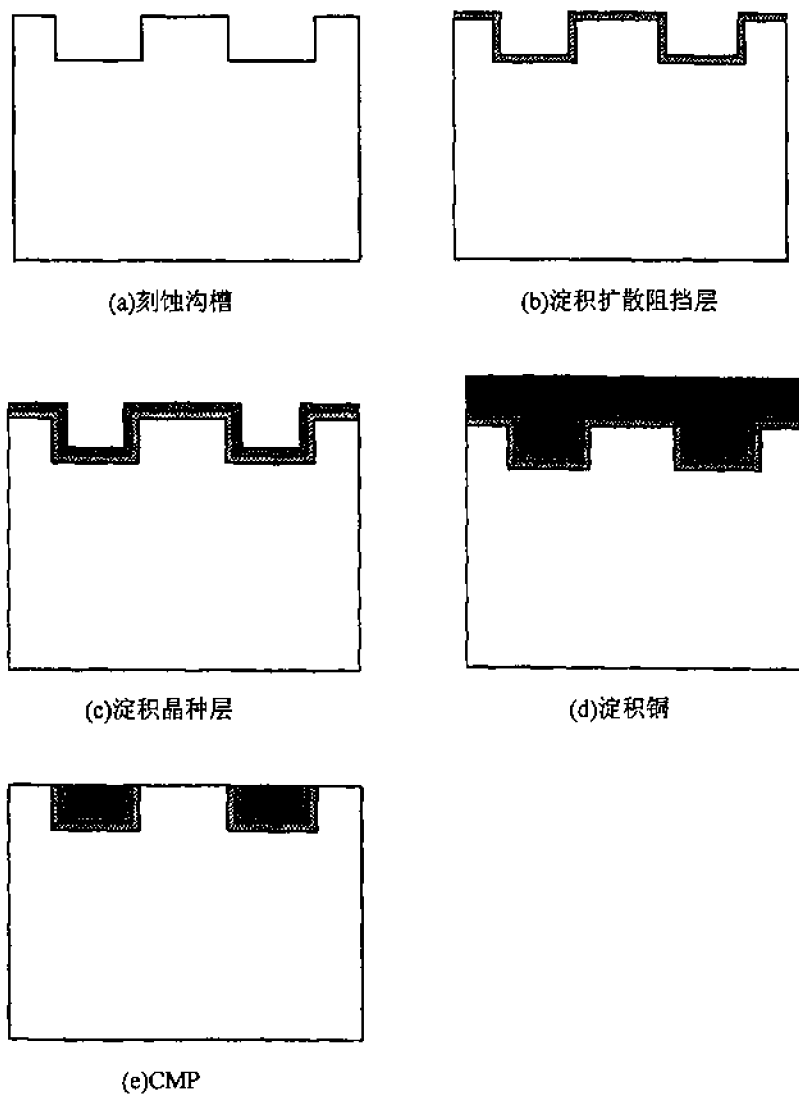
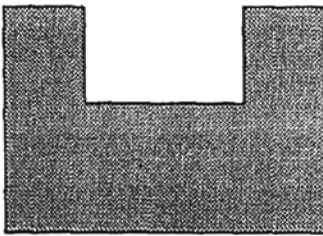
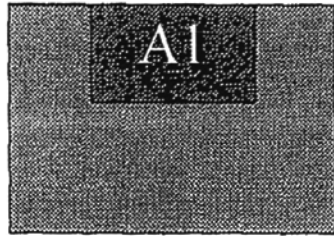


图 2.1 单层铜互连中的大马士革工艺

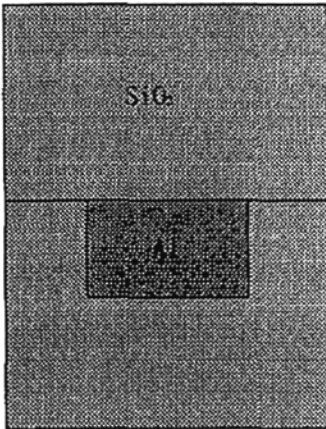
铜互连大马士革工艺的具体过程是在热生长二氧化硅的单晶硅基片上，用干蚀法刻蚀互连线沟槽，沟槽宽度和深度一般在几十纳米到几个微米，然后淀积扩散阻挡层和晶种层，然后再淀积金属铜。最后通过化学机械抛光(CMP)将上层多余的铜和扩散阻挡层除去。



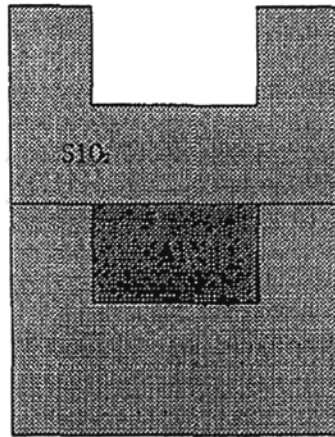
(a)刻蚀底层布线槽



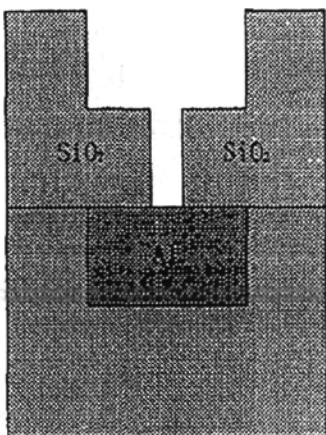
(b)淀积铝并刻蚀



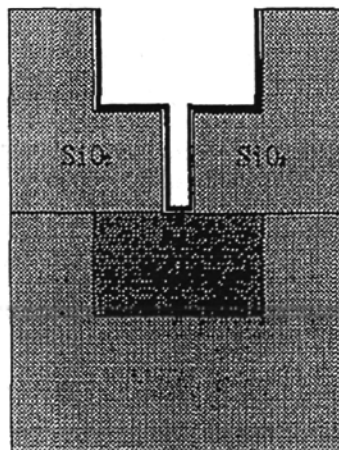
(c)淀积二氧化硅



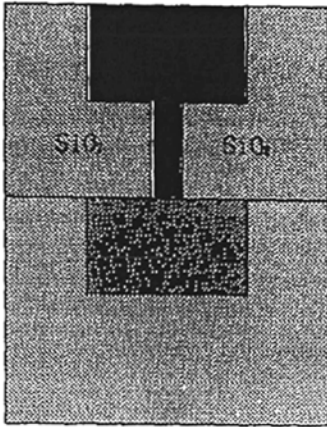
(d)刻蚀上层布线槽



(e)刻蚀通孔



(f)淀积阻挡层和晶种层



(g)淀积铜及CMP

图 2.2 多层铜互连中的大马士革工艺

对于多层结构互连线系统，各层之间由通孔相连。目前常用的是改进的 Via-first 过程^[4]，具体步骤如图 2.2 所示。与单层工艺相比，多了光刻和淀积通孔的步骤。在图中可以看到，上层互连线和通孔的填充可以同时完成，有效的简化了工艺。但是，通孔中往往不能填充满，有台阶效应产生。

2.2 铜的阻挡层材料

由于铜原子在硅和二氧化硅中的扩散速度很快，而且 Cu 是 Si 的深能级受主杂质，它极易扩散进 Si 中并在 Si 的禁带中形成几个深受主能级，这些能级会充当产生复合中心或陷阱而改变非平衡少数载流子的浓度和寿命，Cu 进入 Si 中在 200°C 就能形成电阻率很高的 Cu_3Si 沉淀物，在器件的源、漏浅结处产生漏电流，使得器件的性能大大下降^[5]。因此，在 ULSI 铜互连技术中，必须采取有效措施来防止铜向硅中扩散，即在介质层和金属铜之间引入一层阻挡层。阻挡层可分为金属阻挡层和介质阻挡层两种，目前的研究方向主要集中在对金属阻挡层的研究。近年来，人们对金属阻挡层作了大量的研究工作^[6]，其中所选材料包括 Ta、W、Ti 等难熔金属和它们的氮化物 TiN、WN、TaN 等，以及一些化合物材料 TiW、TaC 等，淀积方法包括溅射、CVD 等。

表 2.1 列出了一些阻挡层的热稳定性实验结果。由表 2.1 可以看出，在 500°C 以下，这些扩散材料均可起到对铜的阻挡作用，都表现出了比较好的热稳定性。由于这些阻挡材料的电阻率都比较大，阻挡层厚度应尽量减薄以减小其接触电阻。实验结果表明，采用 CVD 法淀积的阻挡层的台阶覆盖性要比溅射法好。文献[7]采用两步溅射法淀积 TiN 阻挡层，使得晶粒边界错位，结果表明，比单步溅射法

的热稳定性要好。另外，最近报道的还有采用 Ta-Si-N、W-B-N 及 W-Si-N 等三元化合物作为铜的阻挡层，因为这些三元化合物的结晶温度较高、化学性能稳定，常温下处于非晶态，实验结果表明，其阻挡效果更好。

表 2.1 阻挡层的热稳定性实验结果

样品	热稳定性	淀积方法
Si/Ta(60nm)/Cu	600°C, 1h	溅射
Si/W(20nm)/Cu	650°C, 30min	溅射
Si/TiNx(50nm)/Cu	600°C, 1h	溅射
Si/TiN(50nm)/Cu	550°C, 1h	CVD
Si/TaN(100nm)/Cu	750°C, 1h	溅射
Si/WN(25nm)/Cu	500°C, 30min	溅射
Si/WNx(20nm)/Cu	>500°C, 30min	CVD
Si/TaC(25nm)/Cu	700°C, 30min	溅射
Si/TiW(25nm)/Cu	500°C, 30min	溅射

考虑到下一步要在阻挡层的基础上淀积铜，因此，在选择阻挡层时还应着重考虑其与铜的附着性。对特定的材料而言，考虑其与铜膜的阻挡特性及附着特性时，需要某种妥协。若是薄膜完全不与铜膜产生任何反应，它可能具备了非常好的阻挡特性却缺乏良好的附着性；相对的，若薄膜层太容易与铜起反应的话，表示其可能在拥有良好的附着性时却失去了作为阻挡层的真正功能。所以，为了同时获得良好的阻挡特性以及与铜之间有良好的附着性，理想的阻挡层材料应该和铜产生某种程度的自我限制反应。文献[8]分别对 Ta 和 TiN 与铜的附着性作了对比研究工作，结果表明，在退火之前，TaCu 界面的分界比较明显，而在 400°C 退火后，在界面处产生了一薄层非晶层。随着退火温度进一步升高到 700°C，该非晶层将不再加厚，而是保持在 4nm 左右，趋于饱和，故该非晶层的存在不会影响 Ta 对 Cu 的阻挡作用，反而使得其与铜有了很好的附着性。而 TiN 则不能与 Cu 形成非晶层，故其与铜的附着性不如 Ta 好。由于淀积金属阻挡层时，该层金属是非选择性地完全覆盖在 SiO₂ 上的，因此，还必须将凹槽之外的金属阻挡材料去除，最好的方法是在 CMP 进行铜抛光的同时将其去除。所以，金属阻挡层的另一个重要条件是易于被 CMP 去除。从热稳定性和与铜的附着性两个方面看来，Ta 似乎是比较理想的金属阻挡层。然而，由于 Ta 是一种硬金属，它不易于被 CMP 去除，而 TiN、WN_x 则比较易于被 CMP 去除。介质阻挡层与金属阻挡层的不同之处在于介质材料本身不具有导电作用，因此，其最大的优点就在于不用考虑将凹槽之外的阻挡材料去除，相反，这些材料会起到阻止铜的层间扩散的作用，从而使得铜互连工艺简化。另外，介质阻挡层的侧墙填充性可以做得很好。文献[9]采用 PECVD 的方法，对 Si₃N₄、SiON 作为铜的阻挡层作了研究工作，结果表明是一种比较理想

的铜阻挡层。

就工业界而言,开发出一种新的材料与工艺往往需要花费相当的资金与时间。因此,沿用多年且已广泛应用在生产线上的金属 Ti 及 W 仍有继续研究的空间。当然,开发其他金属作为阻挡层材料的研究也是刻不容缓,我们期望在合理的成本条件下作出阻挡效果更好的阻挡层。

2.3 铜的淀积工艺

在淀积铜的阻挡层以后,还要在阻挡层之上淀积一层薄薄的晶种层^[10],来保证后续工艺的顺利进行。目前铜的淀积工艺主要是电镀,该晶种层就起到了阴极导电层和起镀层的作用。晶种层的材料一般用铜,通常采用溅射的方法来实现对晶种层的淀积。形成的晶种层要求有一定的厚度,并具有很好的连续性,中间不能有空位。但是,由于沟槽和通孔的形貌比较大,实现这一目标有一定的难度,由于晶种层的空位而引起的电镀空洞是互连线急需解决的问题之一。

铜淀积的理论与技术的研究是铜互连技术中的核心。探索超微结构中铜金属化填充的基本理论与技术,对芯片加工以及我国电子工业的发展有重要的科学价值和重大的应用前景。先进的微刻槽铜沉积填充技术从侧面代表着半导体封装加工的水平,所淀积的铜质量的好坏直接关系到铜的电阻率的大小及抗电迁移性能的好坏。因此,如何在高宽比较大的深亚微米刻槽中淀积出空洞和裂缝较少且晶粒较大的金属铜,是铜互连工艺的研究重点。

铜的大马士革镶嵌工艺要求对形貌比较高的沟槽或通孔进行填充,填充的好坏直接影响了互连线的性能。这就使铜的淀积工艺成为了铜互连线的关键技术之一。在铜的淀积过程中,因为在角落处和底部的淀积速率较快,容易在沟槽或通孔的内部形成空洞。空洞形成以后,会导致电阻升高,电流密度加剧,使该处的抗电迁移能力大大降低,成为互连线的失效开路的地方。

图 2.3 示出了淀积铜过程中可能形成的几种外形轮廓图^[11]。当铜在槽的顶角附近的淀积速度较快时(图 2.3 (a)),很可能在填充的过程中由于槽的顶部首先合拢而形成空洞;当铜的填充速率比较均匀时(图 2.3 (b)),则很可能在槽的中央形成裂缝;而空洞和裂缝都会直接使得铜的电阻率升高、抗电迁移性减弱,这都是我们所不希望的;比较理想的填充方式如图 2.3 (c)所示,即铜的淀积速率随着槽的深度而变化,沿着槽的侧壁,越向下,铜的淀积速率越快,铜在槽底部的淀积速率最快,这种情况最有可能淀积出空洞和裂缝较少的高质量的金属铜。

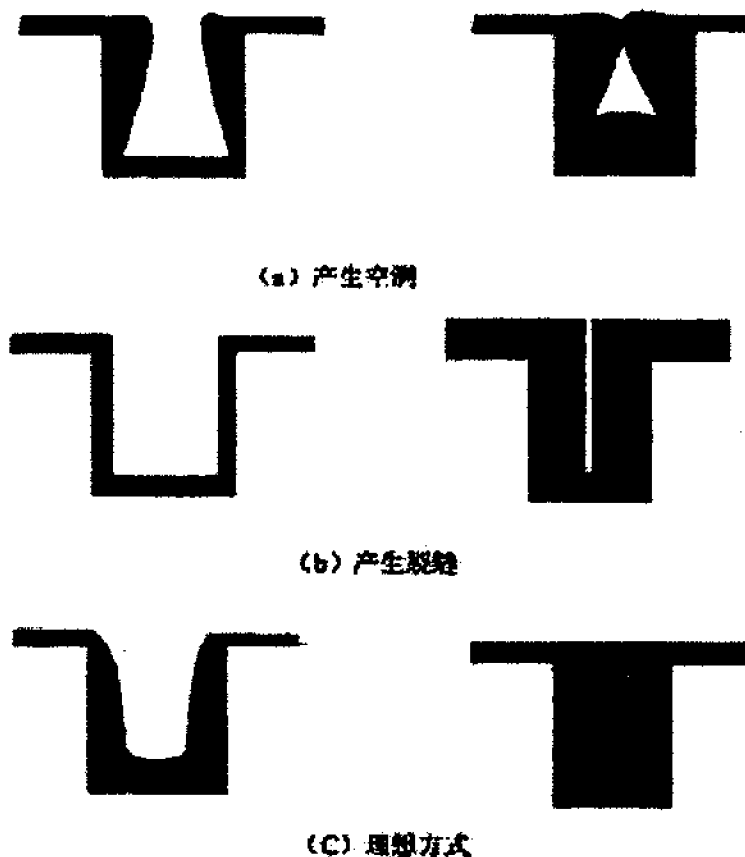


图 2.3 淀积铜过程中可能形成的几种外形轮廓图

目前所采用的铜的淀积技术可分为物理汽相淀积法(PVD)、化学汽相淀积法(CVD)及电镀法等几种^[12]。其中,溅射法所淀积的铜的最大优点在于其纯度较高,但其台阶覆盖性很差,特别是随着刻槽尺寸的减小和高宽比的增大,所淀积铜的外形轮廓很可能如图 2.3 (a)所示,即由于槽的顶部的淀积速率较快而产生空洞,虽然采用回流技术,也不能在很大程度上改善其台阶覆盖性;采用 CVD 法所淀积的铜的最大优点在于其台阶覆盖性很好,但其淀积速率很慢,且费用较高、杂质含量也比较高,而且由于其淀积速率非常均匀,因此,当刻槽尺寸较小时,其所淀积铜的外形轮廓很可能如图 2.3 (b)所示,即在槽的中央产生裂缝。实验结果表明,当槽宽小于 $0.4\mu\text{m}$ 时,采用 CVD 法所淀积的铜的抗电迁移寿命有明显的下降。在同样的晶种层上,采用电镀法所淀积的铜的晶粒要比采用 CVD 法的大。另外,电镀技术具有如图 2.3 (c)所示的沿槽的侧壁向下淀积速率依次加快的“superfilling”填充方式,使得电镀铜含有较少的空洞和裂缝;同时,铜电镀技术具有淀积速率快、费用较低、所需温度较低等优点。铜电镀技术的以上优点使其成为 ULSI 铜互连技

术中铜淀积技术的主流，是目前唯一能够用于商业化的技术。

表 2.2 电镀铜技术应用于铜互连线的发展状况

年份	铜电镀工艺发展状况
1989	在互连技术中首次提出铜电镀工艺
1991	采用铜电镀技术制作双极器件
1993	报道了 4 层互连线中的铜电镀
1995	与二氧化硅系统完成了多层互连，并通过了可行性测试
1997	微处理器的制作工艺中采用
1998	投入实际生产

2.4 铜的平坦化工艺

根据“大马士革”工艺技术，铜淀积工艺完成后的下一步关键技术就是采用化学机械抛光技术，将沟槽以外的多余的铜除去，留下沟槽中的铜，实现铜互连技术中铜引线的图形化。由于金属铜是一种易于氧化和变形的金属，所以，很适合采用 CMP 方法来对其进行抛光。Preston 方程给出 CMP 的抛光速率，可表示如下：

$$Rate = \frac{\Delta H}{\Delta t} = K_p \cdot P \cdot V \quad (2-1)$$

式中，P 是施加在硅片表面的压强；V 是垫片相对于硅片的线速度；K_p 称为 Preston 常数，它与被抛光的对象、研磨膏(Slurry)的组分及垫片的硬度等一系列因素有关，通常通过实验的方式来获取 K_p 的值。

进行CMP工艺要采用先进的CMP设备，选择最佳的研磨条件（研磨膏、研磨垫、研磨头和研磨时间等）以及CMP后实施严格的清洗和烘干。因此，国外已研制出适用不同介质和金属CMP所要求的研磨膏、研磨垫和清洗剂。

研磨膏中的研磨粒子不仅提供机械研磨，而且与金属互连表面、抛光表面的材料（分子和粒子）发生化学作用，所以研磨粒子的表面性质对CMP效果有着重要的影响。美国Clarkson大学Yuzhuo Li教授对Cu-CMP的研磨粒子进行了深入的研究。他指出，经表面处理加工的“智能”粒子不仅能提高量产，而且不牺牲研磨膏的关键性能，如粒子尺寸、大小分配、流动速率、对Cu/阻挡层的选择和稳定性等^[13]。所谓“智能”粒子是指对粒子性质有所了解和认识的意思，它是一种经表面处理加工的聚合胶态硅，特别适用Cu-CMP第一步的研磨，可大大降低Cu-CMP的损伤。

当前Cu-CMP研磨膏技术的发展趋势是：无划痕、易清洗、低的金属污染、高纯度、高稀释、低成本和单个包装系统等。国外Cu-CMP研磨膏供应商相继推出了

一些新型的Cu-CMP研磨膏，如DONGJIN Semicem公司推出SAFS (semi-harasive free slurry) 研磨膏，它含0~0.5% (重量百分率) 胶态硅，其粒子尺寸小于100nm。SAFS研磨膏的特点是：(1) 呈酸性，pH=2~3；(2) 不容易成团；(3) 粒子表面电荷能控制，可采用荷电的添加剂，如盐和表面活性剂等^[14]。JSR公司推出具有专利技术的JSR“复合”研磨膏CAS (composite abrasive slurries)，它的特点是：(1) 可控的硬度；(2) 单分散性 (mono-disperse)；(3) 球状；(4) 对研磨垫有缓冲作用；(5) 少划痕、少凹坑、少腐蚀；(6) 聚合物芯尺寸为100~200nm；(7) 包含 $Zr_2O_2(OH)CO_3$ ， TiO_2 ， SiO_2 和 Al_2O_3 等几种化合物。采用CAS研磨膏的除去率Cu为650nm/min；TaN小于1nm/min；TEOS小于1nm/min；凹坑 (100 μ m/100 μ m) 为50nm/min；侵蚀 (4.5 μ m/0.5 μ m) 为13nm/min^[15]。由此可见，CAS研磨膏最适合Cu-CMP研磨，划痕很少。Fujimi联合公司推出适合Cu-CMP第一步研磨的研磨膏planerlite-7102。一般Cu和Ta的研磨采用两步研磨，该公司提出三步研磨，即Cu研磨分两步进行，第一步为高除去率，除去深的凹坑和大的侵蚀，第二步为低除去率，除去Cu表面200nm内的不平整形。planerlite-7102研磨膏的特点是：(1) 在低压力下有高且稳定的除去率，在1psi下除去率为500nm/min；(2) 有好的平坦化效果和长的平坦化距离，使晶圆表面有低的和稳定的缺陷水平；(3) 绝对没有沉淀，不需要常规研磨膏所需的搅拌；(4) 有长的适用期 (大于3周) 和长的贮藏寿命 (大于7年)；(5) 有高的稀释率(10倍)，降低占用成本^[16]。

在研究Cu-CMP时同步研究低K-CMP，一般来说当 $K>2.2$ 时适用Cu-CMP的研磨膏也适用于低K-CMP。但当 $K<2.2$ 时，低K绝缘层的机械强度下降，易产生低K绝缘层脱离，所以必须开发低压力研磨装置，并进一步改善研磨膏和研磨垫。

在CMP以后必须立即对晶圆表面进行清洗，因为晶圆表面会存在研磨膏的粒子和金属离子，它们会对晶圆表面进行侵蚀，所以国外研制和销售“干进干出”的CMP设备，即组合CMP设备，它包括研磨、清洗和烘干。组合CMP设备与单独CMP设备相比，约可减少50%的粒子和节约30%的去离子水。CMP以后的清洗需大量的去离子水，它约占一个工厂总用水量的5~7%。为了节约用水，减少占用成本，Du Pont EKC Technology公司推出一种适用CMP以后Cu，STI和W清洗的缓冲螯合溶液 (buffered chelating solutions)，它能有效地降低粒子和金属的污染，如采用BCS溶液使STI CMP带来的 CeO_2 污染从 9×10^{10} 原子/cm²降至 8×10^8 原子/cm²。不同pH值的BCS溶液对除去金属污染的效果是不同的，必须控制好BCS溶液的pH值，除去W/CMP金属污染后BCS的pH值为4.2，除去Cu-CMP金属污染后的BCS pH值为7.5。该公司推出的EKC5000TM型BCS溶液对除去Cu-CMP，W-CMPSTI-CMP以后的离子和金属污染有较好的效果。

另外，由于铜在空气中容易氧化，而且不能形成自保护层来阻止其进一步氧化和腐蚀。因此，当CMP工艺完成之后，应立即给铜的表面生长一层保护层，以

防止其在空气中的氧化，目前普遍采用在表面淀积一层 Si_3N_4 或选择性淀积 $\text{W}^{[17]}$ 的方法作为铜的表面保护层。

2.5 铜互连中的低 K 材料

引进了铜布线后，要降低布线引起的延迟时间，采用低介电常数 k 的绝缘材料是必然。目前已有报道的低介电常数材料有很多，主要为有机材料，也有少量无机材料，其介电常数均小于常规 IC 工艺中使用的无定形 SiO_2 的 3.9~4.1，详见表 2.3。从表 2.3 可见，新型介质材料的介电常数已降至 3.0 至 2.0，甚至向 1.0 靠近。

表 2.3 低 k 值介质材料的介电常数

介质材料	Hydrogen silsesquioxane	Silicon oxyfuloride	Nanoporo us silica	BPDA-PDA	Fluorinated polyimides
介电常数	2.9	3.4 ~ 4.1	1.3 ~ 2.5	2.9 ~ 3.7	2.5 ~ 3.3

介质材料	PTEE	Benzocycl obutenes	Si-containing polymers	Polyimide foams	Silsesquioxans	Fluorinated silicon oxide
介电常数	2.0	2.7	2.8 ~ 3.7	2.0 ~ 2.3	2.9	3.5

除了低的介电常数，ILD 材料还必须具有高的热机械稳定性，好的黏附性，抗化学腐蚀性，低的吸水性和低成本。发展合适的低 k 材料所遇到的一般的挑战是同时获得低的介电常数和好的热机械性质，根本的困难在于能够增加结构稳定性的强的化学键也极易极化，这会导致介电常数的增大。

目前最有前途和最有可能的几种低K绝缘材料为：（1）英特尔公司发明的一种新型掺碳氧化物（CDO）低K绝缘材料，它可提高芯片内的信号速度并降低芯片功耗。这种CDO是通过简单的双层堆叠设计来实现，易于制造^[18]；（2）DOW Chemical公司的Si低K绝缘材料，是一种旋转涂布的聚合物；（3）Thomas West公司的多孔Si低K绝缘材料，其性质如表2.4所示^[19]；（4）应用材料公司的黑金刚石，它是一种无机和有机的混合物，台积电（TSMC）采用这种黑金刚石，为杰尔系统公司代工新型通信芯片；（5）Novells Systems公司的CORAL低K绝缘材料；（6）NEC公司的超薄氟化碳氮化物（FCN），再加上由有机层构成的隔离薄膜，可使铜扩散减少一个数量级或更多，提高了铜互连的可靠性^[20]。

表2.4 多孔硅低K绝缘材料性质

参数	旋转涂布	方法
电介质常数K	2.2	1MHz下CV Dot
模数/GPa	0.35±0.1	纳米尺寸凹槽(0.6μm)
硬度/GPa	3.50±0.02	纳米尺寸凹槽(0.6μm)
细孔尺寸/nm	2.0	BET
重量损耗%/h	<1	425°C下ITGA, (N ₂ 环境下)
拉伸应力/MPa	20	Flexus
CTE/10 ⁻⁶ /°C	10	在平面晶圆曲线内

第三章 铜互连电迁移研究

3.1 铜互连和铝互连的比较

3.1.1 材料特性比较

表 3.1 不同金属材料的物理属性比较

特性	铝(Al)	金(Au)	银(Ag)	铜(Cu)
电阻率($\mu\Omega\cdot\text{cm}$)	2.66	2.35	1.59	1.67
熔点($^{\circ}\text{C}$)	660.3	1063	960.8	1083.4
原子量	26.98	196.96	107.86	63.54
硬度(HV)	15	20-30	25	51
热导率(W/cm)	2.38	3.15	4.25	3.98
抗电迁移率	低	高	很低	高
抗腐蚀性	高	很高	低	低

可以看出,采用低电阻率的金属材料作连线,可以降低总的互联电阻,进而达到降低互联延迟的目的。如何选择适合上述要求的金属材料,表 3.1 列出了常用的金属互连线材料的主要性能。从表中可以看出,Al 是一种较好的导电材料,实际上 Al 已经用了好几十年,但是致命弱点是抗电迁移性能差;Au 的电阻率最高;Ag 虽然具有最低均电阻率,但是,抗电迁移性可靠性方面表现较差。Cu 在机械和电学特性两方面都有良好的表现:电阻率仅为 Al 的 70%、熔点最高(比铝的熔点大了 60%)、热功耗低、抗电迁移性能好(铜的激活能为 0.8eV > 铝的激活能 0.5eV)。

3.1.2 互连制造工艺比较

图 3.1 给出了 Al 互连工艺和双大马士革结构工艺的比较,由此可以分析其工艺的差别。

同时为下一步的电镀铜定晶向，以便减小失效。铜的淀积没有一直使用 CVD 工艺是因为 CVD 工艺的淀积速度太慢，不适宜市场的要求，而在对铜的内层材料要求不是很高的条件下，电镀是一个不错的选择。

综上所述，铜互连工艺和铝互连工艺的差别是明显的。因为在材料特性方面的差异，所以在铜的工艺方面存在很大的差异。

1. 因为铜的高硬度，所以对铜的腐蚀进而形成图形是比较困难的，因此引入了镶嵌工艺和 CMP 工艺；

2. 因为铜的抗腐蚀性差，所以一般需要做钝化层；

3. 铜是污染金属，因此阻挡层的引入是必要的。

由于在材料和工艺方面的差异，因此在互连结构方面的差异也就理所当然了。

3.1.3 互连结构的比较

从图 3.1 的流程可知 Cu 互连关键工艺，即：为了防止 Cu 的污染和难以刻蚀的问题，需要引入阻挡层、CMP 平坦化、专门的通孔技术与通孔材料，以及残余杂质的清洁等工艺，这些新技术的引入均导致 Cu 互连线新的可靠性问题出现。表 3.2 给出了 Al 互连工艺基本的互连材料 Al(Cu)合金与 Cu 互连材料相比的差异。

表 3.2 Al(Cu)和 Cu 的激活能比较

扩散率	Al(Cu)	Cu
颗粒边界	0.8—0.96eV	0.88—0.95eV
材料界面	1.01eV	0.7—0.86eV
晶 格	1.4eV	2.2eV

从表 3.2 中我们可以知道，对于 Al(Cu)合金而言，颗粒边界的激活能为 0.8-0.96eV，与界面或内部相比是最小的，故 Al(Cu)中，颗粒边界扩散占主导地位。同理，Cu 中界面扩散占主导地位。Al(Cu)有稳定的界面；而铜却没有稳定的界面。这说明对于铜工艺而言，铜的可靠性方面的问题更加复杂。上述的数据说明，在铜互连中，我们不仅要考虑铜本身的淀积工艺，更要考虑和铜薄膜紧密相连的阻挡层界面的情况。

从加工后的连线结构来说，Al 连线工艺是平面工艺；而 Cu 互连工艺则是全新的 3D 微结构。所有的这些差异又导致了 Cu 互连工艺出现许多新的可靠性问题。

对于 Cu 互连(主要是通孔和沟槽连线)而言，电迁移、应力迁移和温度循环应力迁移的影响是可靠性研究的主要内容。实际上，任何一处的失效都不是简单的一种失效模式起作用，而是电、热、应力纵横交叉的结果。引起应力迁移的应力场往往来源于热失配和器件工作时的暂态过程。电流的焦耳热效应引起的导线内

的温度梯度所导致的热迁移也不可忽视。但最为严重的是：内导线需要承受高密度且方向不变的工作电流，于是便不可避免地引起严重的电迁移问题。在一般的情况下，电迁移是最经常考虑的一种主要失效机理。从图 3.1 的示意图中我们知道铜互连线系统大致由三部分组成，即覆盖层（Coating Layer，又称为介质阻挡层）、铜金属层、导电阻挡层，也可以简单分为通孔（Via）和连线（Line）。

3.2 电迁移物理

在直流电流的作用下，金属离子沿导体的输运现象称为电迁移。早在 1861 年，Gerardin 在 Pb-Sn, K-Na, Au-Hg, Bi-Hg 等液态合金中就发现了电迁移现象。1966 年，Blech 和 Sello 发现了铝膜电迁移是硅平面器件的主要失效原因。此后关于金属薄膜的电迁移研究十分活跃。自 1967 年以来，历届可靠性物理年会上均有电迁移研究方面的成果发表。近年来，随着集成电路特征尺寸的急剧缩小，器件所承受的功率密度，金属薄膜所传递的电流密度逐年增大，电迁移这个失效机理就更为人们所关注。

电迁移问题之所以成为影响可靠性的主要问题，是因为它会导致互连的失效。存在原子流散度的位置就是失效发生的地方，也就是说，该处的净原子流量不为零。在有原子净损耗的地方，局部应力变成逐渐增大的张应力，张力一旦达到一个临界值(σ_{crit})，就会在互连线中形成空洞，进而会导致开路失效。在互连线被覆盖以难熔金属层的情况下，当空洞在互连线中形成时，电流会在这些金属层产生分流，由此导致电阻升高。当电阻增大到一定程度，可以认为此时互连线已经失效。在有原子净积累的地方，局部应力变成逐渐增大的压应力，会导致铜晶须的形成。如果晶须接触到相邻的互连线或通孔，会产生短路失效。

3.2.1 电迁移中的离子流

电迁移是电流通过导体时引起的金属离子质量输运，其离子流密度可写为：

$$J = Nv = N\mu F \quad (3-1)$$

这里， N 为运动的金属离子浓度， v 是离子运动速度， μ 是离子迁移率， F 是作用到离子上的力的总和，它是电场力 F_q 与载流子和金属离子间动量交换产生的摩擦力 F_e 之和。对于良导体，由于载流子(电子)的屏蔽作用，电场力很小，在高电流密度下，摩擦力可以远大于电场力，所以电迁移的离子流方向往往与载流子运动方向相同。对 Al、Au 等金属膜，载流子为电子，故这一摩擦力又称为电子风(electron wind)。经理论计算，因而金属离子所受合力为：

$$F = F_e + F_q = -\frac{1}{2}qZ \frac{N\rho_d m_0}{\rho N_d m_e^*} E + ZqE = Z^* qE \quad (3-2)$$

式中,

$$Z^* = Z \left(1 - \frac{1}{2} \frac{N\rho_d m_0}{\rho N_d m_e^*} \right) \quad (3-3)$$

Z^* 为有效原子价数,其绝对值越小,则抗电迁移能力越强。表 3.1 列出了一些金属材料的 Z^* :

表 3.3 各种金属材料的有效原子价数 Z^*

材料	Pt	Co	W	Li	Cd	Cu	Au	Ag	Al
Z^*	+0.3	+1.6	+20	-1.4	-0.15~ -3.2	-5	-8	-26	-30

从表 3.3 比较铝、铜两种材料看出: ①对于金属互连线材料 Al 和 Cu, 其 $Z^* < 0$, 说明电子风产生的力驱动金属离子向正极移动; ② $|Z_{Cu}^*| < |Z_{Al}^*|$, 且 $|Z_{Cu}^*| = \frac{|Z_{Al}^*|}{6}$, 说明 Cu 的抗电徙动能力远大于 Al。

经推导, 可得电迁移离子流密度为:

$$J = Nq\rho j Z^* \frac{D}{fkT} \exp\left(\frac{-Q_a}{kT}\right) \quad (3-4)$$

此式即电迁移离子流方程, D 为扩散系数, Q_a 为扩散激活能。这一方程直接给出了电迁移离子流与电流密度 j 之间的定量关系。如前所述, 对于多数金属膜, Z^* 为负值, 所以离子流 J 的方向与电流密度 J 的方向相反, 其值与 j 成正比。

在金属薄膜中, 离子流有三种: 晶格离子流 J_l 、晶界离子流 J_b 和表面离子流 J_s 。其中以 J_b 为主, 其余两者在考虑电迁移问题的时候可以忽略。可以得到

$$J_b = \frac{\delta D_b}{s} \left(-\nabla N_b + \frac{D_b}{fkT} Z_b^* q \rho_b j \right) \quad (3-5)$$

这里, δ 为晶界有效宽度, s 为平均晶粒尺寸。 N_b 为沿晶界迁移的离子浓度, D_b 为沿晶界的扩散系数, ρ_b 为载流子沿晶界传输的电阻率。由于电迁移是由原子输运而引起的, 但是, 即使在高温、大电流密度下, 只要连续的离子流通过金属薄膜, 即离子流散度为零, 就不会出现净质量输运, 电迁移也就不会发生。所以, 要研究薄膜失效, 还要考虑其离子流散度, 由式(3-5), 可得离子流散度:

$$\nabla \cdot J_b = \frac{\delta D_b}{s} \left[-\nabla^2 N_b + \frac{N_b}{fkT} Z_b^* q \rho_b j \left(\frac{\nabla N_b}{N_b} + \frac{\nabla \rho_b}{\rho_b} + \frac{\nabla j}{j} + \frac{\nabla Z_b^*}{Z_b^*} - \frac{\nabla T}{T} \right) \right] + \left(\frac{\nabla D_b}{D_b} - \frac{\nabla s}{s} \right) J_b \quad (3-6)$$

由式(3-6)可知, 导致离子流密度不连续性的因素可以归结为电流密度梯度、温度梯度和结构梯度。由于金属互连线设计上的几何尺寸梯度, 以及电迁移空洞效应造成的局部截面减小都会产生电流密度的变化, 从而形成了电流密度的梯度。同时, 对于实际半导体器件, 因生热、散热不均匀, 也必然存在温度梯度。此外, 在互连线内部, 微观结构梯度也是金属化电迁移失效的一个重要因素, 原因是小晶粒区中晶界多于大晶粒区, 于是从小晶粒间界流出的离子流大于从大晶粒间界流出的离子流。这样的流动使晶粒大小发生变化, 进而导致电迁移失效。在实际中, 这三种因素相互叠加, 影响更为复杂, 适当控制这些因素可以延长互连线的电迁移寿命。

3.2.2 电迁移失效的物理参数

描述电迁移失效的基本参数有中值失效时间和激活能。中值失效时间是衡量互连线可靠性的重要参量。互连线电迁移失效时间并不是定值, 而是满足一定的分布。大量实验研究发现, 金属薄膜电迁移失效时间分布基本上满足于对数正态分布。在 t 时刻, 失效几率方程可以表示为:

$$f(t) = \frac{1}{\sqrt{2\pi}\sigma t} \exp \left[-\frac{1}{2} \left(\frac{\ln t - \ln t_{50}}{\sigma} \right)^2 \right] \quad (3-7)$$

式(3-7)中, t_{50} 为中值失效时间(Median Time to Failure)即 MTF , 是互连线失效的数量达到测量互连线总数的 50% 所需要的时间。 σ 为标准离差, 是分布宽度的量度, σ 大表示失效机理的多样性及复杂性。所以对半导体器件中所应用的金属薄膜, 希望 t_{50} 大, σ 小。在实际工作中, 通常用到的是累积失效率 $F(t)$, 即在 0 到 t 时刻的总失效率, 即:

$$F(t) = \int_0^t f(t) dt = \int_0^t \frac{1}{\sqrt{2\pi}\sigma t} \exp \left[-\frac{1}{2} \left(\frac{\ln t - \ln t_{50}}{\sigma} \right)^2 \right] dt \quad (3-8)$$

根据定义, 当 $F(t)=0.5$ 时, 所对应的时间 t 就是前面所定义的 MTF 。所以, 可以在同样的条件下, 对一组相同的样品进行试验, 做出失效百分比和时间的关系曲线, 并进行拟合(威布尔曲线), 来求得中值寿命。

激活能 Q_a 的定义为原子克服势垒所必须得能量, 通俗的讲就是原子脱离平衡位置发生迁移所需的最小能量。激活能和原子的扩散关系密不可分。所以对电迁

移寿命的影响至关重要。影响激活能的因素很多，如互连线的晶粒尺寸大小，互连线的晶粒的结构取向，互连线中应力梯度的影响等。因此，激活能无法给出一个确定的常量，它与不同的工艺、不同的互连线材料、不同的测量方法和算法密切相关。在本实验中，我们采用下面的方法由实验数据提取激活能参数。

激活能可由下式给出：

$$MTF = \frac{Wd}{Cj^2} \exp\left(\frac{Q_a}{kT}\right) \quad (3-9)$$

其中式(3-9)中， W 为互连线的宽度， d 为互连线的厚度， J 为电流密度， Q_a 为扩散激活能， k 为波尔茨曼常量， T 为互连线薄膜平均温度， C 为与互连线薄膜结构梯度，薄膜衬底及覆盖层性质有关的常数。

Black^[21]采用经典的方法推出式(3-10)：

$$MTF = \frac{A}{j^2} \exp\left(\frac{Q_a}{kT}\right) \quad (3-10)$$

在式中，认为 $n=2$ 。于是我们通过求出同一电流密度下，不同温度下的一组 MTF 值，来求出 Q_a 。

由式(3-9)可知，要提高互连线的抗电迁移能力，要求：①降低互连线条的温度；②优化线条的几何特性；③采用扩散激活能大的材料。前两项受到器件和工艺的限制，不能变化太大。为了进一步提供抗电迁移能力，采用扩散激活能大的材料是必然的。

3.3 影响铜互连电迁移的主要因素

由电迁移驱动力产生的离子流 J 是扩散系数 D 的函数，如方程(3-4)所示。这里的扩散系数 D 是互连线中所有扩散途径的原子扩散系数的加权，铝线和铜线具有不同的扩散系数，这部分归因于它们集成工艺的不同。铝线是通过薄膜淀积制成，在铝膜的上下层淀积有 Ti 或是 TiN，形成夹层结构，下层用来分流，上层同时作为分流层和抗反射涂层。淀积完毕后，进行刻蚀和用层间介质（如 SiO_2 ）钝化。由上述工艺决定的主要的扩散途径有：晶格，夹层中的两个界面，金属/侧墙界面和晶界。由于夹层结构中上下界面的扩散率近乎相同^[22]，经过刻蚀与钝化后结构的 ZD 积可写为：

$$Z^*D = Z_B^*n_B D_B + 2Z_I^*D_I \delta_I (1/w + 1/h) + Z_{GB}^* \sum_j^n D_{GBj} (\delta_{GBj}/d) \quad (3-11)$$

其中的下标 B 、 I 和 GB 分别表示晶格，界面和晶界； δ_I 和 δ_{GB} 分别是界面和晶界的宽度； d 是晶粒尺寸， w 是线宽， h 是线的厚度， n_B 、 $2\delta_I (1/w + 1/h)$ 和 (δ_{GB}/d)

分别是晶格、界面和晶界的原子扩散分量。

与铝互连相比，铜互连的制法采用大马士革工艺。先在 ILD 上刻出线槽和通孔，再淀积阻挡层 (Ta) 和 Cu 晶种层，然后在线槽和通孔里电镀铜，多余的金属用化学机械抛光 (CMP) 去除，最后覆盖钝化层。典型的钝化层是 SiN，作为层间阻挡层。当线槽和通孔的刻蚀及金属淀积都在同一 ILD 中进行时，上述工艺就称为双大马士革工艺。由大马士革工艺决定的互连系统的扩散途径有：晶格，Cu/Ta 界面，Cu/SiN 界面和晶界。类似方程(3-11)，大马士革结构的 Z^*D 积可写为：

$$Z^*D = Z_B^*n_B D_B + Z_I^*D_I \delta_I (2/w + 1/h) + Z_S^*D_S \delta_S / h + Z_{GB}^* \sum_j D_{GBj} (\delta_{GBj} / d) \quad (3-12)$$

其中下标 B , I , S 和 GB 分别表示晶格，Cu/Ta 界面，Cu/SiN 界面 (Cu 表面) 和晶界； δ_I , δ_S 和 δ_{GB} 分别是界面、表面和晶界的宽度； d 是晶粒尺寸， w 是线宽， h 是线的厚度， n_B , $\delta_I(2/w+1/h)$, (δ_S/h) 和 (δ_{GB}/d) 分别是晶格、界面、表面和晶界的原子扩散分量。

方程(3-11)中，晶界扩散 (D_{GB}) 相对于界面扩散 (D_I) 和晶格扩散 (D_B) 占主导地位，所以在决定铝互连的可靠性上，微观结构是主要因素^[23]。具有竹节结构的互连线(图 3.2(a))其晶界与电流方向垂直，所以电迁移发生在扩散率较慢的表面，使得电迁移寿命增加。另一方面，具有多晶结构的互连线(图 3.2(b))，许多晶界在电流方向上存在分量，所以晶界提供了主要的快速扩散通道，导致电迁移寿命的降低。

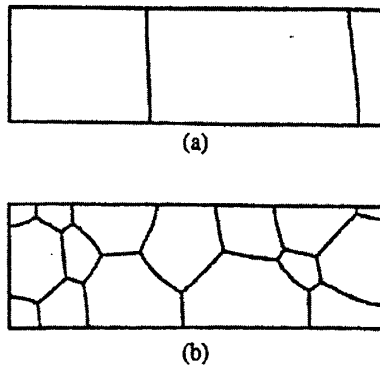


图 3.2 互连线微观结构 (a) 竹节结构, (b) 多晶结构

在铝互连中，晶界是离子扩散的主要途径，在铜互连中，微结构已经不再是影响电迁移的主要因素，铜线与钝化层的交界面 (即铜线上表面) 成为扩散最快的途径^[24]。研究表明铜互连的可靠性可以通过降低表面扩散得到提高，所以铜线

上表面是影响电迁移的关键。一旦表面扩散被充分抑制，晶界或界面就成为影响铜互连电迁移的主要因素。目前通过改变工艺提高铜的抗电迁移性有两种方法，即使用铜合金和金属钝化层。

现在已经有了几种在铜线中掺杂合金元素的方法。其中一种是基于已掺杂的铜晶种，先用 PVD 法在铜的阻挡层上淀积一薄层铜晶种，为后续的电镀工艺提供导电表面。电镀完之后进行退火，将晶种中的杂质金属驱赶到互连线与通孔中^[25]。其他方法有铜表面的离子注入和复合电沉积法。

已经研究的合金元素有：Al, Cr, Mg, Pd, Sn 和 Zr，其中 Sn 的效果较好，CuSn 可使电迁移寿命得到显著的提高。研究表明，随着 Sn 含量的增加，电迁移率成比例的下降。然而随着 Sn 的加入，铜线的电阻率会明显的增大，这会导致 RC 延迟增大。关于这个问题所作的研究表明，Sn 的电阻率不仅受掺杂浓度的影响，还与后续的退火过程有关。在退火过程中，电阻率会随时间下降至一个有限值^[25]。

因为铜线的上表面是最快的扩散途径，所以在改善上表面以提高抗电迁移性方面已经开展了大量的研究工作。例如，不同的高熔点材料如 SiN 和 SiC，已经被作为介质钝化层进行了研究^[26]。同时，对淀积介质钝化层前的不同的工艺条件也进行了研究^[27]。两种研究都表明会对后来的抗电迁移性产生影响。另一种很有希望能提高抗电迁移性的方法是使用金属钝化层。一种新钝化层材料必备的性质包括：保护铜不被氧化，能抑制在退火过程中小丘的形成以及具有良好的黏附性。化学镀 CoWP 作为可供选择的钝化层材料已经显示出优良的特性，如低的薄膜电阻率和极好的保形性。

对铜互连的研究表明，用 CoWP, CoSnP 或 Pd 作为铜线的钝化层可以显著的提高电迁移寿命^[28]。这里，在研究中所采用的测试条件下，对于金属钝化层材料，达到预定电阻增加量的时间比 SiN_x 样品高出大约 10 倍。尽管造成这种现象的原因尚不清楚，但可以推测化学镀金属钝化层改变了表面的键合力，降低了铜原子的迁移率。在一项研究中，用 W 取代传统的掩膜，由于有效介电常数的减小，可以使互连延迟降低 15%。在低 k ILD 互连系统中，这种效果最为明显。

第四章 铜互连应力研究

4.1 物理模型

金属互连线中的原子迁移是通过空洞交换机制完成的，故原子流与空洞流大小相等，方向相反。在外加电场 E 和因机械应力所致化学势梯度 $\nabla\mu$ 条件下，空洞流表达式为

$$J_v = C_v \frac{D_v}{kT} (\nabla\mu + q^* E) \quad (4-1)$$

其中 C_v 是空洞浓度， D_v 为空洞扩散率， kT 为热能， q^* 是有效电荷量。

$q^* = |Z^*|e$ ， e 是电子电荷， Z^* 是有效电荷数。由于单组分晶格中的自扩散化学势 μ 是原子与空洞化学势之差，即

$$\mu = \mu_a - \mu_v \quad (4-2)$$

假定增加或减少晶界或界面处的晶格缺陷可以维持空洞的局部平衡，则化学势可写为^[29]

$$\mu = \mu_0 - \Omega\sigma \quad (4-3)$$

其中 μ_0 是不加应力时的化学势， Ω 是原子体积， σ 为垂直于晶界或界面的张应力。

Korhonen et al. 提出由电迁移驱动的原子通量会使原子在晶格边界上淀积以保持晶格边界上的应力的平衡。在任意特殊的剖面内，因为扩散的长度远远大于晶格尺寸，所以应力在与沿着线长方向长距离扩散的时间相比短的时间内，应力可认为处于静态，这样大大简化了分析。因为沿着线长方向上的任意剖面内的应力是同一的，所以我们只需要考虑沿着线长方向上的应力梯度。更进一步，我们假设互连线是结构均匀的，即晶格大小是同一的，由于结构和晶格边界角度不同而造成的扩散率差异可以忽略。

由此，空洞通量可以写成如下形式：

$$J_v = -C_v \frac{D_v}{kT} \left(\Omega \frac{\partial \sigma}{\partial x} - q^* E \right) \quad (4-4)$$

其中包含电场的因子的符号取决于电场的方向，我们以电场方向为 +x 方向。

在平衡态，空洞浓度与机械应力存在下述关系：

$$C_v = C_{v0} \exp\left(\frac{\Omega\sigma}{kT}\right) \quad (4-5)$$

其中 C_{v0} 是无外加应力时的平衡空洞浓度。所以空洞流可以表达为

$$J_v = -D_v \left(\frac{\partial C_v}{\partial x} - \frac{q^* E}{kT} C_v \right) \quad (4-6)$$

空洞浓度是位置与时间的函数，可以通过解连续性方程(4-7)得到：

$$\frac{\partial C_v}{\partial t} + \frac{\partial J_v}{\partial x} + \gamma = 0 \quad (4-7)$$

其中 γ 表示在晶界、位错或界面处空洞的复合/产生项。应用方程(4-5)，设 D_v 是常数，我们可以得到：

$$\frac{\partial J_v}{\partial x} = -D_v \left(\frac{\partial^2 C_v}{\partial x^2} - \frac{q^* E}{kT} \frac{\partial C_v}{\partial x} \right) \quad (4-8)$$

当 $\gamma = 0$ 时，这个连续性方程可以写作：

$$\frac{\partial C_v}{\partial t} - D_v \left(\frac{\partial^2 C_v}{\partial x^2} - \frac{q^* E}{kT} \frac{\partial C_v}{\partial x} \right) = 0 \quad (4-9)$$

这个形式的电迁移方程被 Shatzkes 和 Lloyd 用以观察在半无限长互连线末端空洞的形成，被 Clement 和 Lloyd 用以分析无限长互连线在各种边界条件下的空洞浓度的变化。Rosenberg 和 Ohring 在计算晶粒边界处的空洞密度时引入了一个“复合/产生”项。Kirchheim 用了一个包含类似的“复合/产生”因子的模型，它是基于多个将应力与空洞浓度相联系的多个方程。

只有数量相当少的空洞会作用于局部空洞浓度的变化，以维持应力的局部平衡，相当多的输运着的空洞通过在晶粒边界或晶格位错上的位错攀移进行“复合/产生”，改变局部应力。因为在晶粒状金属薄膜中位错密度很高，可以假设在与沿线长方向上长范围扩散所需时间相比无穷小时间内空洞浓度是平衡的。因此，这个“复合/产生”可以简单的写作：

$$\gamma = -\varepsilon \frac{\partial C}{\partial t} \quad (4-10)$$

其中 C 是晶格点密度， ε 是线横截面面积与扩散路径面积之比。因为在沿着晶粒边界扩散这个例子中，晶粒大小比线宽小很多， ε 可以为晶粒大小与晶粒边界厚度之比。因此，方程(4-7)可以写为：

$$\frac{\partial C_V}{\partial t} - \varepsilon \frac{\partial C}{\partial t} + \frac{\partial J_V}{\partial x} = 0 \quad (4-11)$$

在被刚性介质包围的金属线中，局部应力与原子密度满足如下关系：

$$\frac{dC}{C} = -\frac{d\sigma}{B} \quad (4-12)$$

其中 B 是弹性模量，它与金属和相邻介质的性质以及线厚度与宽度之比有关。

这样 Korhonen et al.建立的方程(4-4)可以写成：

$$\frac{\partial C_V}{\partial t} + \frac{\varepsilon C}{B} \frac{\partial \sigma}{\partial t} + \frac{\partial J_V}{\partial x} = 0 \quad (4-13)$$

利用方程(4-5)，上述方程可以化为：

$$\left(1 + \frac{C}{C_V} \frac{kT\varepsilon}{B\Omega}\right) \frac{\partial C_V}{\partial t} + \frac{\partial J_V}{\partial x} = 0 \quad (4-14)$$

因为 $\left(\frac{C_V}{C}\right)\left(\frac{B\Omega}{kT\varepsilon}\right) \ll 1$ ，所以上式可写为：

$$\frac{\partial C_V}{\partial x} - \frac{D_V C_V}{C} \frac{B\Omega}{kT\alpha} \left(\frac{\partial^2 C_V}{\partial x^2} - \frac{q^* E}{kT} \frac{\partial C_V}{\partial x}\right) = 0 \quad (4-15)$$

这个转化利用了方程(4-8)。

原子扩散率的表达式为：

$$D_a = D_V \frac{C_V}{C} \quad (4-16)$$

综合(4-1)-(4-16)，可以推导得到

$$\frac{\partial C_V}{\partial t} - D_{a0} \frac{B\Omega}{kT\varepsilon} \frac{C_V}{C_{V0}} \left(\frac{\partial^2 C_V}{\partial x^2} - \frac{q^* E}{kT} \frac{\partial C_V}{\partial x}\right) = 0 \quad (4-17)$$

其中 D_{a0} 是无应力时的原子扩散率。这样就概括了应力通过空洞密度作用与原子扩散的主要影响。

引入了无量纲变量——约化长度 ξ ，约化时间 ζ ，约化空洞浓度 ν ，

$$\xi \equiv \frac{x}{l}, \quad \zeta \equiv \left(\frac{B\Omega}{kT\alpha}\right) \frac{D_{a0} t}{l^2}, \quad \nu \equiv \frac{C_V}{C_{V0}} \quad (4-18)$$

因此方程(3-16)可以变化为

$$\frac{1}{\nu} \frac{\partial \nu}{\partial \zeta} - \frac{\partial}{\partial \xi} \left(\frac{\partial \nu}{\partial \xi} - \beta \nu\right) = 0 \quad (4-19)$$

其中 $\beta = q^* \rho j l / kT$ ，而 l 是特征长度(例如，出现通量散度的点之间的位置，或者是

有限长互连线的长度)。其中电场被写为电流密度与电阻率的乘积 $E = \rho j$ 。再者, β 的符号可为也可为负, 这取决于电场及电流的方向。

在适当的初值条件和边界条件下解连续性方程可以得到是时间空间函数的空洞密度表达式。在加电场以前, 初始空洞分布与零应力时的密度相同, 即

$$C_v(x,0) = C_{v0} \quad \text{或} \quad v(\xi,0) = 1 \quad (4-20)$$

4.2 无限及半无限长互连线

无法得到方程(4-19)的精确解。但是, 在空洞集结的早期, 空洞浓度不会明显偏离初始平衡值, 所以

$$\frac{dv}{v} = d(\ln v) \approx dv \quad (4-21)$$

方程(4-19)可以化为:

$$\frac{\partial v}{\partial \zeta} - \frac{\partial}{\partial \xi} \left(\frac{\partial v}{\partial \xi} - \beta v \right) = 0 \quad (4-22)$$

现在研究如图 4.1 图 4.2 所示的两种互连线结构, 其中的电接触由钨或是其他阻挡材料的与覆盖的金属线形成。如图 4.1 所示的结构中, 通孔与上层金属的末端连接。图 4.2 所示的结构大致与图 4.1 相同, 不同的是金属线的末端并不在通孔处而是越过通孔继续向前延伸, 因此有一段无电场区域, 它存在于无电子流动区域。在这两种结构中, 金属原子的迁移都会使得在接触点产生应力。但是, 在第二例中, 无电场区域与电流流动区域毗邻, 提供了一个可以让迁移的金属原子流入或流出的缓冲。如此, 有无电场区域结构的互连线中应力集结的较慢。

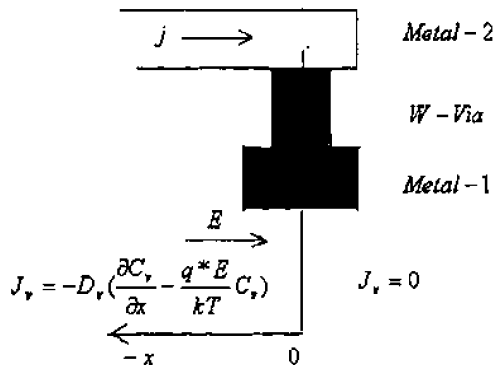


图 4.1 半无限长互连线的阻挡边界条件及互连线结构示意图

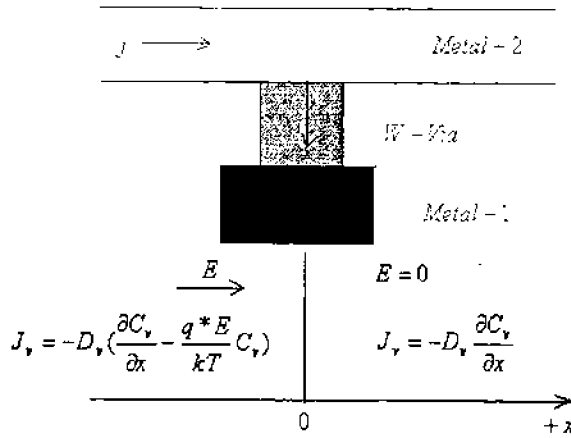


图 4.2 无限长互连线的边界条件及互连线结构示意图

模型的边界条件方程已经在图 4.1 与图 4.2 中表示出来。图 4.1 所示的半无限长互连线中, 空洞流量在 $x=0$ 处的阻挡边界位置上为 0, 即 $J_v(0, t) = 0$ 。由方程(4-6) 此条件化为:

$$\frac{\partial v}{\partial \xi} - \beta v = 0 \quad (4-23)$$

在另一边界 $x = -\infty$ 处, 空洞浓度仍保持在他最初的零应力平衡状态值

$$C_v(-\infty, t) = C_{v0} \quad \text{或} \quad v(-\infty, \zeta) = 1 \quad (4-24)$$

如下给出空洞浓度在阻挡边界处的解

$$v = 1 + 2\delta^2 + 2\left[\delta^2 \operatorname{erf} \delta + \frac{\delta}{\sqrt{\pi}} \exp(-\delta^2)\right] \quad (4-25)$$

其中 $\delta = \beta\sqrt{\zeta}/2$ 。在初始阶段, 由于 $\delta \ll 1$, $\operatorname{erf} \delta \approx 2\delta/\sqrt{\pi}$, 上式可简化为

$$v = \frac{C_v}{C_{v0}} = 1 + \beta\sqrt{4\zeta/\pi} \quad (4-26)$$

由方程(4-5), 约化应力 η 定义为

$$\eta \equiv \frac{\Omega\sigma}{kT} = \ln\left(\frac{C_v}{C_{v0}}\right) = \ln(v) \quad (4-27)$$

因此在半无限长互连线的阻挡边界点上应力建立的早期:

$$\eta = \beta\sqrt{4\zeta/\pi} \quad (4-28)$$

用方程(4-27)所定义的无量纲变量，方程可以变形为

$$\frac{\partial \eta}{\partial \zeta} - \frac{\partial}{\partial \xi} \left(\frac{\partial \eta}{\partial \xi} - \beta \right) = 0 \quad (4-29)$$

在如图 4.2 所示的互连线中，无穷远的两端空洞浓度仍保持在最初的零应力平衡状态：

$$C_v(\pm\infty, t) = C_{v0} \quad \text{或} \quad v(\pm\infty, \zeta) = 1 \quad \text{或} \quad \eta(\pm\infty, \zeta) = 0 \quad (4-30)$$

在 $x=0$ 处，空洞流必须是连续的，即， $J_{v,2(0,t)} = J_{v,1(0,t)}$ ，因此

$$\frac{\partial v_1}{\partial \xi} - \beta v_1 = \frac{\partial v_2}{\partial \xi} \quad (4-31)$$

于是，无限长互连线中在阻挡边界处的空位浓度的解为

$$v = \exp(-\delta^2/2)[(1+\delta^2)I_0(\delta^2/2) + \delta^2 I_1(\delta^2/2)] + \frac{2\delta}{\sqrt{\pi}} \quad (4-32)$$

当 x 很小的时候， $I_0(x) \approx 1$ 而 $I_1(x) \approx x/2$ 。所以在初期 $\delta \ll \sqrt{2}$ ，上式可简化为：

$$v = \frac{C}{C_v} = 1 + \beta\sqrt{\zeta/\pi} \quad (4-33)$$

而在无限长互连线阻挡边界处的约化应力为：

$$\eta = \beta\sqrt{\zeta/\pi} \quad (4-34)$$

4.3 有限长互连线

方程(4-19)的解还能用来对以上两种结构的有限长互连线中的空洞浓度进行数值计算。在第一种结构中，互连线的一端($x=0$)是阻挡边界，而另一端($x=l$)的空洞浓度仍然保持在最初的无应力平衡状态：

$$C_v(-l, t) = C_{v0} \quad \text{或} \quad v(-l, \zeta) = 1 \quad \text{或} \quad \eta(-l, \zeta) = 0 \quad (4-35)$$

零应力边界条件仍适用于互连线末端有空洞的情况。

在另一种结构中，设无场区域的长度与其另一端的互连线长度相同。在这样的互连线的两端空洞浓度仍然保持在零应力条件下的初始平衡值，因此

$$C_v(\pm l, t) = C_{v0} \quad \text{或} \quad v(\pm l, \zeta) = 1 \quad \text{或} \quad \eta(\pm l, \zeta) = 0 \quad (4-36)$$

研究发现^[29]有限长互连线中的应力达到饱和需要的时间较长,在这些边界条件下,很容易得到稳态空洞浓度分布

$$v(\xi, \infty) = \exp[\beta(1 + \xi)] \quad (4-37)$$

互连线中稳态应力分布为:

$$\eta(\xi, \infty) = \beta(1 + \xi) \quad (4-38)$$

此外,互连线中稳态应力的梯度在互连线长度方向上是同一的:

$$\frac{d\sigma}{dx} = \frac{q^* \rho_j}{\Omega} \quad (4-39)$$

在稳态时,即应力达到饱和状态时,电子流产生的电迁移通量与由于应力梯度产生的回流通量相互抵消,这就是方程(4-39)的意义所在。Blench 在漂移速度试验中研究了由于电迁移而产生的 Al 岛边界的移位,通过这一实验我们可以发现对于电流密度与线长的乘积在低于某一阈值时电迁移现象是不会发生的,这也同样适用于铜金属化系统。

还有另一组在技术应用方面很有意义的边界条件,即离子流在有限长互连线的两端被阻挡,满足零通量边界条件:

$$J_v(0, t) = J_v(-l, t) = 0 \quad (4-40)$$

这组边界条件是当金属互连线的两端与钨或是其他阻挡材料的通孔相连,是实际集成电路中普遍存在的情况,在这样的例子中方程(4-29)的解—通量在线的两端被阻挡的有限长互连线中的应力:

$$\eta = \beta\left(\frac{1}{2} + \xi - \sum_{n=0}^{\infty} m_n^{-2} \exp(-m_n^2 \zeta) \cos m_n \xi\right) \quad (4-41)$$

其中 $m_n = (2n+1)\pi$,由式子(4-41)可以得出稳态应力的分布, $\eta = \beta\left(\frac{1}{2} + \xi\right)$,它已经是稳态的精确近似解。

4.4 模拟结果及分析

图 4.3 是根据上述物理模型中的半无限长互连线满足零应力边界条件时,得到的应力分布图及其随时间的变化情况,从该图可以发现随着时间的变化互连线

线长方向上的应力梯度逐渐趋于一致，此现象我们同样可以在后面对有限长互连线的分析中看到，所代表的物理过程及意义也会一同在后面进行讨论。但是与有限长互连线所不同的是，根据不同的电流流向，在半无限长互连线中只能观察到压应力或是张应力。

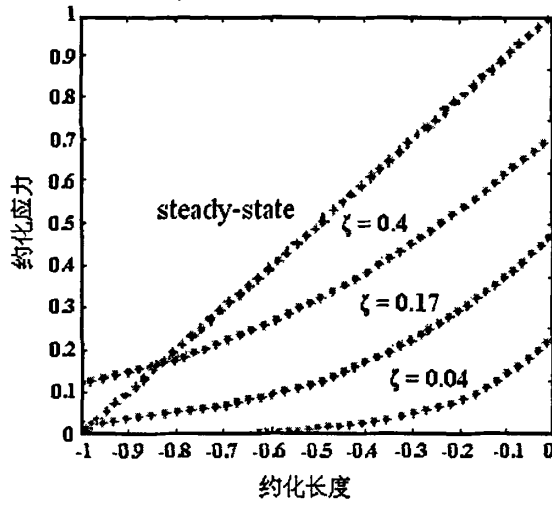


图 4.3 半无限长互连线中的应力分布及随时间变化情况

图4.4是据上述物理模型，在满足有限长互连线的边界条件下所得出的互连线中应力在线长方向上的分布，及此分布随时间的变化。

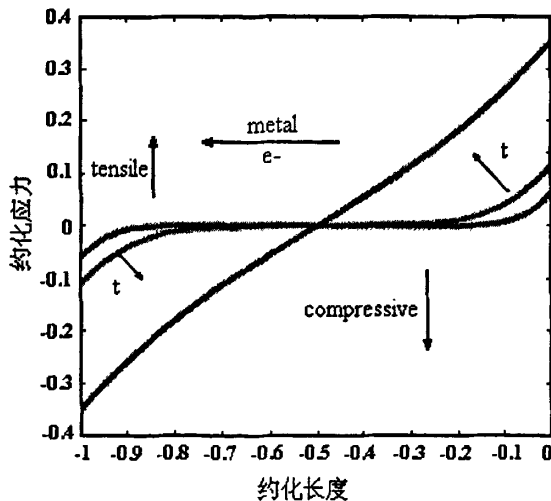


图4.4 有限长互连线线长方向上应力的分布及该分布随时间的变化

由图4.4可以看出,在互连线的阴极处存在有张应力,而在阳极处存在有压应力。应力的分布是与原子间的相互作用力的体现,由于金属中存在大量的自由电子,并且这些自由电子很容易在有电场的情况下被加速,于是就有大量的高速电子与金属原子发生碰撞,当金属原子积累了足够大的能量(即激活能)时,金属原子就脱离平衡位置发生迁移,与此同时,在原子原来的位置上留下了一个空洞(此过程即为电迁移现象,也是张应力产生的方式之一),同时由于空洞表面可以自由伸缩,认为应力值近似为零,和周围产生应力差,产生了应力梯度。而在阳极处的金属原子同样也受到导电电子的碰撞,但是来到此处的电子在经过之前的多次碰撞后动量并不大,相比而言,其受到的更多的是由阴极流过来的在阳极处堆积的金属原子的影响,大量的金属原子在阳极处堆积,形成了压应力。同时,在阴极处体现张应力阳极处体现压应力同样也验证了,电迁移现象中的原子流的方向与电子流的方向相同。

在电迁移过程中,由于电迁移引起的金属原子重新分布,导致在金属原子流过的地方产生了应力,这就有可能使得互连线发生失效,因为大的张应力会产生空洞,而大的压应力会产生小丘。但是本次模拟结果是在低电流密度下的短互连线中进行建模得到的,电流密度与互连线长度的乘积没有达到阈值 jL_{crit} , 在这种情况下,互连线中是不会产生空洞的。因而在这样的条件下电迁移的发生不会导致互连线的失效。在这样的条件下应力分布图随时间的变化对于铝互连线和铜互连线是同样适用的,只是两者的阈值不同(其中铜的阈值要小得多)。

在图 4.4 中我们还可以发现,随着时间的推移,在互连线线长的方向上的应力梯度逐渐趋于一致,最后达到稳态。在互连线与接触孔或通孔相连的条件下(即是具有零通量的边界条件)其应力随时间的变化就如图 4.4 所示,在线长方向上,应力分布会不断改变直至整个线长范围内有统一的应力梯度。这个平衡是由于应力梯度而产生的背应力最终与电子风的驱动力平衡的结果。图 4.4 中的直线即是达到稳态时的应力分布。

图 4.5 是根据该物理模型在无限长和半无限长的边界条件,对分别得出的解析表达式,得到在阻挡边界处无限长和半无限长互连线中应力的分布图,其中 $\beta = 10$ 。

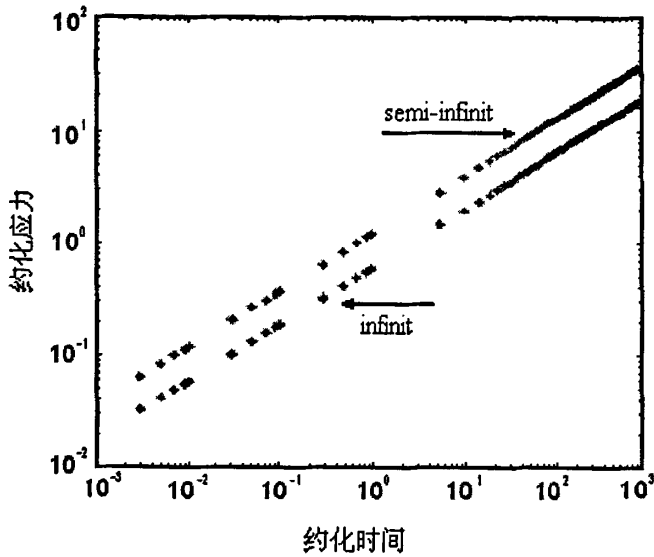


图 4.5 无限长及半无限长互连线中应力随时间的变化

由图 4.5 可以看出，相比于半无限长的互连线，无限长互连线中应力的建立较慢。从结构上来说，这是因为无限长的互连线比半无限长要多一个无场区域，因而可以推断，有无场区域结构的互连线中的因电迁移产生的应力建立得较慢，没有该结构的互连线若是电流密度与线长的乘积达到阈值后，会比有该结构的互连线的空洞成核要更早。这也许是因为与电流传输通路毗邻的无场区域提供了一个可以让电迁移金属原子流入流出的缓冲，我们可以称这样的结构为冗余。如此，有冗余结构的互连线中应力会出现的较晚。

通过冗余结构，我们可以将铜和铝互连系统失效原因的不同进行比较。在铜和铝互连系统中当 $(jL) > (jL)_{crit}$ ，两个互连结构中空洞都会出现集结成核的现象。若是有冗余结构，空洞在满足条件 $(jL) > (jL)_{crit}$ 下会形成，但是仍存在连续的电流通路，空洞的生长会达到饱和而不会发生失效(如果电阻阻值的增大还未达到可判为失效的标准的情况)。

铝互连结构中，冗余结构是普遍存在的，它可以作为有空洞情况下备用电流路径。使得互连线不容易受缺陷和小的空洞的影响。

随着铜互连的发展，阻挡层越来越薄，以至于不能作为电流的有效冗余，所以不能观察到电阻的饱和：铜互连或者由于电路开路而突然失效，或者永不失效(不改变实验环境的情况下)。再者，铜中空洞集结成核与铝互连相比更加平稳，这是

由于铜集结成核的阈值应力要小得多。因此在相关技术测试条件下, jL 往往是大于 $(jL)_{crit}$ 的, 所以一般都会出现空洞。由于出现空洞。总有一小部分互连线会失效, 即使是在低电流密度下对短互连线进行测试, 因此铜互连系统的永不失效性不能像铝互连系统那样由条件 $(jL) < (jL)_{crit}$ 来判断。

实际上, 铜和铝互连系统在永不失效现象的不同的原因可以归咎为在材料和互连结构上的不同。这两方面的不同之处: 1)铜和铝材料中集结成核所需要达到的阈值应力是不同的, 铜的阈值要远小于铝的; 2)大部分铜互连系统都没有冗余结构, 在已有空洞的情况下, 薄的且又高电阻率的阻挡层会因为焦尔热而熔化, 不能经受大电流通过。

图4.6是据方程(4-25)和方程(4-27)得出的半无限长互连线在参数 β (代表电迁移的强度)取不同值时($\beta=3, 1, 0.3$)靠阴极的阻挡边界处的压应力随时间变化的曲线。从图中可以看出电迁移强度变大时应力的增长速率会变大, 并且更早达到饱和状态, 饱和状态时的约化应力也越大。这正好印证了在强度较高的电迁移条件下, 会有更多阴极处的金属原子通过与导电电子交换动量后离开原有位置, 因此在该处的应力梯度将会更大这一物理过程。利用应力最终将达到饱和这一现象, 电迁移引起的失效可用控制应力使它不超过阈值的方法来进行抑制。例如, 达到阈值张应力能使空洞形成, 达到阈值压应力会产生晶须。而由文献^[30]稳态应力梯度可简单表示为:

$$\frac{\Omega}{kT} \frac{\partial \sigma}{\partial x} = \frac{q^* j}{kT} \quad (4-42)$$

因此在稳态下(即应力达到饱和), 电迁移流与由应力梯度而产生的背应力流达到平衡。如果这个平衡在应力未达到会发生失效的阈值的时候, 既稳态饱和应力低于阈值应力的时候, 互连线就不会出现失效。

对互连线施加周期直流脉冲应力, 直流脉冲描述如下:

$$\beta(\zeta) = \begin{cases} \beta & m < \zeta \leq mp + \zeta_{on} \\ 0 & mp + \zeta_{on} < \zeta \leq (m+1)p \end{cases} \quad m=0, 1, 2, \dots \quad (4-43)$$

其中 β 在此的定义与之前的定义一致, p 为周期并且 $p = \zeta_{on} + \zeta_{off}$, ζ_{on} 是脉冲宽, 占空比 $r = \zeta_{on} / p$ 。有研究^[29]表明当直流脉冲的占空比降低时应力饱和时所达到的值会有所降低。根据上述物理模型的半无限长互连线满足零应力边界条件, 应力

在达到稳态时的分布如图 4.7 所示，可以发现这样的情况下，应力梯度与占空比成正比。

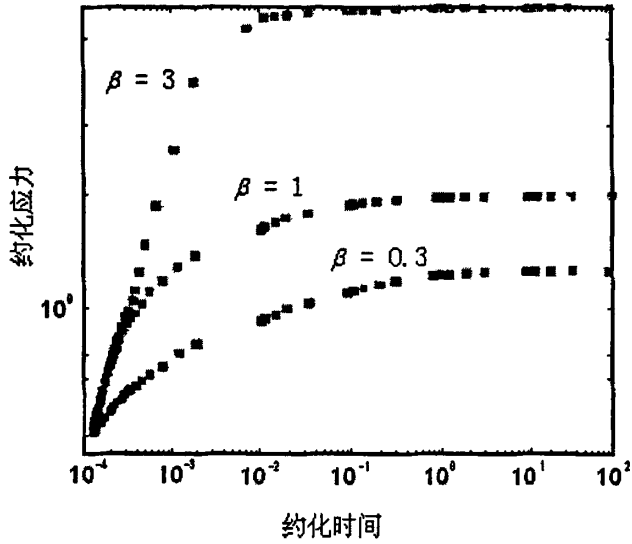


图 4.6 参数取不同值时，阴极的阻挡边界处的压应力随时间变化图线

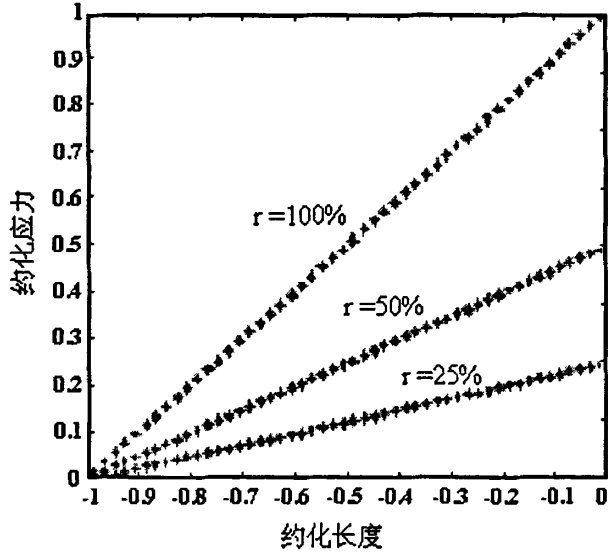


图 4.7 直流脉冲下满足零应力边界条件的互连线稳态应力分布图

第五章 阻挡层对铜互连电迁移影响的研究

5.1 阻挡层对电迁移的影响

由于铜的电阻率比铝的低,可减小互连延迟,使铜互连代替铝互连得到了广泛的应用。与此同时,在铜互连技术上也出现了许多挑战^[31,32]。铜在介质中很容易扩散,因此需要阻挡层来抑制铜向相邻介质层及硅衬底扩散。同时阻挡层可以提供一个额外的空洞流路径,使互连线寿命得到提高(图 5.1)。

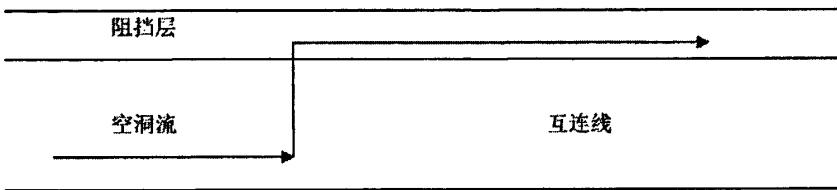


图 5.1 阻挡层可以提供一个额外的空洞流路径

在解一维连续性方程上已经有许多研究成果发表^[33-39],本章利用一维连续性方程和适当的边界条件,说明阻挡层对电迁移寿命的影响,以及为阻挡层的选择提供参考。分别研究了在直流(DC)和 DC 脉冲应力下,约化空洞浓度与约化时间的关系。计算结果表明阻挡层使互连线寿命增加。在 DC 偏置下,阻挡层的影响远比在 DC 脉冲偏置下的明显。

5.2 物理模型

对于有阻挡层的互连线,假设在线中存在空洞复合,即表示有进入到阻挡层中的空洞流。如果复合项与互连线和阻挡层的空洞浓度差成正比,设

$\gamma_B = M \frac{C_V - C_{V0}^B}{t_B}$, 代入(4-17)可得

$$\frac{\partial C_V}{\partial t} - D_{a0} \frac{B\Omega}{kT\varepsilon} \frac{C_V}{C_{V0}} \left(\frac{\partial^2 C_V}{\partial x^2} - \frac{q^* E}{kT} \frac{\partial C_V}{\partial x} \right) - \frac{C_V}{C} \frac{B\Omega}{kT\varepsilon} M \frac{(C_V - C_{V0}^B)}{t_B} = 0 \quad (5-1)$$

其中 M 是比例常数, C_{V0}^B 是无外加应力时阻挡层中的空洞浓度, t_B 是空洞在阻挡

层中的平均寿命。C, C_v , D_v 和 D_{a0} 存在下述关系^[40]:

$$D_{a0} = D_v \frac{C_{v0}}{C} \quad (5-2)$$

引入无量纲变量约化长度 ξ , 约化时间 τ 和约化空洞浓度 v :

$$\xi \equiv \frac{x}{l}, \quad \tau \equiv \left(\frac{B\Omega}{kT\varepsilon} \right) \frac{D_{a0}}{l^2}, \quad v \equiv \frac{C_v}{C_{v0}}$$

其中 l 为线长。代入(5-1)可得

$$\frac{1}{v} \frac{\partial v}{\partial \tau} = \frac{\partial}{\partial \xi} \left(\frac{\partial v}{\partial \xi} - \alpha v \right) + \beta(v - s) \quad (5-3)$$

其中

$$\alpha = \frac{q \cdot E l}{kT}, \quad \beta = \frac{M C_{v0}}{t_B C D_{a0}} \frac{l^2}{C_{v0}}, \quad s = \frac{C_{v0}^B}{C_{v0}}$$

这里 α 的符号可为正也可为负, 这取决于电场的方向。

在空洞集结的早期, 空洞浓度不会明显偏离初始平衡值, 方程(5-3)的解存在。此时

$$\frac{dv}{v} = d(\ln v) \approx dv \quad (5-4)$$

代入(5-3)得到

$$\frac{\partial v}{\partial \tau} = \frac{\partial}{\partial \xi} \left(\frac{\partial v}{\partial \xi} - \alpha v \right) + \beta(v - s) \quad (5-5)$$

图 5.2 所示的互连线结构, 其一端存在阻挡边界。在阻挡边界 $x = 0$, 空洞流为 0, 即

$$J_v(0, t) = 0 \quad \text{或} \quad \frac{\partial v(0, \tau)}{\partial \xi} = \alpha v(0, \tau)$$

在另一端 $x = 1$, 空洞浓度保持为无应力时的初始平衡值:

$$C_v(l, t) = C_{v0} \quad \text{或} \quad v(1, \tau) = 1$$

且

$$C_v(x, 0) = C_{v0} \quad \text{或} \quad v(\xi, 0) = 1$$

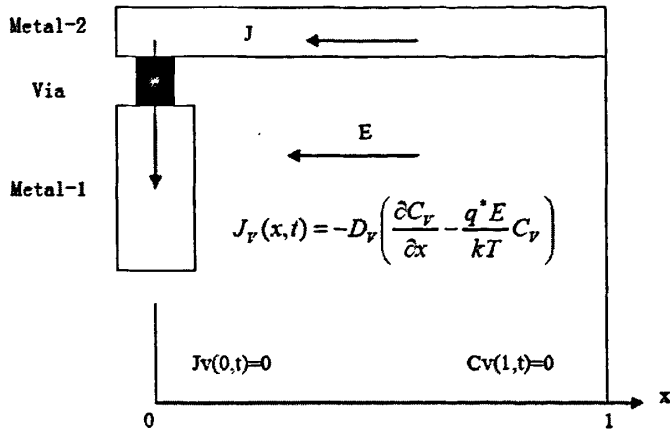


图 5.2 具有一阻挡边界的互连线结构示意图

5.3 数值分析

针对上述给出的偏微分方程，对方程进行数值求解^[41]。为简化计算，取 $s=1$ ，即假定互连线与阻挡层中的初始空洞浓度相同。

5.3.1 DC 偏置

图 5.3 给出了 α 取不同值时 v 与 τ 的关系。 α 是电驱动能与热能之比， $\alpha=1$ 表示电驱动能与热能相等。图中所示的 v 是在 $\xi=0$ 处的约化空洞浓度。因为电子风累积的影响，假定在 $\xi=0$ 的空洞浓度最高。从图 5.3 可以看出，由于电驱动力的增大引起 α 增大，对应 v 也较高。因为 $E = \rho j$ ，其中 ρ 是电阻率， j 为电流密度，

代入 α 表达式可得 $\alpha = \frac{q \cdot \rho j l}{kT}$ ，可见电驱动力增大是电流密度增大的结果。 α 越大，

电迁移效果越明显， v 也越大，互连线寿命则越短。

对不同的 β 值， v 与 τ 的关系如图 5.4 所示。 β 与阻挡层的参数有关， $\beta>0$ 时（有阻挡层）的 v 远小于 $\beta=0$ 时的（无阻挡层）。由此可见，阻挡层可以延长互连线的寿命。由 β 表达式可以看出， β 越大，对应的 M/t_B 越大，说明线中的空洞复合越容易， v 越小，从而互连线耗尽的几率越小，寿命越长。

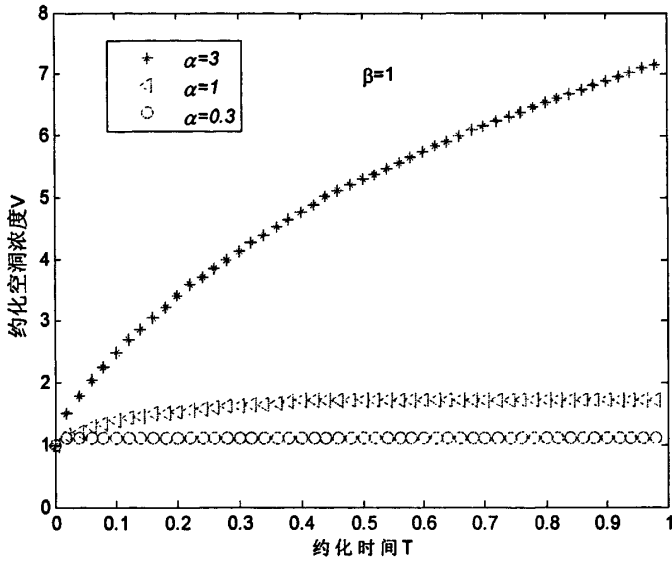


图 5.3 不同 α 下的 v - τ 关系图

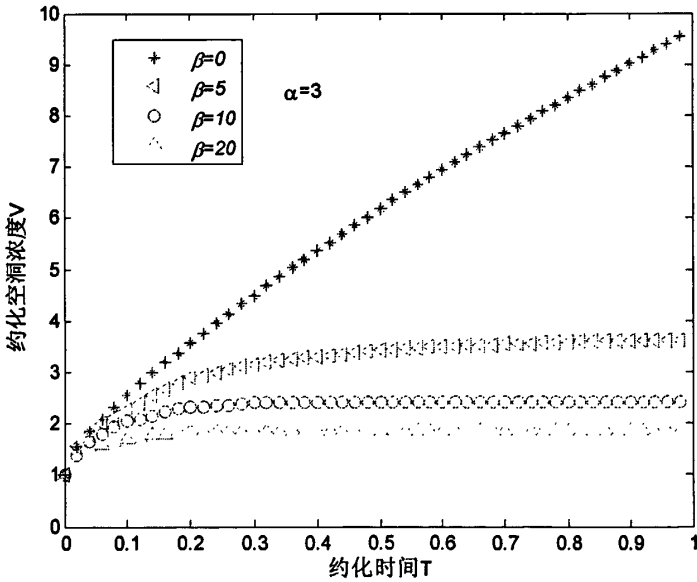
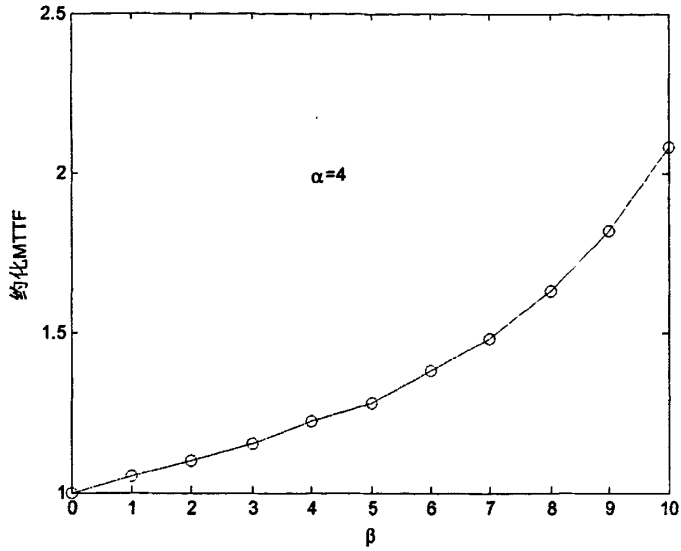


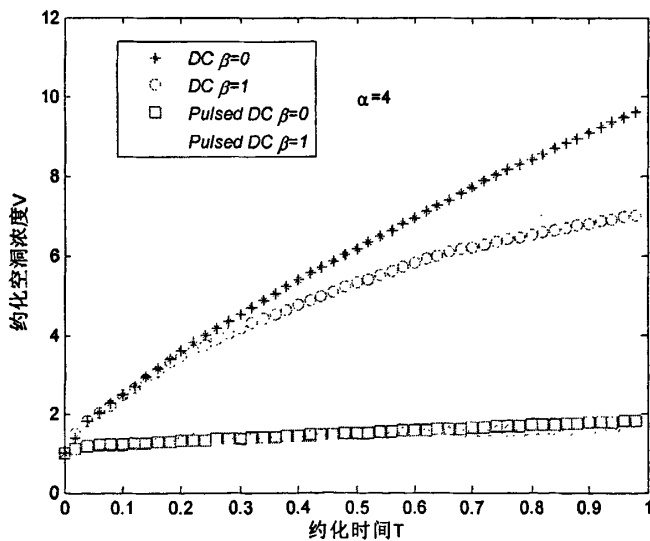
图 5.4 不同 β 下的 v - τ 关系图

选取 $v=3$ 为中值失效时间 (MTTF) 的判别标准, 约化 MTTF 与 β 的关系如图 5.5 所示。约化 MTTF 定义为有阻挡层时的 MTTF 与无阻挡层时的 MTTF 之比, 从图中可以看出, MTTF 随 β 增加而增加。原因如前所述。

图 5.5 约化 MTTF- β 关系图

5.3.2 DC 脉冲偏置

对 DC 脉冲偏置下的铜互连线也进行了分析。图 5.6 所示为有阻挡层 ($\beta=1$) 和无阻挡层 ($\beta=0$) 时, DC 和 DC 脉冲应力偏置下 v 与 τ 的关系, DC 脉冲的占空比为 0.5。值得注意的是, 由图 5.6 可以看出在 DC 偏置下, 阻挡层的影响远比在 DC 脉冲偏置下的明显。这可以解释为在脉冲打开期间, 应力在边界集结, 而在脉冲关闭期间, 应力得到了一定程度的释放, 所以空洞浓度变化幅度不大。

图 5.6 有无阻挡层时, DC 和 DC 脉冲应力偏置下的 v - τ 的关系

5.4 结论

在工业界，阻挡层的使用有两个目的。一是抑制铜向介质层中的扩散，二是为铜和介质层提供一个好的黏附层^[42]。阻挡层的另一个优点是可以延长互连线的寿命。从上节的计算可以看出，阻挡层的改进对互连线的寿命同样有重要影响。通过改进阻挡层可以延长互连线的寿命，而且在 DC 偏置下，互连线寿命的延长远比在 DC 脉冲偏置下的明显。这是由于在脉冲打开期间，应力在边界集结，而在脉冲关闭期间，应力得到了一定程度的释放，从而空洞浓度变化幅度不大。

第六章 结束语

本文论述了在 IC 发展过程中铜互连所面临的可靠性问题。讨论了铜互连的工艺流程, 具体分析了铜的大马士革结构中的淀积和化学机械抛光工艺。为了更好的了解铜互连工艺的可靠性问题, 文中总结了和铝互连工艺比较的情况, 其中包括在材料、工艺、结构和具体的可靠性问题上都存在很大的差异。

1. 在材料方面, 因为铜具有很好的电迁移特性和较低的电阻率, 使得使用铜作为材料在可靠性方面具有良好的综合性能。但是铜的硬度较大和氧化层不能形成很好的保护是需要很好解决的问题。

2. 在工艺方面, 铜互连和铝互连有着根本的差别。铜互连基本上是一种镶嵌结构, 即常说的大马士革结构; 而铝互连则是一种平面结构。由于铜的高扩散性, 所以要使用类似包裹的结构和阻挡层淀积工艺; 而铝没有这方面的考虑。铜互连的图形化是通过刻蚀介质层和化学机械抛光实现的; 而铝的图形化则是直接通过对铝的刻蚀实现的。

本文对影响铜互连可靠性的电迁移和阻挡层进行了理论上的回顾与分析, 介绍了目前工艺中使用的及研究中的各类阻挡层, 并对其性能作了总结和比较。对铜互连线的电迁移现象进行了数值分析, 并对模拟结果运用电迁移的相关物理知识进行了分析。本文的最后对阻挡层对铜互连线电迁移寿命的影响进行建模及数值分析, 通过计算与分析, 得出以下结论:

1. 在有限长互连线中, 阴极处表现出张应力, 阳极为压应力, 并且在电流密度和线长乘积不大的情况下, 互连线内的应力分布的梯度逐渐趋于一致。这是因为最初的应力梯度差产生了与电迁移驱动力相反的反应力的原因, 当这两种力达到平衡时, 互连线就进入了稳态。

2. 比较了无限长和半无限长两种结构互连线中的应力分布状况, 由所得结果可以看出, 在无场区域的半无限长互连线中, 因为无场区域对电迁移的缓冲作用, 应力的集结相比于无限长互连线要慢, 若是在空洞形成的情况下, 有场区域的互连线因为应力出现的早, 很有可能比无场区域的互连线失效的早。利用应力在稳态时达到饱和的现象, 可以将饱和应力值控制在产生空洞或是小丘的阈值之内以抑制电迁移引起的失效。

3. 在先前国外研究成果的基础上, 结合所引入的物理模型, 对周期性直流脉冲条件下的互连线应力进行研究, 得到直流脉冲环境下, 互连线满足零应力边界条件的稳态应力梯度与占空比成正比。

4. 阻挡层的改进对互连线的寿命同样有重要影响, 通过改进阻挡层可以延

长互连线的寿命。

5. 在 DC 偏置下, 互连线寿命的延长远比在 DC 脉冲偏置下的明显。这可以归结为在脉冲打开期间, 应力在边界集结, 而在脉冲关闭期间, 应力得到了一定程度的释放, 从而空洞浓度变化幅度不大。

工作展望:

对阻挡层影响的研究工作可以进一步深入。文中所建立的模型并未考虑电流产生的热效应, 事实上只要互连线中有电流通过, 就会同时伴随有热量的产生, 忽略这个因素得到的结果可能与实际相差较大。可以预见, 通过对电流热效应的研究, 能够进一步使模型精确化。

致 谢

本论文是在导师刘红侠教授的悉心指导下完成的。她严谨的治学态度和对科学事业的敬业精神使我深受感动，感谢她的严格要求和精心培养。

刘老师工作繁忙，肩负全室课题的统筹安排和指导工作，但她仍然抽出宝贵时间在论文选题、内容安排和研究方法等方面给予诸多指导，而且在生活方面也给予极大关怀。有幸成为刘老师的学生令本人获益匪浅。

在研究过程中，师兄杜鸣博士给予了我很多帮助，感谢他提供给我大量的文献资料以及对我在理论上的指导。

感谢同届课题组的同学陪伴我一起走过研究生阶段，我会永远记住他们的名字：栾苏珍，于传玲，廖翠萍，聂志强，邢德智。

此外，特别感谢好友杨庆先生，是他在我最失落无助的时候给了我强有力的精神鼓励和支持，帮助我走出困境，使我得到了进一步的成长。

最后，再次对他们表示由衷的感谢，祝愿他们身体健康、事业有成！

参考文献

- [1] 王阳元, 康晋锋 超深亚微米集成电路中的互连问题—低k介质与Cu的互连集成技术, 半导体学报, 2003, 23(11): 1123
- [2] 宋登元, 宗晓萍等 集成电路铜互连线及相关问题的研究, 半导体技术 2001, 26(2): 29
- [3] P. Wrschka, J. Hernanda et al. Chemical Mechanical Planarization of Copper Damascene Structure, Journal of Electrochemical Society, 2000(147): 4639
- [4] Panos C. Andricacos, Copper On-Chip Interconnections, The Electrochemical Society, 1999, 4: 32
- [5] Toyama N. The environment, health, and safe side of copper metallization, Solid State Electron, 1983, 26 (1): 37
- [6] Oku T. Diffusion barriers for copper interconnect, 1998 5th Int Conf Sol Sta and Integ Circ Technol Process, 1998: 243
- [7] Rha S-K. Improved TiN film as a diffusion barrier, Thin Solid Film, 1998, 320 (1):134
- [8] Ryu C. Barriers for copper interconnections, Solid State Technology, 1999, 42 (4):53
- [9] Vogt M. Dielectric barriers for Cu metallization systems, Microelectronic Engineering, 1997, 37/38 (4):181
- [10] Fumitomo Matsuoka and Hiroshi Iwai, Electromigration Reliability for a Tungsten-Filled Via Hole Structure, IEEE Transaction Electronics, 1990, 3(37): 3
- [11] Bai G, Chiang C. Copper inter connection deposition techniques and integration, Symp VLSI Dig Tech Papers, 1996: 48
- [12] Taylor T. Electroplating bath control for copper interconnects, Sol Sta Technol, 1998, 41 (11): 47
- [13] LI Y Z. Abrasive particle innovation for copper CMP, SEMICON China 2003 CMP Technical Symposium, Beijing, 2003: 3
- [14] LIM J H, Development and application of the slurry including colloidal silica and hydrogen peroxide for copper CMP, SEMICON China 2003 CMP Technical Symposium, Beijing, 2003: 142
- [15] KONNO T. Specially designed abrasive for Cu CMP slurry, SEMICON China 2003 CMP Technical Symposium, Beijing, 2003: 131
- [16] INA K. New solution path for Cu/low-k CMP process for a low cost of ownership,

- SEMICON China 2003 CMP Technical Symposium, Beijing, 2003: 113
- [17] Colgan E G. Selective CVD-W for capping damascene Cu lines, *Thin Solid Films*, 1995, 262 (1): 120
- [18] 翁寿松, 90nm 工艺及其相关工艺, *微纳电子技术*, 2003, 40 (4): 40
- [19] WU G W, WEST, T E, Hard porous pad for Cu CMP, SEMICON China 2003 CMP Technical Symposium, Beijing, 2003: 95
- [20] RAIOLA R, 纳米工艺提高了 LSI 铜布线的可靠性, *今日电子*, 2003, (5): 3
- [21] Black J. R. Electromigration Failure Modes in Aluminum Metallization for Semiconductor Devices, *Proceedings of IEEE*, 1969(57): 679
- [22] V.T. Srikar and C.V. Thompson, The Effect of Al₃Ti Capping Layers on Electromigration in Single-Crystal Aluminum Interconnects, *Appl. Phys. Lett.*, 1998, 72: 2677
- [23] Hau-Riege CS, Thompson CV, The Effect of Microstructural Transitions at Width Transitions on Interconnect Reliability, *J. Appl. Phys.*, 2000, 87: 8467
- [24] Ryu C, Kwon KW, Loke ALS, et al. Barriers for copper interconnections, *IEEE T-ED*, 1999, 46:1113
- [25] Wang C, Lopatin S, Marathe A, et al. Binary Cu-alloy layers for Cu-interconnections reliability improvement, *IITC*, 2001: 86
- [26] Hatano M, Usui T, Shimooka Y, et al. EM lifetime improvement of Cu damascene interconnects by p-SiC cap layer, *IITC*, 2002: 212
- [27] Von Glasow A, Fischer AH, Bunel D, et al. The Influence of the SiN Cap Process on the Electromigration and Stress Voiding Performance of Dual Damascene Cu Interconnects, *Proc 41st Annual Int Rel Phy Symp*, 2003: 146
- [28] Hu C-K, Gignac L, Rosenberg R, et al. Reduced electromigration of Cu wires by surface coating, *Appl phys Lett* 2002, 81: 1782
- [29] Clement J. J., Reliability analysis for encapsulated interconnect lines under dc and pulsed dc current using a continuum electromigration transport model, *J. Appl. Phys*, 1997, 82: 5991
- [30] Shatzkes M. and Lloyd J. R., A model for conductor failure considering diffusion concurrently with electromigration resulting in a current exponent of 2, *J. Appl. Phys*, 1986, 59: 3890
- [31] Lane M. and Dauskardt R. H., Adhesion and reliability of copper interconnects with Ta and TaN barrier layer, *J. Mater. Res*, 2000 15: 203
- [32] P. Moon, V. Dubin, S. Johnson et al. Process Roadmap and Challenges for Metal Barriers, *IEEE Int. Electron. Dev. Meet*, 2003: 841

- [33] Clement J. J. and Lloyd J. R., Numerical investigations of the electromigration boundary value problem, *J. Appl. Phys*, 1992, 71: 1729
- [34] Clement J. J., Vacancy supersaturation model for electromigration failure under dc and pulsed dc stress, *J. Appl. Phys*, 1992, 71: 4264
- [35] Dwyer V. M., Wang F. S. and Donaldson P., Electromigration failure in a finite conductor with a single blocking boundary, *J. Appl. Phys*, 1994, 76: 7305
- [36] Dwyer V. M., Electromigration behavior under a unidirectional time-dependent stress, *IEEE Trans. Electron. Dev*, 1996, 43: 877
- [37] V. Sukharev, R. Choundhury and C. W. Park, Electromigration simulation of Cu-Low-k multilevel interconnect segments, IRW Final Report 2002: 55
- [38] Vasyl Grychanyuk, Igor Tsukrov and Todd Gross, Numerical modeling of grain boundary effects in the diffusional creep of copper interconnect lines, *Int. J. Fract* 2004, 127: 149
- [39] Zhijian Lu, Wei Huang, Lach J. et al. Interconnect lifetime prediction under dynamic stress for reliability-aware design, *IEEE/ACM International Conference* 2004: 327
- [40] Clement J. J., Reliability analysis for encapsulated interconnect lines under dc and pulsed dc current using a continuum electromigration transport model, *J. Appl. Phys*, 1997, 82: 5991
- [41] Mansuripur M., Connell GAN, Goodman J. W. Laser-induced local heating of multilayers, *Appl. Opt*, 1982, 21: 1106
- [42] Christine S. and Hau-Riege, An introduction to Cu electromigration, *Microelectronics Reliability* 2004, 44: 195

研究成果

在硕士研究生期间取得的研究成果如下：

一、参加科研情况：

2006.01-2006.12 “十一五”装备预先研究项目，主要研究人员

2005.07-2006.12 国家自然科学基金，“超深亚微米集成电路铜互连可靠性研究”，主要研究人员

二、发表论文情况：

[1]Lin Zhu, Hong-xia Liu. Numerical Analysis of Barrier Layer Effect on Copper Electromigration. 8th International Conference on Solid-State and Integrated Circuit Technology Proceedings (ICSICT). Shanghai. Oct.23-26, 2006:1444~1446

[2]Lin Zhu, Hong-xia Liu. DC and Pulsed DC Stress Evolution in Copper Interconnects.8th International Conference on Solid-State and Integrated Circuit Technology Proceedings (ICSICT). Shanghai. Oct.23-26, 2006:354~356