

1.写出下列常用电子工程术语的中文名称：

a) PCB:

b) SMT: 表面组装技术(表面贴装技术)

c) FPGA:

d) CPLD:

e) ASIC:

f) DSP:

g) SRAM:

h) WDT:

i) CMRR:

j) PWM:

2.硬件电路设置看门狗定时器的目的是：\_\_\_\_\_

3.中断向量表中存储的内容是：\_\_\_\_\_

4.中断服务程序的开头一般进行的操作是：\_\_\_\_\_

中断服务程序结束前一般进行的操作是：\_\_\_\_\_

5.列举你知道的几种电容：比如铝电解电容、\_\_\_\_、\_\_\_\_、\_\_\_\_、

6.74L373 被称为透明锁存器，“透明”一词的含义是指：\_指的是不锁存时输出对于输入是透明的\_\_\_\_\_

7.Flash 存储器的写寿命大约在\_\_10\_\_万次左右。

8.C 语言中，do{ }while()和 while() {.....}语法的区别是：\_\_\_\_\_

9.C 语言中，如果申明 char p[3][]={"Basic","Fortran","Pascal"};则

p[2][2]=\_\_\_\_\_

10.C 语言中，全局变量、Static 局部变量和非 Static 局部变量的存储空间占用是有区别的，前两者在普通数据存储区中生成，而非 Static 局部变量在\_\_\_\_\_栈区\_\_\_\_\_中生成。

问题补充：这是一份题，为了追求给回答者的一个完整的印象，所以都写下来了。

大家互相学习嘛！

看门狗定时器：为了程序安全性（即有时候又问题怕陷入死循环）定时检查 出现问题自动复位！

.中断向量表中存储的内容是：就 51 来多 里面只有 2 个字节吧 存储不了多少东西 所以应该是一个 LJMP 指令吧 跳到 中断处理程序！

.中断服务程序的开头一般进行的操作是：

保护一般不该改变的变量一般都压栈保护！

6.74L373 被称为透明锁存器，“透明”一词的含义是指：才疏学浅 没听说过！

7.Flash 存储器的写寿命大约在\_\_\_\_好像是 1 百\_\_万次左右。 吧 没考虑过

C 语言中，do{ }while()和 while() {.....}语法的区别是：\_\_\_\_\_ 一个是先执行在判但 一个是 先判断在循环

9.C 语言中，如果申明 char p[3][]={"Basic","Fortran","Pascal"};则

p[2][2]=\_\_\_\_\_0 吧 一个 ASCLL 占一个字节吧\_\_\_\_\_

.C 语言中，全局变量、Static 局部变量和非 Static 局部变量的存储空间 静态变量一般只在局部函

数域中存在，但当程序执行离开此作用域时，其值并不丢失

不知道空间是什么

汉王笔试

下面是一些基本的数字电路知识问题，请简要回答之。

- a) 什么是 Setup 和 Holdup 时间？
- b) 什么是竞争与冒险现象？怎样判断？如何消除？
- c) 请画出用 D 触发器实现 2 倍分频的逻辑电路？
- d) 什么是"线与"逻辑，要实现它，在硬件特性上有什么具体要求？
- e) 什么是同步逻辑和异步逻辑？
- f) 请画出微机接口电路中，典型的输入设备与微机接口逻辑示意图（数据接口、控制接口、所存器/缓冲器）。
- g) 你知道那些常用逻辑电平？TTL 与 COMS 电平可以直接互连吗？

2、 可编程逻辑器件在现代电子设计中越来越重要，请问：

- a) 你所知道的可编程逻辑器件有哪些？
- b) 试用 VHDL 或 VERILOG、ABLE 描述 8 位 D 触发器逻辑。

3、 设想你将设计完成一个电子电路方案。请简述用 EDA 软件（如 PROTEL）进行设计（包括原理图和 PCB 图）到调试出样机的整个过程。在各环节应注意哪些问题？

飞利浦 - 大唐笔试归来

1，用逻辑们和 cmos 电路实现  $ab+cd$

2. 用一个二选一 mux 和一个 inv 实现异或

3. 给了 reg 的 setup,hold 时间，求中间组合逻辑的 delay 范围。

Setup/hold time 是测试芯片对输入信号和时钟信号之间的时间要求。建立时间是指触发器的时钟信号上升沿到来以前，数据稳定不变的时间。输入信号应提前时钟上升沿（如上升沿有效）T 时间到达芯片，这个 T 就是建立时间-Setup time.如不满足 setup time,这个数据就不能被这一时钟打入触发器，只有在下一个时钟上升沿，数据才能被打入触发器。保持时间是指触发器的时钟信号上升沿到来以后，数据稳定不变的时间。时 hold time 不够，数据同样不能被打入触发器。

4. 如何解决亚稳态

5. 用 verilog/vhdl 写一个 fifo 控制器

6. 用 verilog/vhdl 检测 stream 中的特定字符串

2，信威 dsp 软件面试题 ~

1)DSP 和通用处理器在结构上有什么不同，请简要画出你熟悉的一种 DSP 结构图

2)说说定点 DSP 和浮点 DSP 的定义（或者说出他们的区别）

3) 说说你对循环寻址和位反序寻址的理解

4) 请写出【 - 8，7】的二进制补码，和二进制偏置码。

用 Q15 表示出 0.5 和 - 0.5

扬智电子笔试

第一题：用 mos 管搭出一个二输入与非门。

第二题：集成电路前段设计流程，写出相关的工具。

第三题：名词 IRQ, BIOS, USB, VHDL, SDR

第四题：unix 命令 cp -r, rm, uname

第五题：用波形表示 D 触发器的功能

第六题：写异步 D 触发器的 verilog module

第七题：What is PC Chipset?

第八题：用传输门和倒向器搭一个边沿触发器

第九题：画状态机，接受 1，2，5 分钱的卖报机，每份报纸 5 分钱。

华为面题

(硬件)

全都是几本模电数电信号单片机题目

1. 用与非门等设计全加法器

2. 给出两个门电路让你分析异同

3. 名词: sram, ssram, sdram

4. 信号与系统: 在时域与频域关系

5. 信号与系统: 和 4 题差不多

6. 晶体振荡器, 好像是给出振荡频率让你求周期(应该是单片机的, 12 分之一周期..

..)

7. 串行通信与同步通信异同, 特点, 比较

8. RS232c 高电平脉冲对应的 TTL 逻辑是?(负逻辑?)

9. 延时问题, 判错

10.史密斯特电路,求回差电压

11.VCO 是什么,什么参数(压控振荡器?)

12. 用 D 触发器做个二分频的电路.又问什么是状态图

13. 什么耐奎斯特定律,怎么由模拟信号转为数字信号

14. 用 D 触发器做个 4 进制的计数

15.那种排序方法最快?

一、 研发 ( 软件 )

用 C 语言写一个递归算法求 N ! ;

给一个 C 的函数 , 关于字符串和数组 , 找出错误 ;

防火墙是怎么实现的 ?

你对哪方面编程熟悉 ?

新太硬件面题

接着就是专业题目啦

( 1 ) d 触发器和 d 锁存器的区别

( 2 ) 有源滤波器和无源滤波器的原理及区别

( 3 ) sram , falsh memory , 及 dram 的区别 ?

( 4 ) iir , fir 滤波器的异同

( 5 ) 冒泡排序的原理

( 6 ) 操作系统的功能

( 7 ) 学过的计算机语言及开发的系统

( 8 ) 拉氏变换和傅立叶变换的表达式及联系。

## 各大公司的硬件笔试题

f) 画出微机接口电路中，典型的输入设备与微机接口逻辑示意图( 数据接口、控制接口、寄存器/缓冲器 )

3、 设想你将设计完成一个电子电路方案。请简述用 EDA 软件 ( 如 PROTEL ) 进行设计 ( 包括原理图和 PCB 图 ) 到调试出样机的整个过程。在各环节应注意哪些问题？

3 Setup/hold time 是测试芯片对输入信号和时钟信号之间的时间要求。建立时间是指触发器的时钟信号上升沿到来以前，数据稳定不变的时间。输入信号应提前时钟上升沿 ( 如上升沿有效 ) T 时间到达芯片，这个 T 就是建立时间-Setup time.如不满足 setup time,这个数据就不能被这一时钟打入触发器，只有在下一个时钟上升沿，数据才能被打入触发器。保持时间是指触发器的时钟信号上升沿到来以后，数据稳定不变的时间。时 hold time 不够，数据同样不能被打入触发器。

6. 用 verilog/vhdl 检测 stream 中的特定字符串

1)DSP 和通用处理器在结构上有什么不同，请简要画出你熟悉的一种 DSP 结构图

2)说说定点 DSP 和浮点 DSP 的定义 ( 或者说出他们的区别 )

3 ) 说说你对循环寻址和位反序寻址的理解

4) 请写出【-8, 7】的二进制补码, 和二进制偏置码。用 Q15 表示出 0.5 和 -0.5

第一题: 用 mos 管搭出一个二输入与非门。

第二题: 集成电路前段设计流程, 写出相关的工具。

第四题: unix 命令 cp -r, rm, uname

第五题: 用波形表示 D 触发器的功能

第八题: 用传输门和倒向器搭一个边沿触发器

第九题: 画状态机, 接受 1, 2, 5 分钱的卖报机, 每份报纸 5 分钱。

全都是几本模电数电信号单片机题目

1. 用与非门等设计全加法器 4. 信号与系统: 在时域与频域关系

6. 晶体振荡器, 好像是给出振荡频率让你求周期(应该是单片机的, 12 分之一周期...)

7. 串行通信与同步通信异同, 特点, 比较 8. RS232c 高电平脉冲对应的 TTL 逻辑是?(负逻辑?)

9. 延时问题, 判错 10. 史密斯特电路, 求回差电压 11. VCO 是什么, 什么参数(压控振荡器?)



12. 用 D 触发器做个二分频的电路.什么是状态图 13 什么耐奎斯特定律,怎么由模拟信号转为数字信号

15.那种排序方法最快?

#### 新太硬件面题

( 1 ) d 触发器和 d 锁存器的区别 ( 2 ) 有源滤波器和无源滤波器的原理及区别

( 3 ) sram , falsh memory , 及 dram 的区别 ? ( 4 ) iir , fir 滤波器的异同

( 5 ) 冒泡排序的原理 ( 6 ) 操作系统的功能 ( 7 ) 学过的计算机语言及开发的系统

( 8 ) 拉氏变换和傅立叶变换的表达式及联系。

#### 分析设计

1.波形变换题目 从正弦波->方波->锯齿波->方波,设计电路

2. 74161 计数器组成计数电路,分析几进制的

4.判断 MCS-51 单片机的指令正确还是错误,并指出错误原因

(1) MUL R0,R1

(2) MOV A,@R7

(3) MOV A,#3000H

(4) MOVC @A DPTR,A

(5) LJMP #1000H ()

5.MCS-51 单片机中,采用 12Mhz 时钟,定时器 T0 采用模式 1(16 位计数器),请问在下面程序中,

p1.0 的输出频率

```
MOV TMOD,#01H
```

```
SETB TR0 bbs.chinahrlab.com
```

```
LOOP:MOV TH0,#0B1H
```

```
MOV TL0,#0E0H
```

```
LOOP1:JNB TF0,LOOP1
```

```
CLR TR0
```

```
CPL P1.0
```

```
SJMP LOOP
```

1、同步电路和异步电路的区别是什么？（仕兰微电子）

异步电路主要是组合逻辑电路，用于产生地址译码器、F I F O或R A M的读写控制信号脉冲，但它同时也用在时序电路中，此时它没有统一的时钟，状态变化的时刻是不稳定的，通常输入信号只在电路处于稳定状态时才发生变化。也就是说一个时刻允许一个输入发生变化，以避免输入信号之间造成的竞争冒险。电路的稳定需要有可靠的建立时间和持时间，待下面介绍。

同步电路是由时序电路(寄存器和各种触发器)和组合逻辑电路构成的电路，其所有操作都是在严格的时钟控制下完成的。这些时序电路共享同一个时钟C L K，而所有的状态变化都是在时钟的上升沿(或下降沿)完成的。比如D触发器，当上升延到来时，寄存器把D端的电平传到Q输出端。

在同步电路设计中一般采用D触发器，异步电路设计中一般采用Latch。

## 2、什么是同步逻辑和异步逻辑？（汉王笔试）

同步逻辑是时钟之间有固定的因果关系。异步逻辑是各时钟之间没有固定的因果关系。

电路设计可分类为同步电路和异步电路设计。同步电路利用时钟脉冲使其子系统同步运作，而异步电路不使用时钟脉冲做同步，其子系统是使用特殊的“开始”和“完成”信号使之同步。由于异步电路具有下列优点--无时钟歪斜问题、低电源消耗、平均效能而非最差效能、模块性、可组合和可复用性--因此近年来对异步电路研究增加快速，论文发表数以倍增，而Intel Pentium 4处理器设计，也开始采用异步电路设计。

异步电路主要是组合逻辑电路，用于产生地址译码器、F I F O或R A M的读写控制信号脉冲，其逻辑输出与任何时钟信号都没有关系，译码输出产生的毛刺通常是可以监控的。同步电路是由时序电路(寄存器和各种触发器)和组合逻辑电路构成的电路，其所有操作都是在严格的时钟控制下完成的。这些时序电路共享同一个时钟C L K，而所有的状态变化都是在时钟的上升沿(或下降沿)完成的。

3、什么是"线与"逻辑，要实现它，在硬件特性上有什么具体要求？( 汉王笔试 )

线与逻辑是两个输出信号相连可以实现与的功能。在硬件上，要用 oc 门来实现（漏极或者集电极开路），由于不用 oc 门可能使灌电流过大，而烧坏逻辑门，同时在输出端口应加一个上拉电阻。（线或则是下拉电阻）

7、解释 setup 和 hold time violation，画图说明，并说明解决办法。( 威盛 VIA 2003.11.06 上海笔试试题 )

Setup/hold time 是测试芯片对输入信号和时钟信号之间的时间要求。建立时间是指触发器的时钟信号上升沿到来以前，数据稳定不变的时间。输入信号应提前时钟上升沿（如上升沿有效）T 时间到达芯片，这个 T 就是建立时间-Setup time.如不满足 setup time,这个数据就不能被这一时钟打入触发器，只有在下一个时钟上升沿，数据才能被打入触发器。保持时间是指触发器的时钟信号上升沿到来以后，数据稳定不变的时间。如果 hold time 不够，数据同样不能被打入触发器。

建立时间(Setup Time)和保持时间 ( Hold time )。建立时间是指在时钟边沿前，数据信号需要保持不变的时间。保持时间是指时钟跳变边沿后数据信号需要保持不变的时间。如果不满足建立和保持时间的话，那么 DFF 将不能正确地采样到数据，将会出现 metastability 的情况。如果数据信号在时钟沿触发前后持续的时间均超过建立和保持时间，那么超过量就分别被称为建立时间裕量和保持时间裕量。

#### 9、什么是竞争与冒险现象？怎样判断？如何消除？（汉王笔试）

在组合逻辑中，由于门的输入信号通路中经过了不同的延时，导致到达该门的时间不一致叫竞争。产生毛刺叫冒险。如果布尔式中有相反的信号则可能产生竞争和冒险现象。解决方法：一是添加布尔式的（冗余）消去项，但是不能避免功能冒险，二是在芯片外部加电容。三是增加选通电路

在组合逻辑中，由于多少输入信号变化先后不同、信号传输的路径不同，或是各种器件延迟时间不同（这种现象称为竞争）都有可能造成输出波形产生不应有的尖脉冲（俗称毛刺），这种现象成为冒险。

#### 10、你知道那些常用逻辑电平？TTL 与 COMS 电平可以直接互连吗？

（汉王笔试）

常用逻辑电平 :TTL、CMOS、LVTTTL、LVCMOS、ECL( Emitter Coupled Logic )、PECL ( Pseudo/Positive Emitter Coupled Logic )、LVDS ( Low Voltage Differential Signaling )、GTL( Gunning Transceiver Logic )、BTL ( Backplane Transceiver Logic )、ETL ( enhanced transceiver logic )、GTLP( Gunning Transceiver Logic Plus ) ;RS232、RS422、RS485( 12V , 5V , 3.3V ) ; TTL 和 CMOS 不可以直接互连 , 由于 TTL 是在 0.3-3.6V 之间 , 而 CMOS 则是 12V 的有在 5V 的。CMOS 输出接到 TTL 是可以直接互连。TTL 接到 CMOS 需要在输出端口加一上拉电阻接到 5V 或者 12V。

cmos 的高低电平分别

为: $V_{ih} \geq 0.7V_{DD}$ ,  $V_{il} \leq 0.3V_{DD}$ ;  $V_{oh} \geq 0.9V_{DD}$ ,  $V_{ol} \leq 0.1V_{DD}$ .

ttl 的为: $V_{ih} \geq 2.0v$ ,  $V_{il} \leq 0.8v$ ;  $V_{oh} \geq 2.4v$ ,  $V_{ol} \leq 0.4v$ .

用 cmos 可直接驱动 ttl;加上拉电阻后,ttl 可驱动 cmos.

1、当 TTL 电路驱动 COMS 电路时 , 如果 TTL 电路输出的高电平低于 COMS 电路的最低高电平 ( 一般为 3.5V ) , 这时就需要在 TTL 的输出端接上拉电阻 , 以提高输出高电平的值。

2、OC 门电路必须加上拉电阻 , 以提高输出的搞电平值。

3、为加大输出引脚的驱动能力 , 有的单片机管脚上也常使用上拉电阻。

4、在 COMS 芯片上 , 为了防止静电造成损坏 , 不用的管脚不能悬空 , 一般接上拉电阻产生降低输入阻抗 , 提供泄荷通路。

5、芯片的管脚加上拉电阻来提高输出电平，从而提高芯片输入信号的噪声容限增强抗干扰能力。

6、提高总线的抗电磁干扰能力。管脚悬空就比较容易接受外界的电磁干扰。

7、长线传输中电阻不匹配容易引起反射波干扰，加上下拉电阻是电阻匹配，有效的抑制反射波干扰。

上拉电阻阻值的选择原则包括:

1、从节约功耗及芯片的灌电流能力考虑应当足够大；电阻大，电流小。

2、从确保足够的驱动电流考虑应当足够小；电阻小，电流大。

3、对于高速电路，过大的上拉电阻可能边沿变平缓。综合考虑

以上三点,通常在 1k 到 10k 之间选取。对下拉电阻也有类似道理

OC 门电路要输出“1”时才需要加上拉电阻 不加根本就没有高电平

在有时我们用 OC 门作驱动 ( 例如 控制一个 LED ) 灌电流工作时就可以不加上拉电阻

OC 门实现“线与”运算 OC 门就是集电极开路，输出总之加上拉电阻能够提高驱动能力。

11、如何解决亚稳态。( 飞利浦 - 大唐笔试 ) ?

亚稳态是指触发器无法在某个规定时间段内达到一个可确认的状态。当一个触发器进入亚稳态时，既无法预测该单元的输出电平，也无法预测何时输出才能稳定在某个正确的电平上。在这个稳定期间，触发器输出一些中间级电平，或者可能处于振荡状态，并且这种无用的输出电平可以沿信号通道上的各个触发器级联式传播下去。

解决方法：

- 1 降低系统时钟频率
- 2 用反应更快的 FF
- 3 引入同步机制，防止亚稳态传播
- 4 改善时钟质量，用边沿变化快速的时钟信号

关键是器件使用比较好的工艺和时钟周期的裕量要大。亚稳态寄存器用 d 只是一个办法，有时候通过 not，buf 等都能达到信号过滤的效果

## 12、IC 设计中同步复位与异步复位的区别。（南山之桥）

同步复位在时钟沿采复位信号，完成复位动作。异步复位不管时钟，只要复位信号满足条件，就完成复位动作。异步复位对复位信号要求比较高，不能有毛刺，如果其与时钟关系不确定，也可能出现亚稳态。

## 13、MOORE 与 MEELEY 状态机的特征。（南山之桥）



Moore 状态机的输出仅与当前状态值有关，且只在时钟边沿到来时才会有状态变化。Mealy 状态机的输出不仅与当前状态值有关，而且与当前输入值有关，这

#### 14、多时域设计中,如何处理信号跨时域。(南山之桥)

不同的时钟域之间信号通信时需要进行同步处理，这样可以防止新时钟域中第一级触发器的亚稳态信号对下级逻辑造成影响，其中对于单个控制信号可以用两级同步器，如电平、边沿检测和脉冲，对多位信号可以用 FIFO，双口 RAM，握手信号等。

跨时域的信号要经过同步器同步，防止亚稳态传播。例如：时钟域 1 中的一个信号，要送到时钟域 2，那么在这个信号送到时钟域 2 之前，要先经过时钟域 2 的同步器同步后，才能进入时钟域 2。这个同步器就是两级 d 触发器，其时钟为时钟域 2 的时钟。这样做是怕时钟域 1 中的这个信号，可能不满足时钟域 2 中触发器的建立保持时间，而产生亚稳态，因为它们之间没有必然关系，是异步的。这样做只能防止亚稳态传播，但不能保证采进来的数据的正确性。所以通常只同步很少位数的信号。比如控制信号，或地址。当同步的是地址时，一般该地址应采用格雷码，因为格雷码每次只变一位，相当于每次只有一个同步器在起作用，这样可以降低出错概率，象异步 FIFO 的设计中，比较读写地址的大小时，就是用这种方法。如果两个时钟域之间传送大量的数据，可以用异步 FIFO 来解决问题。

我们可以在跨越 Clock Domain 时加上一个低电平使能的 Lockup Latch 以确保 Timing 能正确无误。

15、给了 reg 的 setup,hold 时间，求中间组合逻辑的 delay 范围。(飞利浦 - 大唐笔试)

$$\text{hold} < \text{Delay} < \text{period} - \text{setup}$$

16、时钟周期为 T,触发器 D1 的寄存器到输出时间最大为 T1max，最小为 T1min。组合逻辑电路最大延迟为 T2max,最小为 T2min。问，触发器 D2 的建立时间 T3 和保持时间应满足什么条件。(华为)

$$T3_{\text{setup}} > T + T2_{\text{max}}, T3_{\text{hold}} > T1_{\text{min}} + T2_{\text{min}}$$

17、给出某个一般时序电路的图，有 Tsetup,Tdelay,Tck->q,还有 clock 的 delay,写出决定最大时钟的因素，同时给出表达式。(威盛 VIA 2003.11.06 上海笔试试题)

$$T + T_{\text{clkdealy}} > T_{\text{setup}} + T_{\text{co}} + T_{\text{delay}};$$

$$T_{\text{hold}} > T_{\text{clkdelay}} + T_{\text{co}} + T_{\text{delay}};$$

我们先来看一看同步电路中数据传递的一个基本模型：如下图

(  $T_{co}$  是触发器时钟到数据输出的延时 ;  $T_{delay}$  是组合逻辑的延时 ;  $T_{setup}$  是触发器的建立时间 ) 假设数据已经被时钟的上升沿打入 D 触发器 , 那么数据到达第一个触发器的 Q 端需要  $T_{co}$  , 再经过组合逻辑的延时  $T_{delay}$  到达的第二个触发器的 D 端 , 要想时钟能在第二个触发器再次被稳定的锁入触发器 , 则时钟的延迟不能晚于  $T_{co}+T_{delay}+T_{setup}$  , ( 我们可以回顾一下前面讲过的  $T_{co}$  的概念 , 就可以理解为什么公式最后要加上一个  $T_{delay}$  ) 由以上分析可知 : 最小时钟周期 :  $T=T_{co}+T_{delay}+T_{setup}$  最快时钟频率  $F=1/T$  PLD 开发软件也正是通过这个公式来计算系统运行速度  $F_{max}$

注 : 在这个逻辑图中有个参数 :  $T_{pd}$  , 即时钟的延时参数 , 我们在刚才做时间分析的时候 , 没有提这个参数 , ( 如果使用 PLD 的全局时钟型号 ,  $T_{pd}$  可以为 0 , 如果是普通时钟 , 则不为 0 ) 。所以如果考虑到时钟的延时 , 精确的公式应该是  $T=T_{co}+T_{delay}+T_{setup}-T_{pd}$  。当然以上全部分析的都是器件内部的运行速度 , 如果考虑芯片 I/O 管脚延时对系统速度的影响 , 那么还需要加一些修正。

由于  $T_{co}$ 、 $T_{setup}$  是由具体的器件和工艺决定的 , 我们设计电路时只可以改变  $T_{delay}$  。所以缩短触发器间组合逻辑的延时是提高同步电路速度的关键。由于一般同步电路都不止一级锁存 ( 如图 3 ) , 而要使电路稳定工作 , 时钟周期必须满足最大延时要求 , 缩短最长延时路径 , 才可提高电路的工作频率。

如图 2 所示：我们可以将较大的组合逻辑分解为较小的几块，中间插入触发器，这样可以提高电路的工作频率。这也是所谓“流水线”（pipelining）技术的基本原理。

从图 5 中可以容易的看出对建立时间放宽了  $T_{pd}$ ，所以 D2 的建立时间需满足要求：

$$T_{pd} + T - T_{co} - T_{2max} \geq T_3$$

由于建立时间与保持时间的和是稳定的一个时钟周期，如果时钟有延时，同时数据的延时也较小那么建立时间必然是增大的，保持时间就会随之减小，如果减小到不满足 D2 的保持时间要求时就不能采集到正确的数据，如图 6 所示。

$$\text{这时即 } T - (T_{pd} - T_{co} - T_{2min}) < T_4$$

$$T - (T_{pd} + T - T_{co} - T_{2min}) \geq T_4 \text{ 即 } T_{co} + T_{2min} - T_{pd} \geq T_4$$

从上式也可以看出如果  $T_{pd} = 0$  也就是时钟的延时为 0 那么同样也是要求  $T_{co} + T_{2min} > T_4$ ，但是在实际的应用中由于 T2 的延时也就是线路的延时远远大于触发器的保持时间即  $T_4$  所以

不必要关系保持时间。

18、说说静态、动态时序模拟的优缺点。（威盛 VIA 2003.11.06 上海笔试试题）

静态时序分析是采用穷尽分析方法来提取出整个电路存在的所有时序路径，计算信号在这些路径上的传播延时，检查信号的建立和保持时间是否满足时序要求，通过对最大路径延时和最小路径延时的分析，找出违背时序约束的错误。它不需要输入向量就能穷尽所有的路径，且运行速度很快、占用内存较少，不仅可以对芯片设计进行全面的时序功能检查，而且还可利用时序分析的结果来优化设计，因此静态时序分析已经越来越多地被用到数字集成电路设计的验证中。

动态时序模拟就是通常的仿真，因为不可能产生完备的测试向量，覆盖门级网表中的每一条路径。因此在动态时序分析中，无法暴露一些路径上可能存在的时序问题；

19、一个四级的 Mux,其中第二级信号为关键信号 如何改善 timing。( 威盛 VIA )

关键：将第二级信号放到最后输出一级输出，同时注意修改片选信号，保证其优先级未被修改。（关键路径就是指那些延迟大于相应周期时间的路径，消除关键路径的延迟要从消减路径中的各部分延迟入手。.....采用了这样的约束之后，关键路径通常都能被消除了，那么能不能这样说，一个设计模块如果中和后没有关键路径那么此设计应该是好的吗？）

21、逻辑方面数字电路的卡诺图化简，时序（同步异步差异），触发器有几种（区别，优点），全加器等。

23、化简  $F(A,B,C,D) = m(1,3,4,5,10,11,12,13,14,15)$  的和。（威盛）

AC + B/C + /A/BD

卡诺图化简：一般是四输入，记住 00 01 11 10 顺序，

0 1 3 2

4 5 7 6

12 13 15 14

8 9 11 10

1、ASIC flow 写出几个流程,并用 2-3 句话简介,然后列出相应的 2-3 个 EDA tools

2、名词解释 FIFO ,SETUP/HOLD TIME,CPLD ,Cache ,DFT ,RSIC , RTC , P&R。。

3、写出半加器和全加器的区别写出全加器的布尔式，并用逻辑门表示出来 用全加器和半加器组成一个 2 位超前加法器

5、画状态图，不用写代码，关于南桥北桥的状态转换，并按要求做优化

6、圆形池子，老鼠在里面游泳，猫在岸上等着逮它，猫的速度是老鼠游泳速度的 4 倍，初始时毛在岸上离老鼠最近的位置。问，老鼠能不能逃生？如果能，怎么逃？

我觉得不一定能逃：

(1)、老鼠逃跑的最佳位置是在湖中心，跑到岸边最短的距离是  $R$

(2)、猫只要绕半圆跑就可以了，好像距离是  $\pi \cdot R$

(3)、时间  $\pi \cdot R / V_1 < R / V_2$  ( $V_1 = 4V_2$ )

7、6层 PCB 板如何设计层，介绍旁路电容，滤波电容，大电容的作用，  
然你计算一根走线的电感

1、数制转换 (EB)  $16 = ( \quad )_{10} = ( \quad )_2$

2、卡诺图化简 3、j、k 触发器画输出 4、4 - 16 译码器 5、买饮料问题，  
输入 5 角，1 元两种，饮料 1.5，要求找零 画状态图。。不要求编程

6、两个 16 进制计数器搭成一个 72 进制计数器，画图

7、用 verilog 编程 60 进制计数器 BCD 码输出当前计数值

52、又问什么是状态图。55、How many flip-flop circuits are needed to divide by 16? (In

56、用 filp-flop 和 logic-gate 设计一个 1 位加法器，输入 carryin 和 current-stage，输出 c  
next-stage. (未知)

58、实现 N 位 Johnson Counter,  $N=5$ 。(南山之桥)

59、用你熟悉的设计方式设计一个可预置初值的 7 进制循环计数器，15 进制的呢？(仕兰

60、数字电路设计当然必问 Verilog/VHDL , 如设计计数器。

63、用 D 触发器实现 2 倍分频的 Verilog 描述？（汉王笔试）

```
module divide2( clk , clk_o, reset);  
  
    input    clk , reset;  
  
    output  clk_o;  
  
    wire in;  
  
    reg out ;  
  
    always @ ( posedge clk or posedge reset)  
  
        if ( reset)  
  
            out <= 0;  
  
        else  
  
            out <= in;  
  
        assign in = ~out;  
  
        assign clk_o = out;  
  
endmodule
```



64、可编程逻辑器件在现代电子设计中越来越重要，请问：a) 你所知道的可编程逻辑器件有哪些？ b) 试用 VHDL 或 VERILOG、ABLE 描述 8 位 D 触发器逻辑。（汉王笔试）

PAL , PLD , CPLD , FPGA。

```
module dff8(clk , reset, d, q);
```

```
input    clk;
```

```
input    reset;
```

```
input    d;
```

```
output q;
```

```
reg q;
```

```
always @ (posedge clk or posedge reset)
```

```
    if(reset)
```

```
        q <= 0;
```

```
    else
```

```
        q <= d;
```

```
endmodule
```

- 66、用 VERILOG 或 VHDL 写一段代码，实现 10 进制计数器。（未知）
- 67、用 VERILOG 或 VHDL 写一段代码，实现消除一个 glitch。（未知）
- 68、一个状态机的题目用 verilog 实现
- 69、描述一个交通信号灯的设计。（仕兰微电子）
- 70、画状态机，接受 1，2，5 分钱的卖报机，每份报纸 5 分钱。（扬智电子笔试）
- 71、设计一个自动售货机系统，卖 soda 水的，只能投进三种硬币，要正确的找回钱数。  
(有限状态机)；(2)用 verilog 编程，语法要符合 fpga 设计的要求。（未知）
- 72、设计一个自动饮料售卖机，饮料 10 分钱，硬币有 5 分和 10 分两种，并考虑找零：  
画出 fsm (有限状态机)；(2)用 verilog 编程，语法要符合 fpga 设计的要求；(3)设计  
工程中可使用的工具及设计大致过程。（未知）
- 77、现有一用户需要一种集成电路产品，要求该产品能够实现如下功能： $y=\ln x$ ，其中， $x$   
整数输入信号。 $y$  为二进制小数输出，要求保留两位小数。电源电压为 3~5v 假设公司接到该项  
来负责该产品的设计，试讨论该产品的设计全程。（仕兰微电子）
- 78、sram，falsh memory，及 dram 的区别？（新太硬件面试）
- 79、给出单管 DRAM 的原理图(西电版《数字电子技术基础》作者杨颂华、冯毛官 205 页)  
你有什么办法提高 refresh time，总共有 5 个问题。（降低温度，增大电容存储容量）（Infineon）

81、名词:sram,ssram,sdram

压控振荡器的英文缩写(VCO)。 动态随机存储器的英文缩写(DRAM)。

名词解释，无聊的外文缩写罢了，比如 PCI、ECC、DDR、interrupt、pipeline、

IRQ,BIOS,USB,VHDL,VLSI VCO(压控振荡器) RAM (动态随机存储器)，FIR IIR DFT(离散

傅立叶变换)或者是中文的，比如：a.量化误差 b.直方图 c.白平衡

各大公司电子类招聘题目精选-单片机之类-

3、最基本的如三极管曲线特性。(未知) 4、描述反馈电路的概念，列举他们的应用。(

5、负反馈种类(电压并联反馈，电流串联反馈，电压串联反馈和电流并联反馈)；负反  
放大器的增益灵敏度，改变输入电阻和输出电阻，改善放大器的线性和非  
线性失真，有效地扩  
频带，自动调节作用)(未知)

6、放大电路的频率补偿的目的是什么，有哪些方法？(仕兰微电子)

7、频率响应，如：怎么才算是稳定的，如何改变频响曲线的几个方法。(未知)

8、给出一个查分运放，如何相位补偿，并画补偿后的波特图。(凹凸)

9、基本放大电路种类(电压放大器，电流放大器，互导和互阻放大器)，优缺点，特别是  
结构的原因。

10、给出一差分电路，告诉其输出电压  $Y_+$  和  $Y_-$ ，求共模分量和差模分量。11、画差放的两

凸)

12、画出由运放构成加法、减法、微分、积分运算的电路原理图。并画出一个晶体管级的 ( 仕兰微电子 )

13、用运算放大器组成一个 10 倍的放大器。( 未知 )

14、给出一个简单电路，让你分析输出电压的特性 ( 就是个积分电路 )，并求输出端某点电压。

15、电阻 R 和电容 C 串联，输入电压为 R 和 C 之间的电压，输出电压分别为 C 上电压和 R 上电压。求制这两种电路输入电压的频谱，判断这两种电路何为高通滤波器，何为低通滤波器。当 RC 乘积为常数时，求其幅频特性。

17、有一时域信号  $S=V_0\sin(2\pi f_0t)+V_1\cos(2\pi f_1t)+V_2\sin(2\pi f_3t+90)$ ，当其通过低通、带通滤波器后的信号表示方式。18、选择电阻时要考虑什么？( 东信笔试题 )

19、在 CMOS 电路中，要有一个单管作为开关管精确传递模拟低电平，这个单管你会用 PMOS 还是 NMOS？为什么？

20、给出多个 mos 管组成的电路求 5 个点的电压。(Infineon 笔试试题)

21、电压源、电流源是集成电路中经常用到的模块，请画出你知道的线路结构，简单描述其工作原理。( 仕兰微电子 )

22、画电流偏置的产生电路，并解释。25、LC 正弦波振荡器有哪几种三点式振荡电路，分别画出其原理图。( 仕兰微电子 )

26、VCO 是什么,什么参数(压控振荡器?) ( 华为面试题 ) 27、锁相环有哪几部分组成?

28、锁相环电路组成,振荡器(比如用 D 触发器如何搭)。(未知) 29、求锁相环的输出  
个锁相环的结构图。(未知)

30、如果公司做高频电子的,可能还要 RF 知识,调频,鉴频鉴相之类,不一一列举。(未知)

31、一电源和一段传输线相连(长度为 L,传输时间为 T),画出终端处波形,考虑传输线  
电源电压波形图,要求绘制终端波形图。(未知)

32、微波电路的匹配电阻。(未知) 33、DAC 和 ADC 的实现各有哪些方法?(仕兰微电子)

34、A/D 电路组成、工作原理。(未知)

2、什么是同步逻辑和异步逻辑?(汉王笔试)同步逻辑是时钟之间有固定的因果关系。异步  
钟之间没有固定的因果关系。

20、给出一个门级的图,又给了各个门的传输延时,问关键路径是什么,还问给出输入,使  
关键路径。

23、化简  $F(A,B,C,D) = m(1,3,4,5,10,11,12,13,14,15)$  的和。(威盛)

24、please show the CMOS inverter schmatic,layout and its cross section with P-

well process. Plot its transfer curve ( $V_{out}-V_{in}$ ) And also explain the

operation region of PMOS and NMOS for each segment of the transfer curve?

25、To design a CMOS invertor with balance rise and fall time,please define

the ration of channel width of PMOS and NMOS and explain?

26、为什么一个标准的倒相器中 P 管的宽长比要比 N 管的宽长比大？（仕兰微电子）

28、please draw the transistor level schematic of a cmos 2 input AND gate and explain v  
faster response for output rising edge.(less delay time)。 ( 威盛笔试题 circuit design-beijing-C

29、画出 NOT,NAND,NOR 的符号，真值表，还有 transistor level 的电路。（Infineon 笔

30、画出 CMOS 的图，画出 tow-to-one mux gate。（威盛 VIA 2003.11.06 上海笔试试题

32、画出  $Y=A*B+C$  的 cmos 电路图。（科广试题） 33、用逻辑们和 cmos 电路实现  $ab+$   
- 大唐笔试 )

34、画出 CMOS 电路的晶体管级电路图，实现  $Y=A*B+C(D+E)$ 。 35、利用 4 选 1 实现 F  
( 未知 )

36、给一个表达式  $f=xxxx+xxxx+xxxxx+xxxx$  用最少数量的与非门实现（实际上就是化简

37、给出一个简单的由多个 NOT,NAND,NOR 组成的原理图，根据输入波形画出各点波形

38、为了实现逻辑  $(A \text{ XOR } B) \text{ OR } (C \text{ AND } D)$ ，请选用以下逻辑中的一种，并说明为  
么？1) INV 2) AND 3) OR 4) NAND 5) NOR 6) XOR 答案：NAND ( 未知 )

40、给出两个门电路让你分析异同。（华为）

42、A,B,C,D,E 进行投票，多数服从少数，输出是 F (也就是如果 A,B,C,D,E 中 1 的个数比输出为 1，否则 F 为 0)，用与非门实现，输入数目没有限制。(未知)

45、用逻辑们画出 D 触发器。(威盛) 46、画出 DFF 的结构图,用 verilog 实现

47、画出一种 CMOS 的 D 锁存器的电路图和版图。(未知)

49、简述 latch 和 filp-flop 的异同。(未知) 50、LATCH 和 DFF 的概念和区别。(未知)

55、How many flip-flop circuits are needed to divide by 16? (Intel) 16 分频?

56、用 filp-flop 和 logic-gate 设计一个 1 位加法器，输入 carryin 和 current-stage，输出 c next-stage。(未知)

60、数字电路设计当然必问 Verilog/VHDL，如设计计数器。

62、写异步 D 触发器的 verilog module。(扬智电子笔试)

```
module dff8(clk , reset, d, q);
```

```
input    clk;
```

```
input    reset;
```

```
input [7:0] d;
```

```
output [7:0] q;
```

```
reg [7:0] q;
```

```
always @ (posedge clk or posedge reset)
```

```
    if(reset)
```

```
        q <= 0;
```

```
    else
```

```
        q <= d;
```

```
endmodule
```

80、 Please draw schematic of a common SRAM cell with 6 transistors, point out which node is data and which node is word line control?

circuit design-beijing-03.11.09 )

1: 每个嵌入式系统都有只读存储器 eprom 之类的，请问 rom 中有些什么，如何布局

2: 请描述 bootloader 的主要功能和执行流程 3: 简要分析嵌入式系统的体系结构

4: 列出 linux 文件系统的目录结构

5: 将变量 a 进行移位操作，首先设置 a 的第 3 位为 1，然后清除 a 的第 3 位

IC 设计基础 ( 流程、工艺、版图、器件 )

1、我们公司的产品是集成电路，请描述一下你对集成电路的认识，列举一些与集成电路



相关的内容 ( 如讲清楚模拟、数字、双极型、CMOS、MCU、RISC、CISC、DSP、ASIC 等的概念 )。( 仕兰微面试题目 )

2、FPGA 和 ASIC 的概念，他们的区别。( 未知 )

答案：FPGA 是可编程 ASIC。

ASIC:专用集成电路，它是面向专门用途的电路，专门为一个用户设计和制造的。根据一个用户的特定要求，能以低研制成本，短、交货周期供货的全定制，半定制集成电路。与门阵列等其它 ASIC(Application Specific IC)相比，它们又具有设计开发周期短、设计制造成本低、开发工具先进、标准产品无需测试、质量稳定以及可实时在线检验等优点

3、什么叫做 OTP 片、掩膜片，两者的区别何在？ 4、你知道的集成电路设计的表达方式

5、描述你对集成电路设计流程的认识。6、简述 FPGA 等可编程逻辑器件设计流程。

7、IC 设计前端到后端的流程和 eda 工具。

8、从 RTL synthesis 到 tape out 之间的设计 flow,并列出其中各步使用的 tool。( 未知 )

9、Asic 的 design flow。10、写出 asic 前期设计的流程和相应的工具。( 威盛 )

先介绍下 IC 开发流程：

1.) 代码输入 ( design input)

用 vhdl 或者是 verilog 语言来完成器件的功能描述，生成 hdl 代码

语言输入工具：SUMMIT VISUALHDL

MENTOR RENIOR

图形输入： composer(cadence);

viewlogic (viewdraw)

2. ) 电路仿真 ( circuit simulation)

将 vhd 代码进行先前逻辑仿真，验证功能描述是否正确

数字电路仿真工具：

Verolog： CADENCE Verolig-XL

SYNOPSYS VCS

MENTOR Modle-sim

VHDL： CADENCE NC-vhdl

SYNOPSYS VSS

MENTOR Modle-sim

模拟电路仿真工具： \*\*\*ANTI HSpice pspice， spectre micro microwave: eesoft

### 3.) 逻辑综合 ( synthesis tools)

逻辑综合工具可以将设计思想 vhd 代码转化成对应一定工艺手段的门级电路；将初级仿真中所没有考虑的门沿 ( gates delay ) 反标到生成的门级网表中,返回电路仿真阶段进行再仿真。最终仿真结果生成的网表称为物理网表。

12、请简述一下设计后端的整个流程？

13、是否接触过自动布局布线？请说出一两种工具软件，自动布局布线需要哪些基本元素

14、描述你对集成电路工艺的认识。15、列举几种集成电路典型工艺。工艺上常提到 0.2

什么？

16、请描述一下国内的工艺现状。17、半导体工艺中，掺杂有哪几种方式？（仕兰微面试题）

18、描述 CMOS 电路中闩锁效应产生的过程及最后的结果？（仕兰微面试题）

19、解释 latch-up 现象和 Antenna effect 和其预防措施.20、什么叫 Latchup?（科广试题）

21、什么叫窄沟效应？（科广试题）

22、什么是 NMOS、PMOS、CMOS？什么是增强型、耗尽型？什么是 PNP、NPN？他们

23、硅栅 COMS 工艺中 N 阱中做的是 P 管还是 N 管，N 阱的阱电位的连接有什么要求？

24、画出 CMOS 晶体管的 CROSS-OVER 图（应该是纵剖面图），给出所有可能的传输

移特性。( Infineon 笔试试题 )

25、以 interver 为例,写出 N 阱 CMOS 的 process 流程,并画出剖面图。( 科广试题 )

26、Please explain how we describe the resistance in semiconductor. Compare the resistance of a metal,poly and diffusion in traditional CMOS process.

27、说明 mos 一半工作在什么区。28、画 p-bulk 的 nmos 截面图。( 凹凸的题目和面试

30、寄生效应在 ic 设计中怎样加以克服和利用。( 未知 )

IC 设计的话需要熟悉的软件: Cadence,

Synopsys, Avant , UNIX 当然也要大概会操作。

DSP、嵌入式、软件等

1、请用方框图描述一个你熟悉的实用数字信号处理系统，并做简要的分析；如果没有，也可以自己设计一个简单的数字信号处理系统，并描述其功能及用途。( 仕兰微面试题目 )

2、数字滤波器的分类和结构特点。( 仕兰微面试题目 )

4、拉氏变换与 Z 变换公式等类似东西，随便翻翻书把如  $h(n)=-a \cdot h(n-1)+b \cdot \delta(n)$  a.求  $h(n)$  的 z 变换；b.问该系统是否为稳定系统；c.写出 FIR 数字滤波器的差分方程；( 未知 )

9、DSP 的结构 ( 哈佛结构 ) ; ( 未知 )

10、嵌入式处理器类型(如 ARM) , 操作系统种类 ( Vxworks,ucos,winCE,linux ) , 操作系统方面偏 CS 方向了 , 在 CS 篇里面讲了 ; ( 未知 )

11、有一个 LDO 芯片将用于对手机供电 , 需要你对他进行评估 , 你将如何设计你的测试项目 ?

12、某程序在一个嵌入式系统 ( 200M CPU , 50M SDRAM ) 中已经最优化了 , 换到另一个系统 ( 300M CPU , 50M SDRAM ) 中是否还需要优化 ? ( Intel )

13、请简要描述 HUFFMAN 编码的基本原理及其基本的实现方法。 ( 仕兰微面试题目 )

14、说出 OSI 七层网络协议中的四层 ( 任意四层 ) 。 ( 仕兰微面试题目 )

16、那种排序方法最快? ( 华为面试题 ) 17、写出两个排序算法,问哪个好? ( 威盛 )

18、编一个简单的求 n! 的程序 。 ( Infineon 笔试试题 )

19、用一种编程语言写 n! 的算法。 ( 威盛 VIA 2003.11.06 上海笔试试题 )

20、用 C 语言写一个递归算法求 N ! ; ( 华为面试题 )

21、给一个 C 的函数 , 关于字符串和数组 , 找出错误 ; ( 华为面试题 )

22、防火墙是怎么实现的？（华为面试题）

23、你对哪方面编程熟悉？（华为面试题）

27、一个农夫发现围成正方形的围栏比长方形的节省 4 个木桩但是面积一样.羊的数目和正方形围栏的桩子的个数一样但是小于 36，问有多少羊？（威盛）

28、C 语言实现统计某个 cell 在某.v 文件调用的次数(这个题目真 bt)（威盛 VIA  
2003.11.06 上海笔试试题）

29、用 C 语言写一段控制手机中马达振子的驱动程序。(威胜)

30、用 perl 或 TCL/Tk 实现一段字符串识别和比较的程序。（未知）

31、给出一个堆栈的结构，求中断后显示结果，主要是考堆栈压入返回地址存放在低端地址还是高端。（未知）

32、一些 DOS 命令，如显示文件，拷贝，删除。（未知）

33、设计一个类，使得该类任何形式的派生类无论怎么定义和实现，都无法产生任何对象实例。（IBM）

34、What is pre-emption? (Intel)

35、What is the state of a process if a resource is not available? (Intel)

36、三个 float a,b,c;问值  $(a+b)+c==(b+a)+c$  ,  $(a+b)+c==(a+c)+b$ 。(Intel)

37、把一个链表反向填空。(lucent)

38、 $x^4+a*x^3+x^2+c*x+d$  最少需要做几次乘法？(Dephi)

Tcp ip 分哪四层 应用层 主机到主机 网络层 接口层 主机号各位  
全为 1 的网间地址用于什么 广播

Ping 发出的是什么报文 ICMP 请求报文 Lanswitch 在网络层次模型  
中的地位，就是哪一层 数据链路层

修改文件权限的命令为 `chmod`

现实当前目录下的文件列表命令为 `ll` 或者 `list -a` `list -a` 好了

小于多少的 Tcpucp 端口号已保留与现有服务一一对应 1024

arp 协议的作用 正向地址解析 即将 IP 地址转换成 MAC 地址

V.35 电缆同步工作方式下最大传输速率 2Mbps

10base t 是指 双绞线最高速率 10M，采用基带传输，用于以太网

当路上由器接收的 ip 报文的 ttl 值为零,采取的策略为 目标不可到达，  
丢掉该分组

172.16.10.32mask255.255.255.224 代表的是本地之 B 类私有的  
网络地址

snmp 是用在 tcp 上吗 不是的 UDP 161 162

ospf,egp,rip,is is,rip2,eigrp,bgp,ppp 哪些属于是 igp

ospf rip ripv2 is-is eigrp

Fr 网络属于什么网 分组网

isdn Bri 是什么通道 B 信道用来传输语音 , 数据等

h.323 中的 gatekeeper 的基本功能

GateKeeper 网络控制系统其主要功能是对 H.323 区域节点(H.323 终端、H.323 MCU、网关)进行管理,基本功能包括节点注册、号码或名称解析、  
呼叫管理、带宽管理

符合 ietf 标准的 ipsec 可以采用哪个工作模式 隧道模式

各存储器 Flash,eprom,sram,dram 的特点

FLASH 闪存 EPROM 电可擦存储 SRAM 静态存储器 DRAM 动态存储器

E1,10baseT,STM 1 , 等接口速率

E1 1.554Mbps 10BASET 10Mbps



STM-1 的速率为(155.520M)bps

Ppp,sdh,tcp,ip,icmp,udp,fr,v.35,g.703 分别属于哪一层

PPP 数据链路层 SDH 数据链路层 TCP 传输层 IP 网络层 ICMP 应用层  
udp 传输层 FR 数据链路层 V.35 物理层 g.703 物理层

名词：SRAM、SSRAM、SDRAM  
SRAM：静态 RAM。DRAM：动态 RAM。SSRAM：Synchronous Static Random Access Memory 同步静态随机访问存储器。它的一种类型的 SRAM。SSRAM 的所有访问都在时钟的上升/下降沿启动。地址、数据输入和其它控制信号均于时钟信号相关。这一点与异步 SRAM 不同，异步 SRAM 的访问独立于时钟，数据输入和输出都由地址的变化控制。SDRAM：Synchronous DRAM 同步动态随机存储器

4) 什么是竞争与冒险现象？怎样判断？如何消除？

在组合逻辑中，由于门的输入信号通路中经过了不同的延时，导致到达该门的时间不一致叫竞争。产生毛刺叫冒险。如果布尔式中有相反的信号则可能产生竞争和冒险现象。

解决方法：一是添加布尔式的消去项，二是在芯片外部加电容。

大家谁搜集到的笔试题都列出来讨论一下吧。

(1) 同步电路与异步电路的区别

同步电路：存储电路中所有触发器的时钟输入端都接同一个时钟脉冲源，因而所有触发器的状态的变化都与所加的时钟脉冲信号同步。

异步电路：电路没有统一的时钟，有些触发器的时钟输入端与时钟脉冲源相连，这有这些触发器的状态变化与时钟脉冲同步，而其他的触发器的状态变化不与时钟脉冲同步。

3、什么是"线与"逻辑，要实现它，在硬件特性上有什么具体要求？（汉王笔试）

线与逻辑是两个输出信号相连可以实现与的功能。在硬件上，要用 oc 门来实现（漏极或者集电极开路），由于不用 oc 门可能使灌电流过大，而烧坏逻辑门，同时在输出端口应加一个上拉电阻。（线或则是下拉电阻）在组合逻辑中，由于门的输入信号通路中经过了不同的延时，导致到达该门的时间不一致叫竞争。产生毛刺叫冒险。如果布尔式中有相反的信号则可能产生竞争和冒险现象。解决方法：一是添加布尔式的消去项，二是在芯片外部加电容。

Moo re 状态机的输出仅与当前状态值有关，且只在时钟边沿到来时才会有状态变化. Mealy 状态机的输出不仅与当前状态值有关，而且与当前输入值有关，这

$T3_{setup} > T + T2_{max}$ ,  $T3_{hold} > T1_{min} + T2_{min}$  关键：将第二级信号放到最后输出一级输出，同时注意修改片选信号，保证其优先级未被修改。

61、BLOCKING NONBLOCKING 赋值的区别。(南山之桥)

非阻塞赋值：块内的赋值语句同时赋值，一般用在时序电路描述中

阻塞赋值：完成该赋值语句后才能做下一句的操作，一般用在组合逻辑描述中

65、请用 HDL 描述四位的全加法器、5 分频电路。(仕兰微电子)

74、用 FSM 实现 101101 的序列检测模块。(南山之桥)

a 为输入端，b 为输出端，如果 a 连续输入为 1101 则 b 输出为 1，否则为 0。

例如 a：0001100110110100100110

b：0000000000100100000000

请画出 state machine；请用 RTL 描述其 state machine。(未知)

76、用 verilog/vhdl 写一个 fifo 控制器(包括空，满，半满信号)。(飞利浦 - 大唐笔试)

reg[N-1:0] memory[0:M - 1]; 定义 FIFO 为 N 位字长容量 M

八个 always 模块实现，两个用于读写 FIFO，两个用于产生头地址 head 和尾地址 tail，一个产生 counter 计数，剩下三个根据 counter 的值产生空，满，半满信号产生空，满，半满信号

78、sram , flash memory , 及 dram 的区别？ ( 新太硬件面试 )

sram : 静态随机存储器 , 存取速度快 , 但容量小 , 掉电后数据会丢失 , 不像 DRAM 需要不停的 REFRESH , 制造成本较高 , 通常用来作为快取 (CACHE) 记忆体使用

flash : 闪存 , 存取速度慢 , 容量大 , 掉电后数据不会丢失

dram : 动态随机存储器 , 必须不断的重新加强(REFRESHED) 电位差量 , 否则电位差将降低至无法有足够的能量表现每一个记忆单位处于何种状态。价格比 sram 便宜 , 但访问速度较慢 , 耗电量较大 , 常用作计算机的内存使用。一、模拟电路

1 基尔霍夫定理的内容是什么？ ( 仕兰微电子 )

基尔霍夫电流定律是一个电荷守恒定律,即在一个电路中流入一个节点的电荷与流出同一个节点的电荷相等.

基尔霍夫电压定律是一个能量守恒定律,即在一个回路中回路电压之和为零.

2、平板电容公式( $C=\epsilon S/4\pi kd$ )。( 未知 )

25、To design a CMOS inverter with balance rise and fall time,please define the ration of channel width of PMOS and NMOS and explain?

26、为什么一个标准的倒相器中 P 管的宽长比要比 N 管的宽长比大？

( 仕兰微电子 )

28、 please draw the transistor level schematic of a cmos 2 input AND gate and explain which input has faster response for output rising edge.(less delay time)。 ( 威盛笔试题 circuit design-beijing-03.11.09 )

29、画出 NOT,NAND,NOR 的符号，真值表，还有 transistor level 的电路。( Infineon 笔试 )

30、画出 CMOS 的图 ,画出 tow-to-one mux gate。( 威盛 VIA 2003.11.06 上海笔试试题 )

31、用一个二选一 mux 和一个 inv 实现异或。( 飞利浦 - 大唐笔试 )

32、画出  $Y=A*B C$  的 cmos 电路图。( 科广试题 )

33、用逻辑门和 cmos 电路实现  $ab cd$ 。( 飞利浦 - 大唐笔试 )

34、画出 CMOS 电路的晶体管级电路图，实现  $Y=A*B C(D E)$ 。( 仕兰微电子 )

35、利用 4 选 1 实现  $F(x,y,z)=xz yz'$ 。( 未知 )

36、给一个表达式  $f=xxxx xxxx xxxxx xxxx$  用最少数量的与非门实现( 实际上就是化简 )。

37、给出一个简单的由多个 NOT,NAND,NOR 组成的原理图，根据输入波形画出各点波形。( Infineon 笔试 )

38、为了实现逻辑  $(A \text{ XOR } B) \text{ OR } (C \text{ AND } D)$ ，请选用以下逻辑中的一种，并说明为什么？1) INV 2) AND 3) OR 4) NAND 5) NOR 6) XOR 答案：NAND ( 未知 )

40、给出两个门电路让你分析异同。( 华为 )

41、用简单电路实现，当 A 为输入时，输出 B 波形为... ( 仕兰微电子 )

42、A,B,C,D,E 进行投票，多数服从少数，输出是 F ( 也就是如果 A,B,C,D,E 中 1 的个数比 0 多，那么 F 输出为 1，否则 F 为 0 )，用与非门实现，输入数目没有限制。( 未知 )

45、用逻辑门画出 D 触发器。( 威盛 VIA 2003.11.06 上海笔试题 )

46、画出 DFF 的结构图,用 verilog 实现之。( 威盛 )

47、画出一种 CMOS 的 D 锁存器的电路图和版图。( 未知 )

49、简述 latch 和 flip-flop 的异同。( 未知 )

50、LATCH 和 DFF 的概念和区别。( 未知 )

51、latch 与 register 的区别,为什么现在多用 register.行为级描述中 latch 如何产生的。( 南山之桥 )

55、How many flip-flop circuits are needed to divide by 16? (Intel) 16  
分频？

56、用 flip-flop 和 logic-gate 设计一个 1 位加法器，输入 carryin 和 current-stage，输出 carryout 和 next-stage. (未知)

60、数字电路设计当然必问 Verilog/VHDL，如设计计数器。(未知)

73、画出可以检测 10010 串的状态图,并 verilog 实现之。(威盛)

28、画 p-bulk 的 nmos 截面图。(凹凸的题目和面试)

29、写 schematic note ( ? )，越多越好。(凹凸的题目和面试)

30、寄生效应在 ic 设计中怎样加以克服和利用。(未知)

31、太底层的 MOS 管物理特性感觉一般不大会作为笔试面试题，因为全是微电子物理，公式推导太罗嗦，除非面试出题的是个老学究。IC 设计的话需要熟悉的软件: Cadence, Synopsys, Avant，UNIX 当然也要大概会操作。

### 三、单片机、MCU、计算机原理

1、简单描述一个单片机系统的主要组成模块，并说明各模块之间的数据流流向和控制流流向。简述单片机应用系统的设计原则。(仕兰微面试题)

2、画出 8031 与 2716 ( 2K\*8ROM ) 的连线图，要求采用三-八译码器，8031 的 P2.5,P2.4 和 P2.3 参加译码，基本地址范围为 3000H-3FFFH。该 2716 有没有重叠地址？根据是什么？若有，则写出每片 2716 的重叠地址范围。（仕兰微面试题目）

3、用 8051 设计一个带一个 8\*16 键盘加驱动八个数码管（共阳）的原理图。（仕兰微面试题目）

4、PCI 总线的含义是什么？PCI 总线的主要特点是什么？（仕兰微面试题目）

5、中断的概念？简述中断的过程。（仕兰微面试题目）

6、如单片机中断几个/类型，编中断程序注意什么问题；（未知）

7、要用一个开环脉冲调速系统来控制直流电动机的转速，程序由 8051 完成。简单原理如下：由 P3.4 输出脉冲的占空比来控制转速，占空比越大，转速越快；而占空比由 K7-K0 八个开关来设置，直接与 P1 口相连（开关拨到下方时为"0"，拨到上方时为"1"，组成一个八位二进制数 N），要求占空比为 N/256。（仕兰微面试题目）下面程序用计数法来实现这一功能，请将空余部分添完整。

```
□□ MOV P1, #0FFH
```

```
□□ LOOP1 : MOV R4, #0FFH
```



-----

MOV R3 , #00H

LOOP2 : MOV A , P1

-----

SUBB A , R3

JNZ SKP1

-----

SKP1 : MOV C , 70H

MOV P3.4 , C

ACALL DELAY : 此延时子程序略

-----

-----

AJMP LOOP1

8、单片机上电后没有运转，首先要检查什么？（东信笔试题）

9、What is PC Chipset?（扬智电子笔试）

芯片组 ( Chipset ) 是主板的核心组成部分 , 按照在主板上的排列位置的不同 , 通常分为北桥芯片和南桥芯片。北桥芯片提供对 CPU 的类型和主频、内存的类型和最大容量 ISA/PCI/AGP 插槽、ECC 纠错等支持。南桥芯片则提供对 KBC ( 键盘控制器 )、RTC ( 实时时钟控制器 )、USB ( 通用串行总线 )、Ultra DMA/33(66)EIDE 数据传输方式和 ACPI ( 高级能源管理 ) 等的支持。其中北桥芯片起着主导性的作用 , 也称为主桥( Host Bridge )。

除了最通用的南北桥结构外 , 目前芯片组正向更高级的加速集线架构发展 , Intel 的 8xx 系列芯片组就是这类芯片组的代表 , 它将一些子系统如 IDE 接口、音效、MODEM 和 USB 直接接入主芯片 , 能够提供比 PCI 总线宽一倍的带宽 , 达到了 266MB/s。

10、如果简历上还说做过 cpu 之类 , 就会问到诸如 cpu 如何工作 , 流水线之类的问题。( 未知 )

11、计算机的基本组成部分及其各自的作用。( 东信笔试题 )

12、请画出微机接口电路中 , 典型的输入设备与微机接口逻辑示意图( 数据接口、控制接口、寄存器/缓冲器 )。( 汉王笔试 )

13、cache 的主要部分什么的。( 威盛 VIA 2003.11.06 上海笔试试题 )

14、同步异步传输的差异 ( 未知 )

15、串行通信与同步通信异同,特点,比较。( 华为面试题 )

#### 四、信号与系统

1、的话音频率一般为 300~3400HZ，若对其采样且使信号不失真，其最小的采样频率应为多大？若采用 8KHZ 的采样频率，并采用 8bit 的 PCM 编码，则存储一秒钟的信号数据量有多大？（仕兰微面试题目）

2、什么耐奎斯特定律,怎么由模拟信号转为数字信号。（华为面试题）

3、如果模拟信号的带宽为 5khz,要用 8K 的采样率 ,怎么办？lucent) 两路？

5、给出时域信号，求其直流分量。（未知）

6、给出一时域信号，要求（1）写出频率分量，（2）写出其傅立叶变换级数；（3）当波形经过低通滤波器滤掉高次谐波而只保留一次谐波时，画出滤波后的输出波形。（未知）

7、sketch 连续正弦信号和连续矩形波(都有图)的傅立叶变换。

（Infineon 笔试试题）

华为 3COM 面试。

笔试中有英译汉。请翻译一下 ipv6 的路由发现机制。是将 arp 和 irdp 和 icmp 重定向的融合等等。

1 H.323 协商。（笔试题）

2 ipsec 为什么是三层的。l2tp 为什么是二层的？

答：ipsec 是需要三层 IP 路由的。l2tp 是打穿的。

反问：那 I2tp 不需要 ip 吗？

无语。

3 ospf 中包的 ttl 值是多少？（回忆不清了。可能是吧。但没听说过有介绍啊。）

4 为什么要划分区域？

答：用来防止 LSA 在整个区域内泛洪。减少对 CPU 和内存的损耗。

反问：那 area 0 的一条路由条目发生了变化。area 1 要不要知道呢？

答：要。

反问：既然要的话，那不还是要泛洪吗？那划分区域的话就没有什么意义了嘛。

答：可以通过缺省路由的方式或建立 stub 区域等方法。

反问：正面回答。

无语。

5 MPLS VPN 的标签一共有几层。内网的标签放在哪里。

答：骨干里传递一层。到 Mp-ibgp 邻居一层。跨域一层。好象 TE 还可以加一层标签。内网的标签放在 Ifib 表里。

对方没怎么做声。但估计答得不好。

（我有一点不明，MPLS 标签有分内网和外网吗？）

6 MPLS 中 RD 和 RT 的作用分别是什么？

答：RD 的作用是允许 VPN 用户地址的重叠。RT 可以用来区分不同的 VPN 用户。控制路由条目的出口入口策略。

反问：既然 RT 可以区分不同的 VPN 用户。那 RD 有什么用。地址重叠那

是你的规划没做好。

答：RD 是肯定要的。

反问：为什么？不是有 RT 可以区分用户吗？

无语。

7 RR 防止环路的机制。

答：两个属性 originate id。包含了始发这条路由的路由器的 route-id，因此 RR 不会将此路由又重新发回给源。

一个是 cluster-id。包含了 RR 的 route-id。

8 BGP 控制 out-bound 用 local-pre，控制进来的用 med. ( 笔试题 )

9 ospf 是工作在哪个协议上的？( 可能是我记不清了？ )

10 ospf 的 LSA 类型。

答：( 这个我不打字了。大家应该都知道吧。 )

11 简述 OSPF 的基本工作机制。

答：( 昨晚补了下卷一 ) 一。向邻接路由器发出 hello 包。根据 hello 包中携带的 area id ,hello time,dead interval,stub 标记。如果都相同的话。建立起邻居关系。

二 向邻居发送链路状态更新包. ( 根据 ospf 类型而定。如果是 broadcast 和 nbma 的话，由 DR 发出 ) 三 收到邻居路由器发来的更新包后，以自己为根，根据

spf 算法建立一条无环路的路径。四在整个区域内泛洪。五整个区域内的 database 同步。六数据库稳定后，hello 包变为 keepalive 报文，30min 发送一次。

( 回答肯定不是很好。请高手指正 )

12 ppp 的 lcp 和 ncp 协商过程。

答：( 说得不好。基本无语 )

13 笔试中还有一道 PSTN 的信令控制有哪三种？( 笔试题 )

14sloari 8.0 查看进程的命令是什么？linux 7.3 查看 IP 的命令是什么？( 笔试题 )

15 IP 是 5.32.0.0,掩码 255.224.0.0。请问最大的有效地址是多少。( 笔试题 )

16 下列哪一项不属于于 7 号信令标准？( 选择。我乱蒙了一个 )

17 lx/???的有效距离是多少？我选的 10km

18 IP 包头几个字节？加上数据部分几个字节 19 QOS 有一点点。

随便蒙吧，反正这方面对方问得不是很细。把你知道的说出来就可以了。

20 CQ 能不能有一种流量统治第二种流量，(由于是英文，dominate)? ( 笔试题 )

21 FTP 下载一个文件完成。有几个 TCP 连接？？四次 ( 笔试题 )

最后有一道题是我最最最郁闷的一道题。唉。

“请问你的英文可以吗？”

“呵呵，一般吧！”

“那请来段简短的自我介绍吧！”

“啊，哦。My name is XX.....I'am Sorry"

此题建议大家先准备一份英语的自我介绍，背下来。面试的时候还是有可能用的上的。毕竟不会象我这样尴尬。

## 一 选择

13 个题目,没有全部抄下来,涉及的课程有电路,模拟电路,数字电路,信号与系统,微机原理,网络,数字信号处理

有关于

1.微分电路

2.CISC,RISC

3.数据链路层

## 二 填空

10 个题目,没有全部抄下来,涉及的课程有电路,模拟电路,数字电路,信号与系统,微机原理,网络,数字信号处理

有关于

1.TIC6000 DSP

2.二极管

3.RISC

4.IIR

## 三 简答

1.x(t)的傅立叶变换为  $X(j\omega) = \frac{1}{j\omega} + \frac{1}{j\omega - \pi} + \frac{1}{j\omega - 5}$

$h(t) = u(t) - u(t-2)$

问: (1),x(t)是周期的吗?

(2),x(t)\*h(t)是周期的吗?

(3),两个非周期的信号卷积后可周期吗?

2.简述分组交换的特点和不足

#### 四 分析设计

1.波形变换题目

从正弦波->方波->锯齿波->方波,设计电路

2.74161 计数器组成计数电路,分析几进制的

3.用 D 触发器构成 2 分频电路

4.判断 MCS-51 单片机的指令正确还是错误,并指出错误原因

(1) MUL R0,R1

(2) MOV A,@R7

(3) MOV A,#3000H

(4) MOVC @A+DPTR,A

(5) LJMP #1000H ()

5.MCS-51 单片机中,采用 12Mhz 时钟,定时器 T0 采用模式 1(16 位计数器),请问

在下面程序中,p1.0 的输出频率

```
MOV TMOD,#01H
```

```
SETB TR0
```

```
LOOP:MOV TH0,#0B1H
```



```
MOV TL0,#0E0H
```

```
LOOP1:JNB TF0,LOOP1
```

```
CLR TR0
```

```
CPL P1.0
```

```
SJMP LOOP
```

华为面题

(硬件)

全都是几本模电数电信号单片机题目

1.用与非门等设计全加法器

2.给出两个门电路让你分析异同

3.名词:sram,ssram,sdram

4.信号与系统:在时域与频域关系

5.信号与系统:和 4 题差不多

6.晶体振荡器,好像是给出振荡频率让你求周期(应该是单片机的,12 分之一

周期..


..)

7.串行通信与同步通信异同,特点,比较

8.RS232c 高电平脉冲对应的 TTL 逻辑是?(负逻辑?)

9.延时问题,判错

- 10.史密斯特电路,求回差电压
- 11.VCO 是什么,什么参数(压控振荡器?)
12. 用 D 触发器做个二分频的电路.又问什么是状态图
13. 什么耐奎斯特定律,怎么由模拟信号转为数字信号
14. 用 D 触发器做个 4 进制的计数
- 15.那种排序方法最快?

硬件工程师笔试题 

帖子发表于 : 2008-5-20 17:25:21

## 模拟电路

### 1、基尔霍夫定理的内容是什么？

基尔霍夫定律包括电流定律和电压定律

电流定律：在集总电路中，任何时刻，对任一节点，所有流出节点的支路电流的代数和恒等于零。

电压定律：在集总电路中，任何时刻，沿任一回路，所有支路电压的代数和恒等于零。

### 2、描述反馈电路的概念，列举他们的应用。

反馈，就是在电子系统中，把输出回路中的电量输入到输入回路中去。

反馈的类型有：电压串联负反馈、电流串联负反馈、电压并联负反馈、电流并联负反馈。

负反馈的优点：降低放大器的增益灵敏度，改变输入电阻和输出电阻，改善放大器的线性和非线性失真，有效地扩展放大器的通频带，自动调节作用。

电压负反馈的特点：电路的输出电压趋向于维持恒定。

电流负反馈的特点：电路的输出电流趋向于维持恒定。

### 3、有源滤波器和无源滤波器的区别

无源滤波器：这种电路主要有无源元件 R、L 和 C 组成模拟电路

1、基尔霍夫定理的内容是什么？（仕兰微电子）

2、平板电容公式( $C=\epsilon S/4\pi kd$ )。（未知）

3、最基本的如三极管曲线特性。（未知）

4、描述反馈电路的概念，列举他们的应用。（仕兰微电子）

5、负反馈种类（电压并联反馈，电流串联反馈，电压串联反馈和电流并联反馈）；负反馈的优点（降低放大器的增益灵敏度，改变输入电阻和输出电阻，改善放大器的线性和非线性失真，有效地扩展放大器的通频带，自动调节作用）（未知）

6、放大电路的频率补偿的目的是什么，有哪些方法？（仕兰微电子）

7、频率响应，如：怎么才算是稳定的，如何改变频响曲线的几个方法。（未知）

8、给出一个查分运放，如何相位补偿，并画补偿后的波特图。（凹凸）

9、基本放大电路种类（电压放大器，电流放大器，互导放大器和互阻放大器），优缺点，特别是广泛采用差分结构的原因。（未知）

10、给出一差分电路，告诉其输出电压  $Y_+$  和  $Y_-$ ，求共模分量和差模分量。

( 未知 )

11、画差放的两个输入管。( 凹凸 )

12、画出由运放构成加法、减法、微分、积分运算的电路原理图。并画出一个晶体管级的运放电路。( 仕兰微电子 )

13、用运算放大器组成一个 10 倍的放大器。( 未知 )

14、给出一个简单电路，让你分析输出电压的特性 ( 就是个积分电路 )，并求输出端某点的 rise/fall 时间。(Infineon 笔试试题)

15、电阻  $R$  和电容  $C$  串联，输入电压为  $R$  和  $C$  之间的电压，输出电压分别为  $C$  上电压和  $R$  上电压，要求制这两种电路输入电压的频谱，判断这两种电路何为高通滤波器，何为低通滤波器。当  $RC \ll T$  时，给出输入电压波形图，绘制两种电路的输出波形图。( 未知 )

16、有源滤波器和无源滤波器的原理及区别?( 新太硬件 )

17、有一时域信号  $S = V_0 \sin(2\pi f_0 t) + V_1 \cos(2\pi f_1 t) + V_2 \sin(2\pi f_3 t + 90)$ ，当其通过低通、带通、高通滤波器后的信号表示方式。( 未知 )

18、选择电阻时要考虑什么?( 东信笔试题 )

19、在 CMOS 电路中，要有一个单管作为开关管精确传递模拟低电平，这个单管你会用 P 管 还是 N 管，为什么?( 仕兰微电子 )

- 20、给出多个 mos 管组成的电路求 5 个点的电压。(Infineon 笔试试题)
- 21、电压源、电流源是集成电路中经常用到的模块，请画出你知道的线路结构，简单描述 其优缺点。( 仕兰微电子 )
- 22、画电流偏置的产生电路，并解释。( 凹凸 )
- 23、史密斯特电路,求回差电压。( 华为面试题 )
- 24、晶体振荡器,好像是给出振荡频率让你求周期(应该是单片机的,12 分之一周期....) ( 华为面试题 )
- 25、LC 正弦波振荡器有哪几种三点式振荡电路，分别画出其原理图。( 仕兰微电子 )
- 26、VCO 是什么,什么参数(压控振荡器?) ( 华为面试题 )
- 27、锁相环有哪几部分组成？( 仕兰微电子 )
- 28、锁相环电路组成，振荡器 ( 比如用 D 触发器如何搭 )。( 未知 )
- 29、求锁相环的输出频率，给了一个锁相环的结构图。( 未知 )
- 30、如果公司做高频电子的，可能还要 RF 知识，调频，鉴频鉴相之类，不一一列举。( 未知 )
- 31、一电源和一段传输线相连( 长度为 L,传输时间为 T )，画出终端处波形，考虑传输线 无损耗。给出电源电压波形图，要求绘制终端波形图。( 未知 )

32、微波电路的匹配电阻。(未知)

33、DAC 和 ADC 的实现各有哪些方法?(仕兰微电子)

34、A/D 电路组成、工作原理。(未知)

35、实际工作所需要的一些技术知识(面试容易问到)。如电路的低功耗,稳定,高速如何做到,调运放,布版图注意的地方等等,一般会针对简历上你所写做过的东西具体问,肯定会问得很细(所以别把什么都写上,精通之类的词也别用太多了),这个东西各个人就不一样了,不好说什么了。(未知)

---

---

## 数字电路

1、同步电路和异步电路的区别是什么?(仕兰微电子)

2、什么是同步逻辑和异步逻辑?(汉王笔试)

同步逻辑是时钟之间有固定的因果关系。异步逻辑是各时钟之间没有固定的因果关系。

3、什么是"线与"逻辑,要实现它,在硬件特性上有什么具体要求?(汉王笔试)

线与逻辑是两个输出信号相连可以实现与的功能。在硬件上，要用 oc 门来实现，由于不用 oc 门可能使灌电流过大，而烧坏逻辑门。同时在输出端口应加一个上拉电阻。

4、什么是 Setup 和 Holdup 时间？（汉王笔试）

5、setup 和 holdup 时间,区别.（南山之桥）

6、解释 setup time 和 hold time 的定义和在时钟信号延迟时的变化。（未知）

7、解释 setup 和 hold time violation，画图说明，并说明解决办法。（威盛 VIA

2003.11.06 上海笔试试题）

Setup/hold time 是测试芯片对输入信号和时钟信号之间的时间要求。建立时间是指触发器的时钟信号上升沿到来以前，数据稳定不变的时间。输入信号应提前时钟上升沿(如上升沿有效)T 时间到达芯片,这个 T 就是建立时间-Setup time.如不满足 setup time,这个数据就不能被这一时钟打入触发器，只有在下一个时钟上升沿，数据才能被打入触发器。保持时间是指触发器的时钟信号上升沿到来以后，数据稳定不变的时间。如果 hold time 不够，数据同样不能被打入触发器。

建立时间(Setup Time)和保持时间 ( Hold time )。建立时间是指在时钟边沿前，数据信号需要保持不变的时间。保持时间是指时钟跳变边沿后数据信号需

要保持不变的时间。如果不满足建立和保持时间的话，那么 DFF 将不能正确地采样到数据，将会出现 metastability 的情况。如果数据信号在时钟沿触发前后持续的时间均超过建立和保持时间，那么超过量就分别被称为建立时间裕量和保持时间裕量。

8、说说对数字逻辑中的竞争和冒险的理解，并举例说明竞争和冒险怎样消除。（仕兰微电子）

9、什么是竞争与冒险现象？怎样判断？如何消除？（汉王笔试）

在组合逻辑中，由于门的输入信号通路中经过了不同的延时，导致到达该门的时间不一致叫竞争。产生毛刺叫冒险。如果布尔式中有相反的信号则可能产生竞争和冒险现象。解决方法：一是添加布尔式的消去项，二是在芯片外部加电容。

10、你知道那些常用逻辑电平？TTL 与 COMS 电平可以直接互连吗？（汉王笔试）

常用逻辑电平：12V，5V，3.3V；TTL 和 CMOS 不可以直接互连，由于 TTL 是在 0.3-3.6V 之间，而 CMOS 则是 0-12V 的有在 5V 的。CMOS 输出接到 TTL 是可以直接互连。TTL 接到 CMOS 需要在输出端口加一上拉电阻接到 5V 或者 12V。

11、如何解决亚稳态。（飞利浦 - 大唐笔试）

亚稳态是指触发器无法在某个规定时间段内达到一个可确认的状态。当一个触发器进入亚



稳态时，既无法预测该单元的输出电平，也无法预测何时输出才能稳定在某一个正确的电平

上。在这个稳定期间，触发器输出一些中间级电平，或者可能处于振荡状态，并且这种无

用的输出电平可以沿信号通道上的各个触发器级联式传播下去。

12、IC 设计中同步复位与 异步复位的区别。（南山之桥）

13、MOORE 与 MEELEY 状态机的特征。（南山之桥）

14、多时域设计中,如何处理信号跨时域。（南山之桥）

15、给了 reg 的 setup,hold 时间，求中间组合逻辑的 delay 范围。（飞利浦 - 大唐笔试）

$$\text{Delay} < \text{period} - \text{setup} - \text{hold}$$

16、时钟周期为 T,触发器 D1 的建立时间最大为 T1max，最小为 T1min。

组合逻辑电路最大延

迟为 T2max,最小为 T2min。问，触发器 D2 的建立时间 T3 和保持时间应满足什么条件。（华

为）

17、给出某个一般时序电路的图，有  $T_{setup}$ ,  $T_{delay}$ ,  $T_{ck \rightarrow q}$ , 还有 clock 的 delay, 写出决

定最大时钟的因素，同时给出表达式。（威盛 VIA 2003.11.06 上海笔试题）

18、说说静态、动态时序模拟的优缺点。（威盛 VIA 2003.11.06 上海笔试题）

19、一个四级的 Mux, 其中第二级信号为关键信号 如何改善 timing。（威盛 VIA

2003.11.06 上海笔试题）

20、给出一个门级的图，又给了各个门的传输延时，问关键路径是什么，还问给出输入，

使得输出依赖于关键路径。（未知）

21、逻辑方面数字电路的卡诺图化简，时序（同步异步差异），触发器有几种（区别，优

点），全加器等等。（未知）

22、卡诺图写出逻辑表达式。（威盛 VIA 2003.11.06 上海笔试题）

23、化简  $F(A,B,C,D) = m(1,3,4,5,10,11,12,13,14,15)$  的和。（威盛）

24、 please show the CMOS inverter schmatic,layout and its cross sectionwith P-well process.Plot its transfer curve (Vout-Vin) And also explain the operation region of PMOS and NMOS for each segment of the transfer curve? ( 威盛笔试题 circuit design-beijing-03.11.09 )

25、 To design a CMOS invertor with balance rise and fall time,please define

the ration of channel width of PMOS and NMOS and explain?

26、 为什么一个标准的倒相器中 P 管的宽长比要比 N 管的宽长比大? ( 仕兰微电子 )

27、 用 mos 管搭出一个二输入与非门。( 扬智电子笔试 )

28、 please draw the transistor level schematic of a cmos 2 input AND gate and

explain which input has faster response for output rising edge.(less delay time)。 ( 威盛笔试题 circuit design-beijing-03.11.09 )

29、画出 NOT,NAND,NOR 的符号，真值表，还有 transistor level 的电路。

( Infineon 笔

试 )

30、画出 CMOS 的图，画出 tow-to-one mux gate。( 威盛 VIA 2003.11.06  
上海笔试试题 )

31、用一个二选一 mux 和一个 inv 实现异或。( 飞利浦 - 大唐笔试 )

32、画出  $Y=A*B+C$  的 cmos 电路图。( 科广试题 )

33、用逻辑门和 cmos 电路实现  $ab+cd$ 。( 飞利浦 - 大唐笔试 )

34、画出 CMOS 电路的晶体管级电路图，实现  $Y=A*B+C(D+E)$ 。( 仕兰微  
电子 )

35、利用 4 选 1 实现  $F(x,y,z)=xz+yz'$ 。( 未知 )

36、给一个表达式  $f=xxxx+xxxx+xxxxx+xxxx$  用最少数量的与非门实现 ( 实  
际上就是化

简 )。

37、给出一个简单的由多个 NOT,NAND,NOR 组成的原理图，根据输入波  
形画出各点波形。

( Infineon 笔试 )

38、为了实现逻辑  $(A \text{ XOR } B) \text{ OR } (C \text{ AND } D)$ ，请选用以下逻辑中的一种，并说明为什么？

1) INV 2) AND 3) OR 4) NAND 5) NOR 6) XOR 答案：NAND (未知)

39、用与非门等设计全加法器。(华为)

40、给出两个门电路让你分析异同。(华为)

41、用简单电路实现，当 A 为输入时，输出 B 波形为... (仕兰微电子)

42、A,B,C,D,E 进行投票，多数服从少数，输出是 F (也就是如果 A,B,C,D,E 中 1 的个数比 0

多，那么 F 输出为 1，否则 F 为 0)，用与非门实现，输入数目没有限制。(未知)

43、用波形表示 D 触发器的功能。(扬智电子笔试)

44、用传输门和倒向器搭一个边沿触发器。(扬智电子笔试)

45、用逻辑门画出 D 触发器。(威盛 VIA 2003.11.06 上海笔试试题)

46、画出 DFF 的结构图,用 verilog 实现之。(威盛)

47、画出一种 CMOS 的 D 锁存器的电路图和版图。(未知)

48、D 触发器和 D 锁存器的区别。(新太硬件面试)

49、简述 latch 和 flip-flop 的异同。(未知)

50、LATCH 和 DFF 的概念和区别。(未知)

51、latch 与 register 的区别,为什么现在多用 register.行为级描述中 latch 如何产生的。

(南山之桥)

52、用 D 触发器做个二分频的电路.又问什么是状态图。(华为)

53、请画出用 D 触发器实现 2 倍分频的逻辑电路?(汉王笔试)

54、怎样用 D 触发器、与或非门组成二分频电路?(东信笔试)

55、How many flip-flop circuits are needed to divide by 16? (Intel) 16 分频?

56、用 flip-flop 和 logic-gate 设计一个 1 位加法器,输入 carryin 和 current-stage, 输出

carryout 和 next-stage. (未知)

57、用 D 触发器做个 4 进制的计数。(华为)

58、实现 N 位 Johnson Counter, N=5。(南山之桥)

59、用你熟悉的设计方式设计一个可预置初值的 7 进制循环计数器, 15 进制的呢?(仕兰)

微电子 )

60、数字电路设计当然必问 Verilog/VHDL , 如设计计数器。( 未知 )

61、BLOCKING NONBLOCKING 赋值的区别。( 南山之桥 )

62、写异步 D 触发器的 verilog module。( 扬智电子笔试 )

```
module dff8(clk , reset, d, q);
```

```
input clk;
```

```
input reset;
```

```
input [7:0] d;
```

```
output [7:0] q;
```

```
reg [7:0] q;
```

```
always @ (posedge clk or posedge reset)
```

```
if(reset)
```

```
q <= 0;
```

```
else
```

```
q <= d;
```

```
endmodule
```

63、用 D 触发器实现 2 倍分频的 Verilog 描述？（汉王笔试）

```
module divide2( clk , clk_o, reset);
```

```
input clk , reset;
```

```
output clk_o;
```

```
wire in;
```

```
reg out ;
```

```
always @ ( posedge clk or posedge reset)
```

```
if ( reset)
```

```
out <= 0;
```

```
else
```

```
out <= in;
```

```
assign in = ~out;
```

```
assign clk_o = out;
```

```
endmodule
```



64、可编程逻辑器件在现代电子设计中越来越重要，请问：a) 你所知道的可编程逻辑器

件有哪些？ b) 试用 VHDL 或 VERILOG、ABLE 描述 8 位 D 触发器逻辑。

( 汉王笔试 )

PAL , PLD , CPLD , FPGA。

```
module dff8(clk , reset, d, q);
```

```
input clk;
```

```
input reset;
```

```
input d;
```

```
output q;
```

```
reg q;
```

```
always @ (posedge clk or posedge reset)
```

```
if(reset)
```

```
q <= 0;
```

```
else
```

```
q <= d;
```

endmodule

65、请用 HDL 描述四位的全加法器、5 分频电路。(仕兰微电子)

66、用 VERILOG 或 VHDL 写一段代码，实现 10 进制计数器。(未知)

67、用 VERILOG 或 VHDL 写一段代码，实现消除一个 glitch。(未知)

68、一个状态机的题目用 verilog 实现(不过这个状态机画的实在比较差，很容易误解

的)。(威盛 VIA 2003.11.06 上海笔试试题)

69、描述一个交通信号灯的设计。(仕兰微电子)

70、画状态机，接受 1，2，5 分钱的卖报机，每份报纸 5 分钱。(扬智电子笔试)

71、设计一个自动售货机系统，卖 soda 水的，只能投进三种硬币，要正确的找回钱

数。(1)画出 fsm(有限状态机);(2)用 verilog 编程，语法要符合 fpga 设计

的要求。(未知)

72、设计一个自动饮料售卖机，饮料 10 分钱，硬币有 5 分和 10 分两种，并考虑找零：(1)

画出 fsm (有限状态机) ; (2) 用 verilog 编程 , 语法要符合 fpga 设计的要求 ; (3) 设计

工程中可使用的工具及设计大致过程。(未知)

73、画出可以检测 10010 串的状态图,并 verilog 实现之。(威盛)

74、用 FSM 实现 101101 的序列检测模块。(南山之桥)

a 为输入端 ,b 为输出端 ,如果 a 连续输入为 1101 则 b 输出为 1 ,否则为 0。

例如 a : 0001100110110100100110

b : 0000000000100100000000

请画出 state machine ; 请用 RTL 描述其 state machine。(未知)

75、用 verilog/vhdl 检测 stream 中的特定字符串 (分状态用状态机写)。

(飞利浦 - 大唐

笔试)

76、用 verilog/vhdl 写一个 fifo 控制器(包括空 , 满 , 半满信号)。(飞利浦 - 大唐笔试)

77、现有一用户需要一种集成电路产品 , 要求该产品能够实现如下功能 :

$y = \ln x$  , 其中 , x

为 4 位二进制整数输入信号。y 为二进制小数输出，要求保留两位小数。电源电压为 3~5v 假

设公司接到该项目后，交由你来负责该产品的设计，试讨论该产品的设计全程。（仕兰微

电子）

78、sram，falsh memory，及 dram 的区别？（新太硬件面试）

79、给出单管 DRAM 的原理图(西电版《数字电子技术基础》作者杨颂华、冯毛官 205 页图 9

- 14b)，问你有什么办法提高 refresh time，总共有 5 个问题，记不起来了。（降低温

度，增大电容存储容量）（Infineon 笔试）

80、Please draw schematic of a common SRAM cell with 6 transistors,point out

which nodes can store data and which node is word line control?（威盛笔试题

circuit design-beijing-03.11.09）

81、名词:sram,ssram,sdram

名词 IRQ, BIOS, USB, VHDL, SDR

IRQ: Interrupt ReQuest

BIOS: Basic Input Output System

USB: Universal Serial Bus

VHDL: VHIC Hardware Description Language

SDR: Single Data Rate

压控振荡器的英文缩写(VCO)。

动态随机存储器的英文缩写(DRAM)。

名词解释 ,无聊的外文缩写罢了 ,比如 PCI、ECC、DDR、interrupt、pipeline、

IRQ, BIOS, USB, VHDL, VLSI VCO(压控振荡器) RAM (动态随机存储器) ,

FIR IIR DFT(离散

傅立叶变换)或者是中文的 , 比如 : a.量化误差 b.直方图 c.白平衡

---

IC 设计基础 ( 流程、工艺、版图、器件 )

1、我们公司的产品是集成电路，请描述一下你对集成电路的认识，列举一些与集成电路

相关的内容(如讲清楚模拟、数字、双极型、CMOS、MCU、RISC、CISC、DSP、ASIC、FPGA

等的概念)。(仕兰微面试题目)

2、FPGA 和 ASIC 的概念，他们的区别。(未知)

答案：FPGA 是可编程 ASIC。

ASIC:专用集成电路，它是面向专门用途的电路，专门为一个用户设计和制造的。根据一

个用户的特定要求，能以低研制成本，短、交货周期供货的全定制，半定制集成电路。与

门阵列等其它 ASIC(Application Specific IC)相比，它们又具有设计开发周期短、设计

制造成本低、开发工具先进、标准产品无需测试、质量稳定以及可实时在线检验等优点

3、什么叫做 OTP 片、掩膜片，两者的区别何在？(仕兰微面试题目)

4、你知道的集成电路设计的表达方式有哪几种？(仕兰微面试题目)

5、描述你对集成电路设计流程的认识。(仕兰微面试题目)

6、简述 FPGA 等可编程逻辑器件设计流程。(仕兰微面试题目)

7、IC 设计前端到后端的流程和 eda 工具。(未知)

8、从 RTL synthesis 到 tape out 之间的设计 flow,并列出其中各步使用的 tool.

(未知)

9、Asic 的 design flow。(威盛 VIA 2003.11.06 上海笔试试题)

10、写出 asic 前期设计的流程和相应的工具。(威盛)

11、集成电路前段设计流程,写出相关的工具。(扬智电子笔试)

先介绍下 IC 开发流程:

1.) 代码输入 ( design input)

用 vhdl 或者是 verilog 语言来完成器件的功能描述,生成 hdl 代码

语言输入工具: SUMMIT VISUALHDL

MENTOR RENIOR

图形输入: composer(cadence);

viewlogic (viewdraw)

2.) 电路仿真 ( circuit simulation)

将 vhd 代码进行先前逻辑仿真，验证功能描述是否正确

数字电路仿真工具：

Verilog：CADENCE Verilog-XL

SYNOPTIS VCS

MENTOR Modle-sim

VHDL：CADENCE NC-vhdl

SYNOPTIS VSS

MENTOR Modle-sim

模拟电路仿真工具：

\*\*\*ANTI HSpice pspice，spectre micro microwave: eesoft：hp

3.) 逻辑综合 ( synthesis tools)

逻辑综合工具可以将设计思想 vhd 代码转化成对应一定工艺手段的门级电路；将初级仿真中所没有考虑的门沿 ( gates delay ) 反标到生成的门级网表中，返回电路仿真阶段进行再仿真。最终仿真结果生成的网表称为物理网表。

12、请简述一下设计后端的整个流程？ ( 仕兰微面试题目 )



- 13、是否接触过自动布局布线？请说出一两种工具软件。自动布局布线需要哪些基本元素？（仕兰微面试题目）
- 14、描述你对集成电路工艺的认识。（仕兰微面试题目）
- 15、列举几种集成电路典型工艺。工艺上常提到 0.25,0.18 指的是什么？（仕兰微面试题目）
- 16、请描述一下国内的工艺现状。（仕兰微面试题目）
- 17、半导体工艺中，掺杂有哪几种方式？（仕兰微面试题目）
- 18、描述 CMOS 电路中门锁效应产生的过程及最后的结果？（仕兰微面试题目）
- 19、解释 latch-up 现象和 Antenna effect 和其预防措施。（未知）
- 20、什么叫 Latchup？（科广试题）
- 21、什么叫窄沟效应？（科广试题）
- 22、什么是 NMOS、PMOS、CMOS？什么是增强型、耗尽型？什么是 PNP、NPN？他们有什么差别？（仕兰微面试题目）
- 23、硅栅 COMS 工艺中 N 阱中做的是 P 管还是 N 管，N 阱的阱电位的连接有什么要求？（仕兰微

面试题目 )

24、画出 CMOS 晶体管的 CROSS-OVER 图 ( 应该是纵剖面图 ) , 给出所有可能的传输特性和转

移特性。 ( Infineon 笔试试题 )

25、以 interver 为例,写出 N 阱 CMOS 的 process 流程,并画出剖面图。( 科广试题 )

26、Please explain how we describe the resistance in semiconductor.  
Compare

the resistance of a metal,poly and diffusion in traditional CMOS process.  
( 威

盛笔试题 circuit design-beijing-03.11.09 )

27、说明 mos 一半工作在什么区。( 凹凸的题目和面试 )

28、画 p-bulk 的 nmos 截面图。( 凹凸的题目和面试 )

29、写 schematic note ( ? ) , 越多越好。( 凹凸的题目和面试 )

30、寄生效应在 ic 设计中怎样加以克服和利用。( 未知 )

31、太底层的 MOS 管物理特\*\*\*觉一般不大会作为笔试面试题 , 因为全是微电子物理 , 公

式推导太罗索，除非面试出题的是个老学究。IC 设计的话需要熟悉的软件：

Cadence,

Synopsys, Avant , UNIX 当然也要大概会操作。

32、unix 命令 cp -r, rm,uname。( 扬智电子笔试 )

---

单片机、MCU、计算机原理

1、简单描述一个单片机系统的主要组成模块，并说明各模块之间的数据流  
流向和控制流

流向。简述单片机应用系统的设计原则。( 仕兰微面试题目 )

2、画出 8031 与 2716( 2K\*8ROM )的连线图，要求采用三-八译码器，8031  
的 P2.5,P2.4 和

P2.3 参加译码，基本地址范围为 3000H-3FFFH。该 2716 有没有重叠地址？  
根据是什么？若

有，则写出每片 2716 的重叠地址范围。( 仕兰微面试题目 )

3、用 8051 设计一个带一个 8\*16 键盘加驱动八个数码管( 共阳 )的原理图。  
( 仕兰微面试

题目 )

4、PCI 总线的含义是什么？PCI 总线的主要特点是什么？（仕兰微面试题  
目）

5、中断的概念？简述中断的过程。（仕兰微面试题目）

6、如单片机中断几个/类型，编中断程序注意什么问题；（未知）

7、要用一个开环脉冲调速系统来控制直流电动机的转速，程序由 8051 完  
成。简单原理如

下：由 P3.4 输出脉冲的占空比来控制转速，占空比越大，转速越快；而占  
空比由 K7-K0 八

个开关来设置，直接与 P1 口相连（开关拨到下方时为"0"，拨到上方时为"1"，  
组成一个八

位二进制数 N），要求占空比为  $N/256$ 。（仕兰微面试题目）

□□ 下面程序用计数法来实现这一功能，请将空余部分添完整。

□□ MOV P1, #0FFH

□□ LOOP1 : MOV R4, #0FFH

□□ -----

□□ MOV R3, #00H

LOOP2 : MOV A , P1

-----

SUBB A , R3

JNZ SKP1

-----

SKP1 : MOV C , 70H

MOV P3.4 , C

ACALL DELAY : 此延时子程序略

-----

-----

AJMP LOOP1

8、单片机上电后没有运转，首先要检查什么？（东信笔试题）

9、What is PC Chipset?（扬智电子笔试）

芯片组（Chipset）是主板的核心组成部分，按照在主板上的排列位置的不同，通常分为

北桥芯片和南桥芯片。北桥芯片提供对 CPU 的类型和主频、内存的类型和最大容量、

ISA/PCI/AGP 插槽、ECC 纠错等支持。南桥芯片则提供对 KBC ( 键盘控制器 )、RTC ( 实时时

钟控制器 )、USB ( 通用串行总线 )、Ultra DMA/33(66)EIDE 数据传输方式和 ACPI ( 高级

能源管理 ) 等的支持。其中北桥芯片起着主导性的作用，也称为主桥 ( Host Bridge )。

除了最通用的南北桥结构外，目前芯片组正向更高级的加速集线架构发展，Intel 的

8xx 系列芯片组就是这类芯片组的代表，它将一些子系统如 IDE 接口、音效、MODEM 和 USB 直

接接入主芯片，能够提供比 PCI 总线宽一倍的带宽，达到了 266MB/s。

10、如果简历上还说做过 cpu 之类，就会问到诸如 cpu 如何工作，流水线之类的问题。

( 未知 )

11、计算机的基本组成部分及其各自的作用。( 东信笔试题 )

12、请画出微机接口电路中，典型的输入设备与微机接口逻辑示意图（数据接口、控制接

口、寄存器/缓冲器）。（汉王笔试）

13、cache 的主要部分什么的。（威盛 VIA 2003.11.06 上海笔试题）

14、同步异步传输的差异（未知）

15、串行通信与同步通信异同,特点,比较。（华为面试题）

16、RS232c 高电平脉冲对应的 TTL 逻辑是?(负逻辑?)（华为面试题）

---

---

## 信号与系统

1、的话音频率一般为 300~3400HZ，若对其采样且使信号不失真，其最小的采样频率应为

多大？若采用 8KHZ 的采样频率，并采用 8bit 的 PCM 编码，则存储一秒钟的信号数据量有多

大？（仕兰微面试题目）

2、什么耐奎斯特定律,怎么由模拟信号转为数字信号。（华为面试题）

3、如果模拟信号的带宽为 5kHz,要用 8K 的采样率,怎么办? (lucent) 两路?

4、信号与系统:在时域与频域关系。(华为面试题)

5、给出时域信号,求其直流分量。(未知)

6、给出一时域信号,要求(1)写出频率分量,(2)写出其傅立叶变换级数;(3)当波

形经过低通滤波器滤掉高次谐波而只保留一次谐波时,画出滤波后的输出波形。(未知)

7、sketch 连续正弦信号和连续矩形波(都有图)的傅立叶变换。(Infineon 笔试试题)

8、拉氏变换和傅立叶变换的表达式及联系。(新太硬件面试题)

---

DSP、嵌入式、软件等

1、请用方框图描述一个你熟悉的实用数字信号处理系统,并做简要的分析;如果没有,

也可以自己设计一个简单的数字信号处理系统,并描述其功能及用途。(仕兰微面试题)



目 )

2、数字滤波器的分类和结构特点。(仕兰微面试题目)

3、IIR, FIR 滤波器的异同。(新太硬件面试题)

4、拉氏变换与 Z 变换公式等类似东西, 随便翻翻书把如  $h(n) = -a \cdot h(n-1) + b \cdot \delta(n)$  a. 求 h

(n) 的 z 变换; b. 问该系统是否为稳定系统; c. 写出 FIR 数字滤波器的差分方程; (未知)

5、DSP 和通用处理器在结构上有什么不同, 请简要画出你熟悉的一种 DSP 结构图。(信威

dsp 软件面试题)

6、说说定点 DSP 和浮点 DSP 的定义(或者说出他们的区别)(信威 dsp 软件面试题)

7、说说你对循环寻址和位反序寻址的理解。(信威 dsp 软件面试题)

8、请写出【-8, 7】的二进制补码, 和二进制偏置码。用 Q15 表示出 0.5 和 -0.5。(信威

dsp 软件面试题)

9、DSP 的结构(哈佛结构); (未知)

10、嵌入式处理器类型(如 ARM) , 操作系统种类  
( Vxworks,ucos,winCE,linux ) , 操作系

统方面偏 CS 方向了 , 在 CS 篇里面讲了 ; ( 未知 )

11、有一个 LDO 芯片将用于对手机供电 , 需要你对他进行评估 , 你将如何  
设计你的测试项

目 ?

12、某程序在一个嵌入式系统 ( 200M CPU , 50M SDRAM ) 中已经最优化  
了 , 换到另一个系

统 ( 300M CPU , 50M SDRAM ) 中是否还需要优化 ? ( Intel )

13、请简要描述 HUFFMAN 编码的基本原理及其基本的实现方法。 ( 仕兰  
微面试题 )

14、说出 OSI 七层网络协议中的四层 ( 任意四层 ) 。 ( 仕兰微面试题 )

15、A ) ( 仕兰微面试题 )

#include

void testf(int\*p)

{

\*p+=1;

```
□□}
```

```
□□ main()
```

```
□□{
```

```
□□ int *n,m[2];
```

```
□□ n=m;
```

```
□□ m[0]=1;
```

```
□□ m[1]=8;
```

```
□□ testf(n);
```

```
□□ printf("Data value is %d ",*n);
```

```
□□}
```

```
□□-----
```

```
□□ B)
```

```
□□ #include
```

```
□□ void testf(int**p)
```

```
□□{
```

\*p+=1;

}

main()

{int \*n,m[2];

n=m;

m[0]=1;

m[1]=8;

testf(&n);

printf(Data value is %d",\*n);

}

下面的结果是程序 A 还是程序 B 的？

Data value is 8

那么另一段程序的结果是什么？

16、那种排序方法最快？（华为面试题）

17、写出两个排序算法,问哪个好？（威盛）

18、编一个简单的求  $n!$  的程序。( Infineon 笔试试题 )

19、用一种编程语言写  $n!$  的算法。( 威盛 VIA 2003.11.06 上海笔试试题 )

20、用 C 语言写一个递归算法求  $N!$  ; ( 华为面试题 )

21、给一个 C 的函数，关于字符串和数组，找出错误；( 华为面试题 )

22、防火墙是怎么实现的？( 华为面试题 )

23、你对哪方面编程熟悉？( 华为面试题 )

24、冒泡排序的原理。( 新太硬件面试题 )

25、操作系统的功能。( 新太硬件面试题 )

26、学过的计算机语言及开发的系统。( 新太硬件面试题 )

27、一个农夫发现围成正方形的围栏比长方形的节省 4 个木桩但是面积一样.羊的数目和正 方形围栏的桩子的个数一样但是小于 36，问有多少羊？( 威盛 )

28、C 语言实现统计某个 cell 在某.v 文件调用的次数(这个题目真 bt) ( 威盛 VIA

2003.11.06 上海笔试试题 )

29、用 C 语言写一段控制手机中马达振子的驱动程序。(威胜)

30、用 perl 或 TCL/Tk 实现一段字符串识别和比较的程序。(未知)

31、给出一个堆栈的结构，求中断后显示结果，主要是考堆栈压入返回地址存放在低端地址还是高端。(未知)

32、一些 DOS 命令，如显示文件，拷贝，删除。(未知)

33、设计一个类，使得该类任何形式的派生类无论怎么定义和实现，都无法产生任何对象实例。(IBM)

34、What is pre-emption? (Intel)

35、What is the state of a process if a resource is not available? (Intel)

36、三个 float a,b,c;问值  $(a+b)+c==(b+a)+c$  ,  $(a+b)+c==(a+c)+b$ 。(Intel)

37、把一个链表反向填空。(Lucent)

38、 $x^4+a*x^3+x^2+c*x+d$  最少需要做几次乘法? (Dephi)

---

---

### 主观题

1、你认为你从事研发工作有哪些特点? (仕兰微面试题)

2、说出你的最大弱点及改进方法。(威盛 VIA 2003.11.06 上海笔试题)

3、说出你的理想。说出你想达到的目标。题目是英文出的，要用英文回答。

( 威盛 VIA 2003.11.06 上海笔试试题 )

4、我们将研发人员分为若干研究方向，对协议和算法理解（主要应用在网络通信、图象 语音压缩方面）、电子系统方案的研究、用 MCU、DSP 编程实现电路功能、用 ASIC 设计技术 设计电路（包括 MCU、DSP 本身）、电路功能模块设计（包括模拟电路和数字电路）、集成 电路后端设计（主要是指综合及自动布局布线技术）、集成电路设计与工艺接口的研究。

你希望从事哪方面的研究？（可以选择多个方向。另外，已经从事过相关研发的人员可以详细描述你的研发经历）。（仕兰微面试题目）

5、请谈谈对一个系统设计的总体思路。针对这个思路，你觉得应该具备哪些方面的知识？（仕兰微面试题目）

6、设想你将设计完成一个电子电路方案。请简述用 EDA 软件( 如 PROTEL ) 进行设计（包括 原理图和 PCB 图）到调试出样机的整个过程。在各环节应注意哪些问题？电源的稳定，电 容的选取，以及布局的大小。（汉王笔试）

### 共同的注意点

1.一般情况下，面试官主要根据你的简历提问，所以一定要对自己负责，把简历上的东西搞明白；

2.个别招聘针对性特别强，就招目前他们确的方向的人，这种情况下，就要投其所好，尽 量介绍其所关心的东西。

3.其实技术面试并不难，但是由于很多东西都忘掉了，才觉得有些难。所以最好在面试前 把该看的书看看。

4.虽然说技术面试是实力的较量与体现，但是不可否认，由于不用面试官/公司所专领域 及爱好不同，也有面试也有很大的偶然性，需要冷静对待。不能因为被拒，就否认自己或 责骂公司。

5.面试时要 take it easy，对越是自己钟情的公司越要这样。

有源滤波器：集成运放和 R、C 组成，具有不用电感、体积小、重量轻等优点。

集成运放的开环电压增益和输入阻抗均很高，输出电阻小，构成有源滤波电路后还具有一定的电压放大和缓冲作用。但集成运放带宽有限，所以目前的有源滤波电路的工作频率难以做得很高。

数字电路

1、同步电路和异步电路的区别是什么？

同步电路：存储电路中所有触发器的时钟输入端都接同一个时钟脉冲源，因而所有触发器的状态的变化都与所加的时钟脉冲信号同步。

异步电路：电路没有统一的时钟，有些触发器的时钟输入端与时钟脉冲源相连，这有这些触发器的状态变化与时钟脉冲同步，而其他的触发器的状态变化不与时钟脉冲同步。

2、什么是"线与"逻辑，要实现它，在硬件特性上有什么具体要求？

将两个门电路的输出端并联以实现与逻辑的功能成为线与。



在硬件上，要用 OC 门来实现，同时在输出端口加一个上拉电阻。

由于不用 OC 门可能使灌电流过大，而烧坏逻辑门。

### 3、解释 setup 和 hold time violation，画图说明，并说明解决办法。( 威盛 VIA2003.11.06 上海笔试试题 )

Setup/hold time 是测试芯片对输入信号和时钟信号之间的时间要求。建立时间是指触发器的时钟信号上升沿到来以前，数据稳定不变的时间。输入信号应提前时钟上升沿(如上升沿有效) T 时间到达芯片，这个 T 就是建立时间-Setup time. 如不满足 setup time,这个数据就不能被这一时钟打入触发器，只有在下一个时钟上升沿，数据才能被打入触发器。

保持时间是指触发器的时钟信号上升沿到来以后，数据稳定不变的时间。如果 hold time 不够，数据同样不能被打入触发器。

建立时间(Setup Time)和保持时间 ( Hold time )。建立时间是指在时钟边沿前，数据信号需要保持不变的时间。保持时间是指时钟跳变边沿后数据信号需要保持不变的时间。如果数据信号在时钟沿触发前后持续的时间均超过建立和保持时间，那么超过量就分别被称为建立时间裕量和保持时间裕量。

### 4、什么是竞争与冒险现象？怎样判断？如何消除？( 汉王笔试 )

在组合逻辑中，由于门的输入信号通路中经过了不同的延时，导致到达该门的时间不一致叫竞争。

产生毛刺叫冒险。如果布尔式中有相反的信号则可能产生竞争和冒险现象。

解决方法：一是添加布尔式的消去项，二是在芯片外部加电容。

### 5、名词：SRAM、SSRAM、SDRAM

SRAM：静态 RAM

DRAM : 动态 RAM

SSRAM : Synchronous Static Random Access Memory 同步静态随机访问存储器。它的一种类型的 SRAM。SSRAM 的所有访问都在时钟的上升/下降沿启动。地址、数据输入和其它控制信号均于时钟信号相关。这一点与异步 SRAM 不同, 异步 SRAM 的访问独立于时钟, 数据输入和输出都由地址的变化控制。

SDRAM : Synchronous DRAM 同步动态随机存储器

6、FPGA 和 ASIC 的概念, 他们的区别。(未知)

答案: FPGA 是可编程 ASIC。

ASIC: 专用集成电路, 它是面向专门用途的电路, 专门为一个用户设计和制造的。根据一个用户的特定要求, 能以低研制成本, 短、交货周期供货的全定制, 半定制集成电路。与 门阵列等其它 ASIC(Application Specific IC) 相比, 它们又具有设计开发周期短、设计制造成本低、开发工具先进、标准产品无需测试、质量稳定以及可实时在线检验等优点。

7、什么叫做 OTP 片、掩膜片, 两者的区别何在?

OTP means one time program, 一次性编程

MTP means multi time program, 多次性编程

OTP ( One Time Program ) 是 MCU 的一种存储器类型

MCU 按其存储器类型可分为 MASK(掩模)ROM、OTP(一次性可编程)ROM、FLASHROM 等类型。

**MASKROM 的 MCU 价格便宜, 但程序在出厂时已经固化, 适合程序固定不变的应用场合;**

FALSHROM 的 MCU 程序可以反复擦写, 灵活性很强, 但价格较高, 适合

对价格不敏感的应用场合或做开发用途；

OTP ROM 的 MCU 价格介于前两者之间，同时又拥有一次性可编程能力，适合既要求一定灵活性，又要求低成本的应用场合，尤其是功能不断翻新、需要迅速量产的电子产品。

## 8、单片机上电后没有运转，首先要检查什么？

**首先应该确认电源电压是否正常。**用电压表测量接地引脚跟电源引脚之间的电压，看是否是电源电压，例如常用的 5V。

**接下来就是检查复位引脚电压是否正常。**分别测量按下复位按钮和放开复位按钮的电压值，看是否正确。

**然后再检查晶振是否起振了**，一般用示波器来看晶振引脚的波形，注意应该使用示波器探头的“X10”档。另一个办法是测量复位状态下的 IO 口电平，按住复位键不放，然后测量 IO 口（没接外部上拉的 P0 口除外）的电压，看是否是高电平，如果不是高电平，则多半是因为晶振没有起振。

另外还要注意的地方是，如果使用片内 ROM 的话（大部分情况下如此，现在已经很少有用外部扩 ROM 的了），一定要将 EA 引脚拉高，否则会出现程序乱跑的情况。有时用仿真器可以，而烧入片子不行，往往是因为 EA 引脚没拉高的缘故（当然，晶振没起振也是原因之一）。经过上面几点的检查，一般即可排除故障了。**如果系统不稳定的话，有时是因为电源滤波不好导致的。在单片机的电源引脚跟地引脚之间接上一个 0.1uF 的电容器会有所改善。如果电源没有滤波电容的话，则需要再接一个更大滤波电容，例如 220uF 的。遇到系统不稳定时，就可以并上电容试试（越靠近芯片越好）。**

8、说说对数字逻辑中的竞争和冒险的理解，并举例说明竞争和冒险怎样消除。

( 仕兰微电子 )

9、什么是竞争与冒险现象？怎样判断？如何消除？( 汉王笔试 )

在组合逻辑中，由于门的输入信号通路中经过了不同的延时，导致到达该门的时间不一致叫竞争。产生毛刺叫冒险。如果布尔式中有相反的信号则可能产生竞争和冒险现象。解决方法：一是添加布尔式的( 冗余 )消去项，但是不能避免功能冒险，二是在芯片外部加电容。三是增加选通电路

在组合逻辑中，由于多少输入信号变化先后不同、信号传输的路径不同，或是各种器件延迟时间不同( 这种现象称为竞争 )都有可能造成输出波形产生不应有的尖脉冲( 俗称毛刺 )，这种现象成为冒险。

10、你知道那些常用逻辑电平？TTL 与 COMS 电平可以直接互连吗？( 汉王笔试 )

常用逻辑电平 :TTL、CMOS、LVTTTL、LVCMOS、ECL( Emitter Coupled Logic )、PECL ( Pseudo/Positive Emitter Coupled Logic )、LVDS ( Low Voltage Differential Signaling )、GTL ( Gunning Transceiver Logic )、BTL ( Backplane Transceiver Logic )、ETL ( enhanced transceiver logic )、GTLP ( Gunning Transceiver Logic Plus ) ; RS232、RS422、RS485 ( 12V , 5V , 3.3V ) ; TTL 和 CMOS 不可以直接互连，由于 TTL 是在 0.3-3.6V 之间，而 CMOS 则是 12V 的有在 5V 的。CMOS 输出接到 TTL 是可以直接互连。TTL 接到 CMOS 需要在输出端口加一上拉电阻接到 5V 或者 12V。

cmos 的高低电平分别

为: $V_{ih} \geq 0.7V_{DD}$ ,  $V_{il} \leq 0.3V_{DD}$ ;  $V_{oh} \geq 0.9V_{DD}$ ,  $V_{ol} \leq 0.1V_{DD}$ .

ttl 的为: $V_{ih} \geq 2.0v$ ,  $V_{il} \leq 0.8v$ ;  $V_{oh} \geq 2.4v$ ,  $V_{ol} \leq 0.4v$ .

用 cmos 可直接驱动 ttl;加上拉电阻后,ttl 可驱动 cmos.

- 1、当 TTL 电路驱动 COMS 电路时，如果 TTL 电路输出的高电平低于 COMS 电路的最低高电平（一般为 3.5V），这时就需要在 TTL 的输出端接上拉电阻，以提高输出高电平的值。
- 2、OC 门电路必须加上拉电阻，以提高输出的搞电平值。
- 3、为加大输出引脚的驱动能力，有的单片机管脚上也常使用上拉电阻。
- 4、在 COMS 芯片上，为了防止静电造成损坏，不用的管脚不能悬空，一般接上拉电阻产生降低输入阻抗，提供泄荷通路。
- 5、芯片的管脚加上拉电阻来提高输出电平，从而提高芯片输入信号的噪声容限增强抗干扰能力。
- 6、提高总线的抗电磁干扰能力。管脚悬空就比较容易接受外界的电磁干扰。
- 7、长线传输中电阻不匹配容易引起反射波干扰，加上下拉电阻是电阻匹配，有效的抑制反射波干扰。

上拉电阻阻值的选择原则包括:

1、从节约功耗及芯片的灌电流能力考虑应当足够大；电阻大，电流小。

2、从确保足够的驱动电流考虑应当足够小；电阻小，电流大。

3、对于高速电路，过大的上拉电阻可能边沿变平缓。综合考虑

以上三点,通常在 1k 到 10k 之间选取。对下拉电阻也有类似道理

//OC 门电路必须加上拉电阻，以提高输出的高电平值。

OC 门电路要输出“1”时才需要加上拉电阻不加根本就没有高电平

在有时我们用 OC 门作驱动（例如控制一个 LED）灌电流工作时就可以不加上拉电阻

OC 门可以实现“线与”运算

OC 门就是 集电极 开路 输出

总之加上拉电阻能够提高驱动能力。

11、如何解决亚稳态。（飞利浦 - 大唐笔试）？

亚稳态是指触发器无法在某个规定时间段内达到一个可确认的状态。当一个触发器进入亚稳态时，既无法预测该单元的输出电平，也无法预测何时输出才能稳定在某个正确的电平上。在这个稳定期间，触发器输出一些中间级电平，或者可能处于振荡状态，并且这种无用的输出电平可以沿信号通道上的各个触发器级联式传播下去。

解决方法：

- 1 降低系统时钟频率
- 2 用反应更快的 FF
- 3 引入同步机制，防止亚稳态传播
- 4 改善时钟质量，用边沿变化快速的时钟信号

关键是器件使用比较好的工艺和时钟周期的裕量要大。亚稳态寄存单元 d 只是一个办法，有时候通过 not，buf 等都能达到信号过滤的效果

## 12、IC 设计中同步复位与异步复位的区别。（南山之桥）

同步复位在时钟沿采复位信号，完成复位动作。异步复位不管时钟，只要复位信号满足条件，就完成复位动作。异步复位对复位信号要求比较高，不能有毛刺，如果其与时钟关系不确定，也可能出现亚稳态。

## 13、MOORE 与 MEELEY 状态机的特征。（南山之桥）

Moore 状态机的输出仅与当前状态值有关，且只在时钟边沿到来时才会有状态变化。Mealy 状态机的输出不仅与当前状态值有关，而且与当前输入值有关，这

## 14、多时域设计中,如何处理信号跨时域。（南山之桥）

不同的时钟域之间信号通信时需要进行同步处理，这样可以防止新时钟域中第一级触发器的亚稳态信号对下级逻辑造成影响，其中对于单个控制信号可以用两级同步器，如电平、边沿检测和脉冲，对多位信号可以用 FIFO, 双口 RAM，握手信号等。

跨时域的信号要经过同步器同步，防止亚稳态传播。例如：时钟域 1 中的一个信号，要送到时钟域 2，那么在这个信号送到时钟域 2 之前，要先经过时钟域 2 的同步器同步后，才能进入时钟域 2。这个同步器就是两级 d 触发器，其时钟为时钟域 2 的时钟。这样做是怕时钟域 1 中的这个信号，可能不满足时钟域 2 中触发器的建立保持时间，而产生亚稳态，因为它们之间没有必然关系，是异步的。这样做只能防止亚稳态传播，但不能保证采进来的数据正确性。所以通常只同步很少位数的信号。比如控制信号，或地址。当同步的是地址时，一般该地址应采用格雷码，因为格雷码每次只变一位，相当于每次只有一个同步器在起作用，这样可以降低出错概率，象异步 FIFO 的设计中，比较读写地址的大小时，就是用这种方法。如果两个时钟域之间传送大量的数据，可以用异步 FIFO 来解决问题。

我们可以在跨越 Clock Domain 时加上一个低电平使能的 Lockup Latch 以确保 Timing 能正确无误。

全都是几本模电数电信号单片机题目

1. 用与非门等设计全加法器
2. 给出两个门电路让你分析异同



3.名词:sram,ssram,sdram

4.信号与系统:在时域与频域关系

5.信号与系统:和 4 题差不多

6.晶体振荡器,好像是给出振荡频率让你求周期(应该是单片机的,12 分之一周期.. ..)

7.串行通信与同步通信异同,特点,比较

8.RS232c 高电平脉冲对应的 TTL 逻辑是?(负逻辑?)

9.延时问题,判错

10.史密斯特电路,求回差电压

11.VCO 是什么,什么参数(压控振荡器?)

12. 用 D 触发器做个二分频的电路.又问什么是状态图

13. 什么耐奎斯特定律,怎么由模拟信号转为数字信号

14. 用 D 触发器做个 4 进制的计数

15.那种排序方法最快?

一、 研发 ( 软件 ) 用 C 语言写一个递归算法求 N !;

给一个 C 的函数 , 关于字符串和数组 , 找出错误 ;

防火墙是怎么实现的 ? 你对哪方面编程熟悉 ?

硬件 : 1、继电器控制电路。

2、SDRAM 是怎么工作的

3、写出逻辑表达式说明  $A_2A_1A_0$  大于  $B_2B_1B_0$ 。

4、常用触发器有几种

5、示波器有几种触发方式，举出三种

1 . 什么是中断？中断发生时 CPU 做什么工作？

2 . CPU 在上电后，进入操作系统的 `main()` 之前必须做什么工作？

3 . 简述 ISO OSI 的物理层 Layer1，链路层 Layer2，网络层 Layer3 的任务。

4 . 有线电话和无线电话有何区别？无线电话特别需要注意的是什么？

5 . 软件开发五个主要 step 是什么？

6 . 你在开发软件的时候，这 5 个 step 分别占用的时间百分比是多少？

7 . makefile 文件的作用是什么？

8 . UNIX 显示文件夹中，文件名的命令是什么？能使文件内容显示在屏幕的命令是什么？

9 . ( 选做 ) 手机用户在从一个基站漫游到另一个基站的过程中，都会发生什么？

1 . 什么是中断？中断发生时 CPU 做什么工作？

2 . CPU 在上电后，进入操作系统的 `main()` 之前必须做什么工作？

3 . 简述 ISO OSI 的物理层 Layer1，链路层 Layer2，网络层 Layer3 的任务。

4 . 有线电话和无线电话有何区别？无线电话特别需要注意的是什么？

5 . 软件开发五个主要 step 是什么？

6 . 你在开发软件的时候，这 5 个 step 分别占用的时间百分比是多少？

7 . makefile 文件的作用是什么？

8 . UNIX 显示文件夹中，文件名的命令是什么？能使文件内容显示在屏幕的命令是什么？

9 . ( 选做 ) 手机用户在从一个基站漫游到另一个基站的过程中，都会发生什么？

#### 美国国家仪器有限公司 ( NI ) 笔试题，模拟工程师

1 , 比较理想运放和非理想运放的参数放大倍数，输入阻抗，输出阻抗，噪声，  
带宽

2 , 比较非理想有反馈运放和非理想无反馈运放的参数放大倍数，输入阻抗，  
输出阻抗，带宽

3 , 如果要设计一个正弦波发生器的输出级电路，正弦波峰峰值 1 0 V，频率 10MHz，负载 100 欧姆。可能会碰到哪些困难？如何解决？

4 , 比较电子工程和其他如机械工程 , 生物工程的优势(essay)最好英文答

题 , 第四题必须英文答

美国国家仪器的 AE 电面 , 清华 , 2007.11.4

首先赞一下 NI 电面的 gg,真的很很很 nice~~

第一次打电话时正在去面迈瑞的路上。。推迟到 3 点。。NI gg 很好说话~

赞赞~

三点准时打开。。那时我正在电梯里。。边接电话边踏着 3 寸高跟噔噔跑

回寝室。。

然后就开始问问题~

先简要介绍下自己

现在的项目

以前的项目

以前项目所用的板子

模电数电基础如何 ,问了几个模电具体问题。。有的没答上来 ,都不记得了。。

然后是英语 , 简要介绍下大学时的生活 , 最喜欢的功课等等

转回中文 , 问看你的背景挺适合做研发的 , 为什么投 AE 呢 ? 答曰比较喜欢

与人打交道等等等

然后让我问问题，问了几个～然后就结束了。。刚开始面的时候跑得气喘吁

吁的。。面完时终于呼吸正常了。。。真是超级不好意思。。。

最后再赞一下 NI gg..真的超级 nice..交谈过程中我发现自己真的想去做这类工作。。以前一直投的非技术类。。可是老被 bs..现在考虑或许可以做一些跟专业相关的工作嗯嗯

#### □ [PCB 设计技巧问与答](#)

Q:

请问就你个人观点而言：针对模拟电路（微波、高频、低频）、数字电路（微波、高频、低频）、模拟和数字混合电路（微波、高频、低频），目前 PCB 设计哪一种 EDA 工具有较好的性能价格比（含仿真）？可否分别说明。

A:

限于本人应用的了解，无法深入地比较 EDA 工具的性能价格比，选择软件要按照所应用范畴来讲，我主张的原则是够用就好。

常规的电路设计，INNOVEDA 的 PADS 就非常不错，且有配合用的仿真软件，而这类设计往往占据了 70% 的应用场合。在做高速电路设计，模拟和数字混合电路，采用 Cadence 的解决方案应该属于性能价格比较好的软件，当然 Mentor 的性能还是非常不错的，特别是它的设计流程管理方面应该是最为优秀的。

以上观点纯属个人观点！

Q:

当一个系统中既存在有 RF 小信号，又有高速时钟信号时，通常我们采用数/模分开布局，通过物理隔离、滤波等方式减少电磁干扰，但是这样对于小型化、高集成以及减小结构加工成本来说当然不利，而且效果仍然不一定满意，因为不管是数字接地还是模拟接地点，最后都会接到机壳地上去，从而使得干扰通过接地耦合到前端，这是我们非常头痛的问题，想请教专家这方面的措施。

A:

既有 RF 小信号，又有高速时钟信号的情况较为复杂，干扰的原因需要做仔细的分析，并相应的尝试用不同的方法来解决。要按照具体的应用来看，可以尝试一下以下的方法。

0：存在 RF 小信号，高速时钟信号时，首先是要将电源的供应分开，不宜采用开关电源，可以选用线性电源。

1：选择 RF 小信号，高速时钟信号其中的一种信号，连接采用屏蔽电缆的方式，应该可以。

2：将数字的接地点与电源的地相连（要求电源的隔离度较好），模拟接地点接到机壳地上。

3：尝试采用滤波的方式去除干扰。

Q:

线路板设计如果考虑 EMC，必定提高不少成本。请问如何尽可能的答道 EMC 要求，又不致带太大的成本压力？谢谢。

A:

在实际应用中仅仅依靠印制板设计是无法从根本上解决问题的，但是我们可以通

过印制板来改善它：

合理的器件布局，主要是感性的器件的放置，尽可能的短的布线连接，同时合理的接地分配，在可能的情况下将板上所有器件的 Chassis ground 用专门的一层连接在一起，设计专门的并与设备的外壳紧密相连的结合点。在选择器件时，应就低不就高，用慢不用快的原则。

Q:

我希望 PCB 方面：

1. 做 PCB 的自动布线。
2. ( 1 ) + 热分析
3. ( 1 ) + 时序分析
4. ( 1 ) + 阻抗分析
5. ( 1 ) + ( 2 ) + ( 3 )
6. ( 1 ) + ( 3 ) + ( 4 )
7. ( 1 ) + ( 2 ) + ( 3 ) + ( 4 )

我应当如何选择，才能得到最好的性价比。我希望 PLD 方面：VHDL 编程--》仿真--》综合--》下载等步骤，我是分别用独立的工具好？还是用 PLD 芯片厂家提供的集成环境好？

A:

目前的 pcb 设计软件中，热分析都不是强项，所以并不建议选用，其它的功能

1.3.4 可以选择 PADS 或 Cadence 性能价格比都不错。

PLD 的设计的初学者可以采用 PLD 芯片厂家提供的集成环境，在做到百万门以上的设计时可以选用单点工具。

Q:

pcb 设计中需要注意哪些问题？

A:

PCB 设计时所要注意的问题随着应用产品的不同而不同。就象数字电路与仿真电路要注意的地方不尽相同那样。以下仅概略的几个要注意的原则。

1、PCB 层叠的决定；包括电源层、地层、走线层的安排，各走线层的走线方向等。这些都会影响信号品质，甚至电磁辐射问题。

2、电源和地相关的走线与过孔(via)要尽量宽，尽量大。

3、不同特性电路的区域配置。良好的区域配置对走线的难易，甚至信号质量都有相当大的关系。

4、要配合生产工厂的制造工艺来设定 DRC (Design Rule Check)及与测试相关的设计(如测试点)。

其它与电气相关所要注意的问题就与电路特性有绝对的关系，例如，即便都是数字电路，是否注意走线的特性阻抗就要视该电路的速度与走线长短而定。

Q:

在高速 PCB 设计时我们使用的软件都只不过是对设置好的 EMC、EMI 规则进行检查，而设计者应该从那些方面去考虑 EMC、EMI 的规则呢怎样设置规则呢我使用的是 CADENCE 公司的软件。



A:

一般 EMI/EMC 设计时需要同时考虑辐射(radiated)与传导(conducted)两个方面。前者归属于频率较高的部分(>30MHz)后者则是较低频的部分(<30MHz)。所以不能只注意高频而忽略低频的部分。

一个好的 EMI/EMC 设计必须一开始布局时就要考虑到器件的位置, PCB 迭层的安排, 重要联机的走法, 器件的选择等, 如果这些没有事前有较佳的安排, 事后解决则会事倍功半, 增加成本。例如时钟产生器的位置尽量不要靠近对外的连接器, 高速信号尽量走内层并注意特性阻抗匹配与参考层的连续以减少反射, 器件所推的信号之斜率(slew rate)尽量小以减低高频成分, 选择去耦合(decoupling/bypass)电容时注意其频率响应是否符合需求以降低电源层噪声。

另外, 注意高频信号电流之回流路径使其回路面积尽量小(也就是回路阻抗 loop impedance 尽量小)以减少辐射。还可以用分割地层的方式以控制高频噪声的范围。最后, 适当的选择 PCB 与外壳的接地点(chassis ground)。

Q:

线路板设计如果考虑 EMC , 必定提高不少成本。请问如何尽可能的答道 EMC 要求, 又不致带太大的成本压力? 谢谢。

A:

PCB 板上会因 EMC 而增加的成本通常是因增加地层数目以增强屏蔽效应及增加了 ferrite bead、choke 等抑制高频谐波器件的缘故。除此之外, 通常还是需要搭配其它机构上的屏蔽结构才能使整个系统通过 EMC 的要求。以下仅就 PCB 板的设计技巧提供几个降低电路产生的电磁辐射效应。

- 1、尽可能选用信号斜率(slew rate)较慢的器件，以降低信号所产生的高频成分。
- 2、注意高频器件摆放的位置，不要太靠近对外的连接器。
- 3、注意高速信号的阻抗匹配，走线层及其回流电流路径(return current path)，以减少高频的反射与辐射。
- 4、在各器件的电源管脚放置足够与适当的去耦合电容以缓和电源层和地层上的噪声。特别注意电容的频率响应与温度的特性是否符合设计所需。
- 5、对外的连接器附近的地可与地层做适当分割，并将连接器的地就近接到 chassis ground。
- 6、可适当运用 ground guard/shunt traces 在一些特别高速的信号旁。但要注意 guard/shunt traces 对走线特性阻抗的影响。
- 7、电源层比地层内缩  $20H$ ， $H$  为电源层与地层之间的距离。

Q:

在高速 PCB 设计时为了防止反射就要考虑阻抗匹配，但由于 PCB 的加工工艺限制了阻抗的连续性而仿真又仿不到，在原理图的设计时怎样来考虑这个问题？另外关于 IBIS 模型，不知在那里能提供比较准确的 IBIS 模型库。我们从网上下载的库大多数都不太准确，很影响仿真的参考性。

A:

在设计高速 PCB 电路时，阻抗匹配是设计的要素之一。而阻抗值跟走线方式有绝对的关系，例如是走在表面层(microstrip)或内层(stripline/double stripline)，与参考层(电源层或地层)的距离，走线宽度，PCB 材质等均会影响走线的特性阻抗值。也就是说要在布线后才能确定阻抗值。一般仿真软件会因线路模型或所使

用的数学算法的限制而无法考虑到一些阻抗不连续的布线情况,这时候在原理图上只能预留一些 terminators(端接),如串联电阻等,来缓和走线阻抗不连续的效应。真正根本解决问题的方法还是布线时尽量注意避免阻抗不连续的发生。

IBIS 模型的准确性直接影响到仿真的结果。基本上 IBIS 可看成是实际芯片 I/O buffer 等效电路的电气特性资料,一般可由 SPICE 模型转换而得(亦可采用测量,但限制较多),而 SPICE 的资料与芯片制造有绝对的关系,所以同样一个器件不同芯片厂商提供,其 SPICE 的资料是不同的,进而转换后的 IBIS 模型内之资料也会随之而异。也就是说,如果用了 A 厂商的器件,只有他们有能力提供他们器件准确模型资料,因为没有其它人会比他们更清楚他们的器件是由何种工艺做出来的。如果厂商所提供的 IBIS 不准确,只能不断要求该厂商改进才是根本解决之道。

Q:

通常 Protel 比较流行,市面上的书也多。请介绍一下 Protel,PowerPCB,orCAD 等软件的优劣和适用场合。谢谢。

A:

我没有太多使用这些软件的经验,以下仅提供几个比较的方向:

- 1、使用者的接口是否容易操作;
- 2、推挤线的能力(此项关系到绕线引擎的强弱);
- 3、铺铜箔编辑铜箔的难易;
- 4、走线规则设定是否符合设计要求;
- 5、机构图接口的种类;

6、零件库的创建、管理、调用等是否容易；

7、检验设计错误的的能力是否完善；

Q:

首先谢谢专家对本人上一个问题的解答。这次想请教关于仿真的问题。关于 RF 电路的 PCB 仿真，特别是涉及到 EMC 方面的仿真，我们正在寻求合适的工具。

目前在用的 Agilent 的 ADS 工具不少人觉得技术支持不够。

A:

提供两个厂商给你参考：

1、APSim ([www.apsimtech.com](http://www.apsimtech.com))

2、Ansoft ([www.ansoft.com](http://www.ansoft.com))

Q:

( 1 ) PROTEL98 中如何干预自动布线的走向？( 2 ) PROTEL98 中 PCB 板上已经有手工布线，如何设置，在自动布线时才能不改变 PCB 板上已经布好的线条？

A:

抱歉，我没有使用 Protel 的经验所以无法给你建议。

Q:

当一块 PCB 板中有多个数/模功能块时，常规做法是要将数/模地分开，并分别在一点相连。这样，一块 PCB 板上的地将被分割成多块，而且如何相互连接也

大成问题。但有人采用另外一种办法，即在确保数/模分开布局，且数/模信号走线相互不交叉的情况下，整个 PCB 板地不做分割，数/模地都连到这个地平面上，这样做有何道理，请专家指教。

A:

将数/模地分开的原因是因为数字电路在高低电位切换时会在电源和地产生噪声，噪声的大小跟信号的速度及电流大小有关。如果地平面上不分割且由数字区域电路所产生的噪声较大而模拟区域的电路又非常接近，则即使数模信号不交叉，模拟的信号依然会被地噪声干扰。也就是说数模地不分割的方式只能在模拟电路区域距产生大噪声的数字电路区域较远时使用。另外，数模信号走线不能交叉的要求是因为速度稍快的数字信号其返回电流路径(return current path)会尽量沿着走线的下方附近的地流回数字信号的源头，若数模信号走线交叉，则返回电流所产生的噪声便会出现在模拟电路区域内。

Q：pcb 设计中需要注意哪些问题？

A PCB 设计时所要注意的问题随着应用产品的不同而不同。就象数字电路与仿真电路要注意的地方不尽相同那样。以下仅概略的几个要注意的原则。

- 1、PCB 层叠的决定；包括电源层、地层、走线层的安排，各走线层的走线方向等。这些都会影响信号品质，甚至电磁辐射问题。
- 2、电源和地相关的走线与过孔(via)要尽量宽，尽量大。
- 3、不同特性电路的区域配置。良好的区域配置对走线的难易，甚至信号质量都有相当大的关系。

4、要配合生产工厂的制造工艺来设定 DRC (Design Rule Check)及与测试相关的设计(如测试点)。

其它与电气相关所要注意的问题就与电路特性有绝对的关系，例如，即便都是数字电路，是否注意走线的特性阻抗就要视该电路的速度与走线长短而定。

Q：线路板设计如果考虑 EMC，必定提高不少成本。请问如何尽可能的答道 EMC 要求，又不致带太大的成本压力？谢谢。

Q PCB 板上会因 EMC 而增加的成本通常是因增加地层数目以增强屏蔽效应及增加了 ferrite bead、choke 等抑制高频谐波器件的缘故。除此之外，通常还是需要搭配其它机构上的屏蔽结构才能使整个系统通过 EMC 的要求。以下仅就 PCB 板的设计技巧提供几个降低电路产生的电磁辐射效应。

- 1、尽可能选用信号斜率(slew rate)较慢的器件，以降低信号所产生的高频成分。
- 2、注意高频器件摆放的位置，不要太靠近对外的连接器。
- 3、注意高速信号的阻抗匹配，走线层及其回流电流路径(return current path)，以减少高频的反射与辐射。
- 4、在各器件的电源管脚放置足够与适当的去耦合电容以缓和电源层和地层上的噪声。特别注意电容的频率响应与温度的特性是否符合设计所需。
- 5、对外的连接器附近的地可与地层做适当分割，并将连接器的地就近接到 chassis ground。
- 6、可适当运用 ground guard/shunt traces 在一些特别高速的信号旁。但要注意 guard/shunt traces 对走线特性阻抗的影响。

7、电源层比地层内缩  $20H$ ， $H$  为电源层与地层之间的距离。

Q：关于 PCB 设计中的阻抗匹配问题

在高速 PCB 设计时为了防止反射就要考虑阻抗匹配，但由于 PCB 的加工工艺限制了阻抗的连续性而仿真又仿不到，在原理图的设计时怎样来考虑这个问题？另外关于 IBIS 模型，不知在那里能提供比较准确的 IBIS 模型库。我们从网上下载的库大多数都不太准确，很影响仿真的参考性。

A 在设计高速 PCB 电路时，阻抗匹配是设计的要素之一。而阻抗值跟走线方式有绝对的关系，例如是走在表面层(microstrip)或内层(stripline/double stripline)，与参考层(电源层或地层)的距离，走线宽度，PCB 材质等均会影响走线的特性阻抗值。也就是说要在布线后才能确定阻抗值。一般仿真软件会因线路模型或所使用的数学算法的限制而无法考虑到一些阻抗不连续的布线情况，这时候在原理图上只能预留一些 terminators(端接)，如串联电阻等，来缓和走线阻抗不连续的效应。真正根本解决问题的方法还是布线时尽量注意避免阻抗不连续的发生。

IBIS 模型的准确性直接影响到仿真的结果。基本上 IBIS 可看成是实际芯片 I/O buffer 等效电路的电气特性资料，一般可由 SPICE 模型转换而得 (亦可采用测量，但限制较多)，而 SPICE 的资料与芯片制造有绝对的关系，所以同样一个器件不同芯片厂商提供，其 SPICE 的资料是不同的，进而转换后的 IBIS 模型内之资料也会随之而异。也就是说，如果用了 A 厂商的器件，只有他们有能力提供

他们器件准确模型资料,因为没有其它人会比他们更清楚他们的器件是由何种工艺做出来的。如果厂商所提供的 IBIS 不准确,只能不断要求该厂商改进才是根本解决之道。

Q: 如何估算特性阻抗。

A (1) 能否提供一些经验数据、公式和方法来估算布线的阻抗。(2) 当无法满足阻抗匹配的要求时,是在信号线的末端加并联的匹配电阻好,还是在信号线上加串联的匹配电阻好。(3) 差分信号线中间可否加地线。

1. 以下提供两个常被参考的特性阻抗公式:

a. 微带线(microstrip)

$Z = \frac{87}{\sqrt{Er+1.41}} \ln \left[ \frac{5.98H}{0.8W+T} \right]$  其中, W 为线宽, T 为走线的铜皮厚度, H 为走线到参考平面的距离, Er 是 PCB 板材质的介电常数(dielectric constant)。此公式必须在  $0.1 < (W/H) < 2.0$  及  $1 < (Er) < 15$  的情况才能应用。

b. 带状线(stripline)

$Z = \frac{60}{\sqrt{Er}} \ln \left\{ \frac{4H}{0.67\pi(T+0.8W)} \right\}$  其中, H 为两参考平面的距离, 并且走线位于两参考平面的中间。此公式必须在  $W/H < 0.35$  及  $T/H < 0.25$  的情况才能应用。

最好还是用仿真软件来计算比较准确。

2. 选择端接(termination)的方法有几项因素要考虑:



- a.信号源(source driver)的架构和强度。
- b.功率消耗(power consumption)的大小。
- c.对时间延迟的影响，这是最重要考虑的一点。

所以，很难说哪一种端接方式是比较好的。

3.差分信号中间一般是不能加地线。因为差分信号的应用原理最重要的一点便是利用差分信号间相互耦合(coupling)所带来的好处，如 flux cancellation，抗噪声(noise immunity)能力等。若在中间加地线，便会破坏耦合效应。

Q： 如何选择 PCB 板材?如何避免高速数据传输对周围模拟小信号的高频干扰,有没有一些设计的基本思路?

选择 PCB 板材必须在满足设计需求和可量产性及成本中间取得平衡点。设计需求包含电气和机构这两部分。通常在设计非常高速的 PCB 板子(大于 GHz 的频率)时这材质问题会比较重要。例如，现在常用的 FR-4 材质，在几个 GHz 的频率时的介质损 dielectric loss 会对信号衰减有很大的影响，可能就不合用。就电气而言，要注意介电常数(dielectric constant)和介质损在所设计的频率是否合用。

避免高频干扰的基本思路是尽量降低高频信号电磁场的干扰，也就是所谓的串扰(Crosstalk)。可用拉大高速信号和模拟信号之间的距离，或加 ground guard/shunt traces 在模拟信号旁边。还要注意数字地对模拟地的噪声干扰。

Q：在电路板尺寸固定的情况下，如果设计中需要容纳更多的功能，就往往需要提高 PCB 的走线密度，但是这样有可能导致走线的相互干扰增强，同时走线过细也使阻抗无法降低，请专家介绍在高速 (>100MHz) 高密度 PCB 设计中的技巧？

A 在设计高速高密度 PCB 时，串扰(crosstalk interference)确实是要特别注意的，因为它对时序(timing)与信号完整性(signal integrity)有很大的影响。以下提供几个注意的地方：

- 1.控制走线特性阻抗的连续与匹配。
- 2.走线间距的大小。一般常看到的间距为两倍线宽。可以透过仿真来知道走线间距对时序及信号完整性的影响，找出可容忍的最小间距。不同芯片信号的结果可能不同。
- 3.选择适当的端接方式。
- 4.避免上下相邻两层的走线方向相同，甚至有走线正好上下重叠在一起，因为这种串扰比同层相邻走线的情形还大。
- 5.利用盲埋孔(blind/buried via)来增加走线面积。但是 PCB 板的制作成本会增加。在实际执行时确实很难达到完全平行与等长，不过还是要尽量做到。除此以外，可以预留差分端接和共模端接，以缓和对时序与信号完整性的影响。

Q：对于 lvds 低压差分信号，原则上是布线等长、平行，但实际上较难实现，

是否能提供一些经验？贵公司产品是否有试用版？

A 差分信号布线时要求等长且平行的原因有下列几点：

1.平行的目的是要确保差分阻抗的完整性。平行间距不同的地方就等于是差分阻抗不连续。

2. 等长的目的是想要确保时序(timing)的准确与对称性。因为差分信号的时序跟这两个信号交\*点(或相对电压差值)有关，如果不等长，则此交\*点不会出现在信号振幅(swing amplitude)的中间，也会造成相邻两个时间间隔(time interval)不对称，增加时序控制的难度。

3.不等长也会增加共模(common mode)信号的成分，影响信号完整性(signal integrity)。

Q： 请问，模拟电源处的滤波经常是用 LC 电路。但是，我发现有时 LC 比 RC 滤波效果差，请问这是为什么，滤波时选用电感，电容值的方法是什么？

A LC 与 RC 滤波效果的比较必须考虑所要滤掉的频带与电感值的选择是否恰当。因为电感的感抗(reactance)大小与电感值和频率有关。如果电源的噪声频率较低，而电感值又不够大，这时滤波效果可能不如 RC。但是，使用 RC 滤波要付出的代价是电阻本身会耗能，效率较差，且要注意所选电阻能承受的功率。电感值的选用除了考虑所想滤掉的噪声频率外，还要考虑瞬时电流的反应能力。如果

LC 的输出端会有机会需要瞬间输出大电流，则电感值太大会阻碍此大电流流经此电感的速度，增加纹波噪声(ripple noise)。电容值则和所能容忍的纹波噪声规范值的大小有关。纹波噪声值要求越小，电容值会较大。而电容的 ESR/ESL 也会有影响。另外，如果这 LC 是放在开关式电源(switching regulation power)的输出端时，还要注意此 LC 所产生的极点零点(pole/zero)对负反馈控制(negative feedback control)回路稳定度的影响。

Q:

请问专家 GSM 手机 PCB 设计有什么要求和技巧？

A:

手机 PCB 设计上的挑战在于两个地方：一是板面积小，二是有 RF 的电路。因为可用的板面积有限，而又有数个不同特性的电路区域，如 RF 电路、电源电路、话音模拟电路、一般的数字电路等，它们都各有不同的设计需求。

1、首先必须将 RF 与非 RF 的电路在板子上做适当的区隔。因为 RF 的电源、地、及阻抗设计规范较严格。

2、因为板面积小，可能需要用盲埋孔(blind/buried via)以增加走线面积。

3、注意话音模拟电路的走线，不要被其它数字电路，RF 电路等产生串扰现象。

除了拉大走线间距外，也可使用 ground guard trace 抑制串扰。

4、适当做地层的分割，尤其模拟电路的地要特别注意，不要被其它电路的地噪声干扰。

5、注意各电路区域信号的回流电流路径(return current path)，避免增加串扰的可能性。

Q:

向您请教一下关于 DVB-S 的噪声门限测试问题，请您就目前国内关于噪声门限的测试做一综述，感谢您的指点。

A:

抱歉，我没有 DVB-S (Digital Video Broadcasting)相关的设计经验与资料可提供给你。

Q:

最近听说一家以色列的公司 Valor 在国内试推 PCB layout 的 solution,不知该公司产品如何？

A:

抱歉，我不适合在这场合评论其它竞争对手的产品。我认为任何 EDA 软件产品合不合用与要设计的产品的特性有关。例如，所设计的产品其走线密度是否很高，这可能对绕线引擎的推挤线功能有不同的需求。以下仅提供一些考虑的方向：

- 1.使用者的接口是否容易操作。
- 2.推挤线的能力(此项关系到绕线引擎的强弱)
- 3.铺铜箔编辑铜箔的难易
- 4.走线规则设定是否符合设计要求
- 5.机构图接口的种类。
- 6.零件库的创建、管理、调用等是否容易
- 7.检验设计错误的的能力是否完善

Q:

请问，模拟电源处的滤波经常是用 LC 电路。但是，我发现有时 LC 比 RC 滤波效果差，请问这是为什么，滤波时选用电感，电容值的方法是什么？

A:

LC 与 RC 滤波效果的比较必须考虑所要滤掉的频带与电感值的选择是否恰当。因为电感的感抗(reactance)大小与电感值和频率有关。如果电源的噪声频率较低，而电感值又不够大，这时滤波效果可能不如 RC。但是，使用 RC 滤波要付出的代价是电阻本身会耗能，效率较差，且要注意所选电阻能承受的功率。

电感值的选用除了考虑所想滤掉的噪声频率外，还要考虑瞬时电流的反应能力。如果 LC 的输出端会有机会需要瞬间输出大电流，则电感值太大会阻碍此大电流流经此电感的速度，增加纹波噪声(ripple noise)。

电容值则和所能容忍的纹波噪声规范值的大小有关。纹波噪声值要求越小，电容值会较大。而电容的 ESR/ESL 也会有影响。

另外，如果这 LC 是放在开关式电源(switching regulation power)的输出端时，还要注意此 LC 所产生的极点零点(pole/zero)对负反馈控制(negative feedback control)回路稳定度的影响。

Q:

对于 lvds 低压差分信号，原则上是布线等长、平行，但实际上较难实现，是否能提供一些经验？贵公司产品是否有试用版？

A:

差分信号布线时要求等长且平行的原因有下列几点：

- 1.平行的目的是要确保差分阻抗的完整性。平