

Y 1411273

学科门类：工学 分类号：TP368

单位代码：10293 密 级：



南京邮电大学

硕士学位论文

论文题目：高精度实时数据采集分析芯片的设计与实现

学 生 姓 名 徐 建 松

学 号 硕 050736

指 导 教 师 龚建荣 副教授

学 科 专 业 信号与信息处理

研 究 方 向 信息网络与多媒体技术

论文提交日期 二〇〇八年四月

摘要

电网谐波分析是电能质量分析和改善的一个重要环节。近年来，随着电气化的发展和一些工业技术的应用，电网的谐波畸变越来越严重，对电力系统的安全、经济运行造成极大的影响，而传统的电力数据采集分析系统由于技术落后，已不能满足当今应用场合的要求。目前微电子技术和嵌入式技术的迅速发展，为数据采集分析系统的研制奠定了坚实的技术基础。研制成本低廉、运算快速、易于功能扩展的新型数据采集分析系统已成为一个趋势。

本文提出了一种新型嵌入式数据采集分析系统的设计方案。该系统基于大规模单芯片 FPGA，集成度高，成本低廉；系统采用 SOPC 构架，为可重构嵌入式构架，易于功能扩展。其中数据采集和谐波分析单元由硬件逻辑完成，运算速度快，精度高，实时性好，且不占用处理器资源；系统核心处理器采用 Xilinx 公司的 32 位软核处理器 MicroBlaze，外设集成了存储器，RS232 串口，以太网，JTAG 调试口等，以此构成一中型的嵌入式系统。论文总结了几种常见的谐波分析算法，给出了整个系统的设计过程，详细介绍了谐波分析模块的 FPGA 设计和整个系统的 SOPC 结构。本系统实现了基于单芯片 FPGA 的数据采集分析和分析结果的实时同步传输，并在实验中获得了较好的效果。

关键词：FPGA，SOPC，FFT，谐波分析，MicroBlaze，嵌入式系统

Abstract

The analysis of the power harmonic analysis is important for improving of power quality. In recent years, with the development of electrification and the application of some industrial technology, the distortion of the grid harmonic is becoming more and more serious and it makes tremendous impact on the security of the power system. The traditional acquisition and analysis system for the power data has been unable to satisfy the requirements of today's applications due to the behindhand technology. At present the rapid development of the microelectronic technology and embedded technology laid a solid foundation for the manufacture of the data acquisition and analysis system. Developing a new type data acquisition and analysis system which has the characters such as low cost, fast operation and easy function expansion has become a trend.

This paper proposes a design of a new type of embedded data acquisition and analysis system. The system is based on a single-chip large-scale FPGA, high integration, low in cost. The system uses SOPC architecture which is a embedded reconfigurable architecture. The SOPC is easy to expand function. The data acquisition module and harmonic analysis module is implemented with the hardware logic, so they are high speed, high precision, real-time, and do not use the processor resources. The 32bits MicroBlaze of Xilinx is used as the processor of the embedded system. The medium-sized embedded system integrated peripherals such as the memory, RS232 serial ports, Ethernet and JTAG debug interface. The paper summarizes several common harmonic analysis algorithms, and gives the entire design of the system. Also the paper introduced the details of FPGA design of the harmonic analysis module and the structure of the whole SOPC system. The system which is based on the single-chip FPGA implements the acquisition, the analysis and the transmission of the real-time data. The result of the experiment is accurate.

Key words: FPGA, SOPC, FFT, Harmonic Analysis, MicroBlaze, Embedded Systems

南京邮电大学学位论文独创性声明

本人声明所呈交的学位论文是我个人在导师指导下进行的研究工作及取得的研究成果。尽我所知,除了文中特别加以标注和致谢的地方外,论文中不包含其他人已经发表或撰写过的研究成果,也不包含为获得南京邮电大学或其它教育机构的学位或证书而使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已在论文中作了明确的说明并表示了谢意。

研究生签名: 徐建松 日期: 2008.4.16

南京邮电大学学位论文使用授权声明

南京邮电大学、中国科学技术信息研究所、国家图书馆有权保留本人所送交学位论文的复印件和电子文档,可以采用影印、缩印或其他复制手段保存论文。本人电子文档的内容和纸质论文的内容相一致。除在保密期内的保密论文外,允许论文被查阅和借阅,可以公布(包括刊登)论文的全部或部分内容。论文的公布(包括刊登)授权南京邮电大学研究生部办理。

研究生签名: 徐建松 导师签名: 蔡厚 日期: 2008.4.16

第一章 绪论

近些年来，随着直流输电和柔性交流输电等新技术的采用，电气化交通的快速发展，化工、冶金、煤炭等工业部门大量应用电力电子设备等，使得电网的谐波含量大大增加，电网波形畸变越来越严重，对电力系统的安全、经济运行造成极大的影响。

由于谐波的不良作用恶化了电能质量指标，降低了电网的可靠性，增加了电网损失，缩短了电气设备的寿命。因此，国际上公认谐波污染是电网公害，必须采取措施加以限制。限制电网谐波的意义，应上升到治理环境污染的角度来认识。无谐波是电力系统“绿色”的主要标志之一，必须加大对电力系统谐波污染的治理力度。谐波分析是谐波问题研究的主要依据，实时分析电网中的谐波含量，确切掌握电网中谐波的实际状况，对于防止谐波危害，维护电网的安全运行是十分必要的。

1.1 谐波源

非线性负荷从电网吸收非正弦电流，引起电网电压畸变，使电压中带有整数倍基波频率的分量，称为谐波源。

当电力系统向非线性设备及负荷供电时，这些设备和负荷在传递(如变压器)、变换(如交直流换流器)、吸收(如电弧炉)系统发电机所供给的基波能量的同时，又把部分基波能量转换为谐波能量，向系统倒送大量的高次谐波，谐波源产生的谐波，与其非线性特性有关。当前，电力系统的谐波源，按其非线性特性主要分三大类^[1]：

a. 铁磁饱和型：各种铁心设备，如变压器、电抗器等，其铁磁饱和特性呈现非线性。

b. 电子开关型：主要为各种交直流换流装置(整流器、逆变器)以及双向晶闸管可控开关设备等，在化工、冶金、矿山、电气铁道等大量工矿企业以及家用电器中广泛使用；在系统内部，如直流输电中的整流阀和逆变阀等。其非线性呈现交流波形的开关切合和换向特性。

c. 电弧型：各种炼钢电弧炉在高温熔化期间以及交流电弧焊机在高温焊接期间，其电弧的点燃和剧烈变动形成的高度非线性，导致电流不规则地波动。其非线性呈现电弧电压与电弧电流之间不规则的随机变化的伏安特性。

对于电力系统三相供电来说，有三相平衡和三相不平衡的非线性特性。后者，如电气

铁道、电弧炉以及由低压供电的单相家用电器等，其中电气铁道是当前中压供电系统中典型的三相不平衡谐波源。

1.2 谐波对电力系统的危害和影响

理想的公用电网所提供的电压应该是单一而固定的频率以及规定的电压幅值。谐波电流和谐波电压的出现，对公用电网是一种污染，它恶化用电设备所处的环境，危害周围的通信系统和公用电网以外的设备。近年来，各种电力电子装置的迅速普及使得公用电网的谐波污染日趋严重，由谐波引起的各种故障和事故不断发生，谐波危害的严重性才引起人们的重视。

谐波对公用电网和其他系统的危害有以下几方面^[1]：

- a. 谐波使公用电网中的元件产生附加的谐波损耗，降低发电、输电及用电设备的效率，大量的三次谐波流过中性线时将使线路过热甚至发生火灾。
- b. 谐波影响各种电气设备的正常工作。谐波对电机的影响除引起附加损耗外，还会产生机械震动、噪声和过电压。谐波使变压器局部过热，使电容器、电缆等设备过热、绝缘老化、寿命缩短，以至损坏。
- c. 谐波会引起公用电网中局部的并联谐振和串联谐振，从而使谐波放大，引发严重事故。
- d. 谐波会导致继电保护和自动装置误动作，并使电气测量仪表计量不准确。
- e. 谐波对临近的通信系统产生干扰，轻则产生噪声，降低通信质量；重则导致信息丢失，使通信系统无法正常工作。

1.2.1 谐波对电网的影响

谐波电流通过电网会在线路上产生有功功率损耗，它是电网线路损耗的一部分。一般来说，谐波电流与基波电流相比，所占比例不大，但谐波频率高，导线的集肤效应使谐波电阻增加比基波电阻增加要大，因此谐波引起的附加线路损耗也增大。导线的直径愈大，因集肤效应而使谐波频率下的电阻增大愈明显，谐波产生的附加损耗也愈大。对于架空线路来说，电晕的产生和电压峰值有关，虽然电压基波未超过规定值，但由于谐波的存在，当谐波电压与基波电压波峰重合时，其电压峰值可能超过允许值而产生电晕，引起电晕损耗增加。超高压长距离输电线路，常采用单相自动重合闸来提高电力系统暂态稳定性。有

些 330kV 及更高电压输电线接有并联电抗器，中性点还加装有接地电抗器，并按照线路工频参数调谐，用以加速潜供电流的熄灭，以缩短单相重合闸的重合时间。较大的高次谐波电流(几十安或更大)能显著地延缓潜供电流的熄灭，导致单相重合闸失败，或不能采用较短的自动重合闸时间。流过电网中断路器的电流含有较大的谐波时，在电流过零点处的 dI/dt 可能要比正常时大得多，从而使断路器的开断能力降低。有的断路器的磁吹线圈在谐波电流严重的情况下不能正常工作，从而使断路器无法开断以致损坏。

1.2.2 谐波引起的谐振和谐波电流放大

为了补偿负载的无功功率，提高功率因数，常在负载处安装并联电容器。为了提高系统的电压水平，常在变电所安装并联电容器。此外，为了滤除谐波，也会装设由电容器和电抗器组成的滤波器。在工频频率下，这些电容器的容抗比系统的感抗大得多，不会产生谐振。但对谐波频率而言，系统感抗大大增加而容抗大大减小，就可能产生并联谐振或串联谐振。这种谐振会使谐波电流放大几倍甚至数十倍，对系统特别是对电容器和与之串联的电抗器形成很大的威胁，常常使电容器和电抗器烧毁。在由谐波引起的事故中，这类事故占有很高的比例。

1.2.3 谐波对旋转电机和变压器的危害

谐波对旋转电机和变压器的影响主要是引起附加损耗和过热，其次是产生机械振动、噪声和谐波过电压。这将缩短电机的寿命，严重时甚至会损坏电机。谐波源的谐波电流流入变压器时，增加了它的铜损耗的铁损耗。随着谐波频率的增高，集肤效应加剧，铁损耗也更大。因此，高次谐波分量比低次谐波分量更易引起变压器的发热。谐波电流还会引起变压器外壳、外层硅钢片和某些紧固件发热，并有可能引起变压器局部严重过热。

1.2.4 谐波对继电保护和自动装置的影响

电力系统中的谐波会改变保护继电器的性能，引起各类保护和自动装置的误动或拒动，如发电机的负序电流保护、主变压器的复合电压起动过电流保护、母线的差动保护、线路的距离保护和高频保护、自动准同期装置等。尤其对各种以负序滤波器为起动元件的保护的干扰最大，这类保护按负序基波量整定，整定值小，灵敏度高，在电气铁路、电弧炉等谐波源又是负序源的干扰下，很容易发生误动，严重威胁电网安全运行。

1.3 数据采集分析系统的发展以及各阶段实现方法的优缺点

1.3.1 以单片机为核心的传统系统

传统的电力谐波分析系统设计中，一般仅采用MCS 51或MCS 96系列单片机作为运算及其控制核心^[2]。

优点：系统由非智能转向智能，节省了硬件，成本低；

缺点：测量结果总不能令人十分满意，例如采样次数不高、仪器的响应时间过长、运算精度不高等。存在上述缺陷的原因：(1)系统受MCU的主频限制。MCU提供了对电压、电流采样控制时序，因此采样频率不可能达到很高，尤其在采取同步数据采集技术的时候，这种矛盾更加突出。(2)MCU性能差，而负担又过重。在谐波分析、有功功率的计算过程中，MCU不仅要进行FFT运算、积分等复杂的浮点运算，还要控制数据采集、实时监控、实现输出显示等。

1.3.2 以DSP为核心的系统

随着高性能数字信号处理器（DSP）的出现，以DSP为核心的采集与分析系统出现了。如使用TI DSP，AD DSP等主流DSP的系统^[3]。

优点：相比适合管理大量控制事件的单片机而言，DSP更适合处理大量的数据，更容易实现快速FFT、卷积、滤波一类的算法，这使得谐波分析算法的实现更加容易，可靠，实时性提高；

缺点：系统扩展性不强。随着时代的发展，数据采集与分析系统的功能要求越来越高，例如需要提供给用户各种通用的数据通信接口，实时操作系统平台。由于DSP处理器本身的特性，这些功能不容易配置。

1.3.3 以嵌入式微处理器+DSP/FPGA为核心的系统平台

随着计算机和微电子技术的发展，现阶段较为流行的是以嵌入式微处理器（如 ARM，MIPS，PowerPC 等）+DSP/FPGA 为核心的系统平台。其中嵌入式微处理器主要负责数据采集控制，人机接口，扩展各种数据通信接口，以及作为实时操作系统的硬件平台；DSP/FPGA 部分主要负责数据处理和谐波分析算法的实现^{[4][5]}。

优点：系统功能强劲，分工明确。DSP/FPGA 承担了数据处理的繁重工作，微处理器只需完成数据采集和各种控制工作，两部分独立并行工作，性能优越。

缺点：成本过高，运算时消耗系统资源大，设计人员的工作量大，系统集成度不高，难以扩展输入通道数，扩展不够灵活。

1.4 本文的主要工作及内容安排

本课题主要是在分析了目前常用的谐波分析算法后，用硬件的方法实现了一种分析算法，并在 Xilinx 公司的 FPGA 上搭建一个谐波分析和数据通信的片上嵌入式系统上，由此实现一个用于电力谐波分析的芯片。主要做了如下几个工作：

- 1) 了解传统电力谐波采集分析系统的结构，回顾了传统系统实现手段的发展，并总结了各阶段所使用平台的优缺点，在此基础上，提出了使用目前流行的 SOPC 平台来搭建谐波采集分析系统的想法^[6]。
- 2) 总结了当前常用的谐波分析算法，并在 Matlab 上做了一些分析，在考虑了系统实时性要求和实现难易度后，提出采用硬件逻辑实现加窗 FFT 算法来解决谐波分析的方案，以此达到高精度实时且不占用软件资源的目的。
- 3) 研究谐波分析算法的 FPGA 实现，在 Xilinx ISE 中进行其 HDL 代码设计，并在 ModelSim 中进行仿真后下载到实际芯片中进行验证和硬件实现。
- 4) 参考 Xilinx 公司相关的 DataSheet，具体研究 32 位软核处理器 MicoBlaze 的 CPU 构架和 PLB, LMB 等总线接口；研究并熟悉 Xilinx 公司的嵌入式开发套件 EDK，熟悉如何在 XPS (Xilinx 软硬件协同设计平台) 上构建可定制的嵌入式系统的硬件平台；
- 5) 研究实时数据采集与分析系统所需要的外围设备接口，确定嵌入式硬件系统的结构。
- 6) 在 XPS 中实现所定制的嵌入式硬件平台，布局布线后下载到 FPGA 中，并设计好软件部分，通过串口进行联机系统调试，并对谐波分析的数据结果进行分析。通过对实验结果的分析得出如下结论：本课题所设计的谐波采集分析系统工作正常，分析结果精度较高。
- 7) 为方便演示，在 PC 机上使用 VC 设计了一谐波分析结果显示的终端，该终端通过串口与谐波分析芯片通信。

本文分为五章，下面简要介绍一下本论文的安排：

第一章是对电力信号谐波分析的背景、意义及谐波污染的概述，并且分析了数据采集分析系统的发展以及各阶段实现方法的优缺点。

第二章对目前常用的谐波分析算法，如，模拟滤波器的谐波分析，傅氏变换算法、小

波及小波包算法以及其他一些算法的理论做了一下阐述，并对谐波分析所需提取的特征参数做了一个总结。

第三章介绍了谐波分析模块在FPGA中的硬件实现方案，该模块主要包括AD采样控制和谐波分析算法实现两大块。并且在本章中给出了模块中各级信号的ModelSim仿真图和FPGA资源使用情况，并作了一定分析。

第四章首先介绍了当前流行的SOC和SOPC技术以及嵌入式系统软硬件协同设计的概念和优势，接着详细介绍了本谐波采集分析片上系统的硬件框架结构及其设计方法，以及此系统的软件设计方案，给出了系统联调结果，并作了一些数据结果比较。

第五章总结与进一步展望。主要是对该课题进行了展望及进一步的研究方向。

第二章 谐波分析理论基础

谐波是畸变周期波形的分量，一般它们的频率是基波频率的整数倍。谐波分析是计算周期性波形的基波和高次谐波的幅值和相位等特征参数的过程。

在电力系统中，随着信号越来越复杂，我们对信号的检测要求也越来越高，众多谐波分析算法也随之出现。在阅读了大量的文献资料后，本章对目前常用的谐波分析算法以及所提取的特征参数做了一个总结。本章内容首先是算法的几个大类，诸如：模拟滤波器的谐波分析，傅氏变换算法、小波及小波包算法、其他的一些基于周期估计的方法和神经网络法；最后是一些可能提取的特征参数。

2.1 几种常见的谐波分析算法

2.2.1 模拟滤波器的谐波分析

最早的谐波分析是采用模拟滤波器实现的。即采用带阻滤波器将基波分量滤除，得到谐波分量；或采用带通滤波器得出基波分量，再与被检测量相减得到谐波分量。该检测方法的优点是电路结构简单，造价低，输出阻抗低，品质因素易于控制。但也有很多缺点，如精度不高、误差较大等。

2.2.2 傅立叶变换算法

首先总结一下几种傅立叶变换的概念^[7]。

1) 连续时间、连续频率——傅里叶变换

这就是连续时间非周期信号 $x(t)$ 的傅里叶变换关系，所得到的是连续的非周期的频谱密度函数 $X(j\Omega)$ 。

$$X(j\Omega) = \int_{-\infty}^{\infty} x(t)e^{-j\Omega t} dt \quad (2.1)$$

$$x(t) = \frac{1}{2\pi} \int_{-\infty}^{\infty} X(j\Omega)e^{j\Omega t} d\Omega \quad (2.2)$$

时域连续函数造成频域是非周期的谱，而时域的非周期性造成频域是连续的谱密度函

数。

2) 连续时间、离散频率——傅立叶级数

设 $x(t)$ 代表一个周期为 T_0 的周期性连续时间函数， $x(t)$ 可以展成傅立叶级数，其傅立叶级数的系数为 $X(jk\Omega_0)$ ， $X(jk\Omega_0)$ 是离散频率的非周期函数， $x(t)$ 和 $X(jk\Omega_0)$ 组成变换对，表示为

$$X(jk\Omega_0) = \frac{1}{T_0} \int_{-T_0/2}^{T_0/2} x(t) e^{-jk\Omega_0 t} dt \quad (2.3)$$

$$x(t) = \sum_{k=-\infty}^{\infty} X(jk\Omega_0) e^{jk\Omega_0 t} \quad (2.4)$$

其中 $\Omega_0 = 2\pi F = \frac{2\pi}{T_0}$ 为离散频谱相邻两谱线之间的角频率间隔， k 为谐波序号。

时域的连续函数造成频域是非周期的频谱函数，而频域的离散频谱就与时域的周期时间函数相对应。

3) 离散时间、连续频率——序列的傅立叶变换

$$X(e^{j\omega}) = \sum_{n=-\infty}^{\infty} x(n) e^{-j\omega n} \quad (2.5)$$

$$x(n) = \frac{1}{2\pi} \int_{-\pi}^{\pi} X(e^{j\omega}) e^{j\omega n} d\omega \quad (2.6)$$

这里的 ω 是数字频率，它和模拟角频率 Ω 的关系为 $\omega = \Omega T$ 。

如果把序列看成模拟信号的抽样，抽样时间间隔为 T ，抽样频率为 $f_s = 1/T$ ，

$\Omega_s = 2\pi/T$ ，则这一变换对也可写成（代入 $x(n) = x(nT)$ ， $\omega = \Omega T$ ）

$$X(e^{j\Omega T}) = \sum_{n=-\infty}^{\infty} x(nT) e^{-j\Omega T n} \quad (2.7)$$

$$x(nT) = \frac{1}{\Omega_s} \int_{-\frac{\Omega_s}{2}}^{\frac{\Omega_s}{2}} X(e^{j\Omega T}) e^{j\Omega T n} d\Omega \quad (2.8)$$

时域的离散化造成频域的周期延拓，而时域的非周期对应于频域连续。

4) 离散时间、离散频率——离散傅立叶变换

上面讨论的三种傅立叶变换对都不适合于在计算机上运算，因为它们至少在一个域（时域或频域）中函数是连续的。因而从数字计算的角度出发，我们感兴趣的是时域及频

域都是离散的情况，这就是我们这里要谈到的离散傅立叶变换。

离散傅立叶是针对有限长序列或周期序列才存在的；其次，它相当于把序列的连续傅立叶变换 (2-7) 式加以离散化 (抽样)，频域的离散化造成时间函数也呈周期，故级数应限制在一个周期之内。令 $\Omega = k\Omega_0 = k \cdot 2\pi F_0$ ，则 $d\Omega = \Omega_0$ ，因而从 (2-7) 式与 (2-8) 式可以得到离散傅立叶变换对为

$$X(e^{jkF_0}) = X(e^{jk\Omega_0 T}) = \sum_{n=0}^{N-1} x(nT)e^{-jnk\Omega_0 T} \quad (2.9)$$

$$x(nT) = \frac{\Omega_0}{\Omega_s} \sum_{k=0}^{N-1} X(e^{jk\Omega_0 T}) e^{jnk\Omega_0 T} = \frac{1}{N} \sum_{k=0}^{N-1} X(e^{jk\Omega_0 T}) e^{jnk\Omega_0 T} \quad (2.10)$$

其中 $\frac{f_s}{F_0} = \frac{\Omega_s}{\Omega_0} = N$ 表示有限长序列 (时域和频域) 的抽样点数，或周期序列一个周期的抽样点数。

时间函数是离散的，其抽样间隔为 T ，故频率函数的周期 (即抽样频率) 为 $f_s = \frac{\Omega_s}{2\pi} = \frac{1}{T}$ 。

又因为频率函数是离散的，其抽样间隔为 F_0 ，估时间函数的周期 $T_0 = \frac{1}{F_0} = \frac{2\pi}{\Omega_0}$ ，又有

$\Omega_0 T = \frac{2\pi\Omega_0}{\Omega_s} = \frac{2\pi}{N}$ ，将它代入 (2-9) 式及 (2-10) 式，得到另一种也是更常用的离散傅立叶变换对表达式：

$$\text{正变换: } X(k) = \sum_{n=0}^{N-1} x(n) e^{-j\frac{2\pi}{N}nk} \quad (2.11)$$

$$\text{反变换: } x(n) = \frac{1}{N} \sum_{k=0}^{N-1} X(k) e^{j\frac{2\pi}{N}nk} \quad (2.12)$$

其中 $X(k) = X(e^{j\frac{2\pi}{N}k})$ ， $x(n) = x(nT)$ 。

时域和频域都是离散的和周期的。总之，一个域的离散就必然造成另一个域的周期延拓。

以上所总结的都是对无限长的时域信号进行的傅立叶变换，而对于周期性的无限长时域离散信号，它可以用离散傅立叶级数来表示，设 $\tilde{x}(n)$ 是周期为 N 的一个周期序列，即 $\tilde{x}(n) = \tilde{x}(n+rN)$ ， r 为任意整数，其离散傅立叶级数变换也是一个周期序列。

令符号 $W_N = e^{-j\frac{2\pi}{N}}$ ，则离散傅立叶级数变换对可以表示为：

$$\text{正变换: } \tilde{X}(k) = DFS[\tilde{x}(n)] = \sum_{n=0}^{N-1} \tilde{x}(n) e^{-j\frac{2\pi}{N}nk} = \sum_{n=0}^{N-1} \tilde{x}(n) W_N^{nk} \quad (2.13)$$

$$\text{反变换: } \tilde{x}(n) = IDFS[\tilde{X}(k)] = \frac{1}{N} \sum_{k=0}^{N-1} \tilde{X}(k) e^{j\frac{2\pi}{N}nk} = \frac{1}{N} \sum_{k=0}^{N-1} \tilde{X}(k) W_N^{-nk} \quad (2.14)$$

从上面看出, 只要知道周期序列的一个周期的内容, 则它的其他内容也都知道了。所以, 实际上只有 N 个序列值 (而不是无穷个序列值) 有信息, (2-13) 式和 (2-14) 式都只取 N 点序列值正说明这一意义。因而周期序列和有限长序列有着本质的联系。周期序列 $\tilde{X}(k)$ 可以看作是对 $\tilde{x}(n)$ 的一个周期 $x(n)$ 作 z 变换, 然后将 z 变换在 z 平面单位圆上按等间隔角 $\frac{2\pi}{N}$ 抽样而得到的。

由于周期序列实际上只有有限个序列值有意义, 因而它的离散傅立叶级数表示式也适用于有限长序列。将有限长序列 $x(n)$ 看成周期为 N 的周期序列 $\tilde{x}(n)$ 的一个周期, 作周期延拓, 这就得到有限长序列的离散傅立叶变换对。

$$\text{正变换 } X(k) = DFT[x(n)] = \sum_{n=0}^{N-1} x(n) W_N^{nk}, \quad 0 \leq k \leq N-1 \quad (2.15)$$

$$\text{反变换 } x(n) = IDFT[X(k)] = \frac{1}{N} \sum_{k=0}^{N-1} X(k) W_N^{-nk}, \quad 0 \leq n \leq N-1 \quad (2.16)$$

在实际的谐波分析系统中, 由于实现的软硬件条件的限制, 不可能对无限长的信号进行傅里叶变换, 所以都是对无限长时域信号截短后以进行 DFT 运算, DFT 运算的实际实现手段便是 FFT。

由式(2.15)、(2.16)可以分析得出, 求解 N 点 $X(k)$ 需要 N^2 次复数乘法及 $N(N-1)$ 次复数加法, 当 N 很大时, 计算量相当可观, 难于“实时”实现。J. W. Cooley 与 J. W. Turkey 于 1965 年利用 W_N 因子的周期性与对称性提出了 FFT。FFT 发展至今可分为两类: 第一类针对 N 为 2 的整数次幂的算法, 如基 2、基 4 算法; 第二类是针对 N 不等于 2 的整数次幂的算法, 如素因子算法、Winograd 算法。下面以时间抽取 (DIT) 基 2 算法为例介绍 FFT。

对式(2.15)、(2.16), 令 $N = 2^M$, M 为正整数, 我们将输入序列 $\{x(n)\}_{n=0,1,\dots,N-1}$ 按奇偶分为偶序列与奇序列。即令 $n = 2r$ 及 $n = 2r + 1$, 而 $r = 0, 1, \dots, N/2 - 1$, 于是, $x(n)$ 的 N 点 DFT 可以表示为:

$$\begin{aligned}
 X(k) &= \sum_{r=0}^{N/2-1} x(2r)W_N^{2rk} + \sum_{r=0}^{N/2-1} x(2r+1)W_N^{(2r+1)k} \\
 &= \sum_{r=0}^{N/2-1} x(2r)W_{N/2}^{rk} + W_N^k \sum_{r=0}^{N/2-1} x(2r+1)W_{N/2}^{rk}
 \end{aligned} \tag{2.17}$$

令 $A(k) = \sum_{r=0}^{N/2-1} x(2r)W_{N/2}^{rk}$, $B(k) = \sum_{r=0}^{N/2-1} x(2r+1)W_{N/2}^{rk}$, 那么:

$$X(k) = A(k) + W_N^k B(k) \tag{2.18}$$

由于 $A(k)$ 、 $B(k)$ 的周期为 $N/2$, 因此计算上式的 k 取值范围为 $0 \sim N/2-1$ 。计算 k 取值范围为 $N/2 \sim N$ 时的 $X(k)$ 可以利用 W_N 因子的周期性与对称性: $W_N^{k+N/2} = W_N^k$, 得到:

$$X(k + N/2) = A(k) - W_N^k B(k) \tag{2.19}$$

以式(2.6)、(2.7)分别用来计算 $0 \leq k \leq N/2-1$ 和 $N/2 \leq k \leq N$ 的 $X(k)$, 以同样的方式进一步抽取, 就可以得到 $N/4$ 点的 DFT, 重复这个抽取过程, 可以使 N 点 DFT 以一组两点的 DFT 来实现。

上述过程中, N 点 DFT 先分为两个 $N/2$ 点的 DFT, 再是四个 $N/4$ 点 DFT, 直至 $N/2$ 个两点的 DFT。每分一次, 称为一“级”运算, 因为 $M = \log_2 N$, 所以 N 点 DFT 可分为 M 级运算, 每级中有 $N/2$ 点 FFT 蝶形运算。基 2 (DIT) 的蝶形运算图见下图:

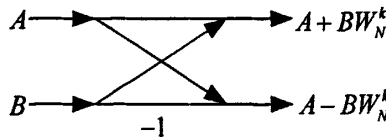


图2-1 基2 时间抽取蝶形单元

FFT 算法在电信号分析中应用十分普遍, 但其存在混叠现象^[7]; 泄漏效应^[7,8]; 栅栏效应^[7,15]等, 影响了测试精度, 严重时往往导致错误的测量结果。

● 混叠现象

根据 Nyquist 抽样定理, 一个带限信号 $f(t)$, 只要保证抽样频率大于或等于信号最高频率的两倍, 即可由 $f(t)$ 的抽样序列恢复出 $f(t)$ 。然而对于大多数信号而言, 其频谱往往是无限宽的, 即不存在最高频率, 此时通常的处理方法是对信号高于分析频率的分量进行过滤, 否则这部分信号分量会在采样后造成频谱的周期延拓现象, 对分析结果构成影响, 引起混叠失真。实际应用中, 对具有正弦波形的信号, 抽样频率一般应在信号最高频率的 3~4 倍以上。

电力信号有其自身特点，其频谱可以认为是无限宽的，但能量集中在低频分量。一般的，谐波分析测量很少检测到 20 次谐波以上。因此根据信号特点对信号进行前置滤波，并根据需要提高采样频率就能有效的抑制混叠失真。

● 栅栏效应

栅栏效应是离散傅立叶变换的固有现象。我们知道实际信号是无限长的，其频谱是连续的，要用计算机对其进行频谱分析，必须把它截断使其成为有限长度为 t_p 信号，这样的截断相当于对信号加矩形窗。经过加窗截取，信号的周期变为 t_p ，其频谱相应地由原来的连续谱变为离散谱。离散谱的谱线只在 $f=1/t_p$ 的整倍数的位置上才出现，于是谱线之间的实际信号的谱线有可能被挡住而损失掉，这称为栅栏效应。也就是说，谐波分析时我们只能观测到基频整数倍频率处的谐波频谱，而不是连续频谱，就像通过一个“栅栏”观察信号的频谱一样。

减小栅栏效应的一个常见方法是使频域抽样更密，即在不改变时域数据的情况下，增加频域抽样点数 N ，做法就是在时域数据末端添加一些零值点，使一个周期内的点数增加，但并不改变原有的记录数据。 N 增加，在频域必然使样点间距离更近，谱线更密，谱线变密后原来看不到的谱分量就有可能看到了。

● 频谱泄漏

由于对无限长时域信号截短，就相当于在时域乘一个矩形窗函数——数据突然截断，窗内数据并不改变，时域相乘则在频域中相当于参与相乘的两个波形各自的频谱的周期卷积过程，卷积的结果，造成得到的频谱与原来的不相同，有失真，这种失真最主要的是造成频谱的“扩散”（拖尾、变宽）这就是所谓的频谱泄露。原因在于如果窗谱是 $\delta(\omega)$ 函数，那么时域窗宽应为无穷宽的均匀函数，实际上，就等于没有乘窗函数。当窗谱有一定宽度，如图 2-1，而不是 $\delta(\omega)$ 的情况下，卷积结果造成信号频谱中各谱线之间的相互影响，使得测量结果偏离实际值，同时在真实谱线两侧其他谐波频率点上造成一定幅度的伪谱值出现。频谱泄露的主要起因是采样频率与信号频率不能同步。

解决方法主要分两种：一是采用硬件锁相环技术，需要采用数字同步锁相环之类的硬件电路，其原理图如图 2-2 所示：

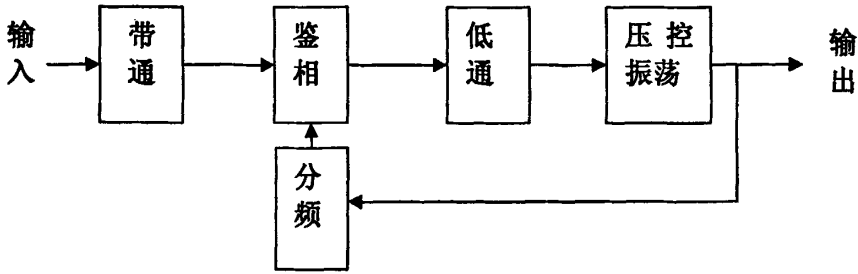


图2-2 数字锁相框图

它在工作时以当前时刻获得的同步信号频率作为下一时刻的参考频率，因此并不能做到完全同步，另外，其电路复杂，成本较高，在谐波与电磁干扰较为严重的场合，硬件的可靠性、波形整形电路、分频倍频等环节均不能令人满意。二是软件同步法，通过软件算法来较为精确的估计被采样信号的实际频率，进而以此来调整采样时间间隔，实现采样频率自适应调整，从而提高检测精度。对于实际的电力信号，其频率的变化一般是比较缓慢的，相邻的几个周波的频率变化很小，在对其进行谐波测量和频谱分析时，针对电力信号这个特点，宜采用软件采样频率自适应算法。

减少频谱泄漏的根本途径在于尽量减少非同步采样的误差，在此基础上选择适当类型的窗函数依靠加窗的方法来修正；栅栏效应可以通过插值算法较好地消除。

对于某一周期信号：

$$g(t) = A_0 + \sum_{m=1}^M A_m \cos(2\pi m \frac{t}{T_0} + \varphi_m)$$

，加窗后有：

$$G(f) = A_0 \delta(f) + \sum_{m=1}^M \frac{A_m}{2} [\delta(f - mf_0) e^{i\varphi_m} + \delta(f + mf_0) e^{-i\varphi_m}]$$

$$H(f, t_0) = W(f) * G(f) = \sum_{m=0}^M \frac{A_m}{2} [W(f - mf_0) e^{i\varphi_m} + W(f + mf_0) e^{-i\varphi_m}] \quad (2.20)$$

如果窗函数截短的时间 nT_s 不是信号周期 T_0 的整数倍，各谐波间将存在谱泄漏现象此外，由于 FFT 算法固有的栅栏效应，我们只能得到一组等间隔的频率格点上的幅值，而信号的各谐波频率一般不会刚好落在这组频率格点上。

假设FFT运算之后，信号某一频率 \bar{f} 位于两格点之间，即 $k f_s \leq \bar{f} < (k+1) f_s$ ，频率归一化后 $k \leq \bar{\lambda} < k+1$ ， $\bar{\lambda} = 1 + \delta$ ， $0 \leq \delta < 1$ 。于是可以根据一定的插值算法求出 δ ，进一步可以根据 δ 可以分别求出 A_m 、 φ_m 和 f_0 。

综上，加窗插值算法^[9]分为 2 步：首先要选择一种可以极大的滤除谱泄漏的窗函数；其次对加窗后的信号作插值，上面用的是最常见的线性插值算法。于是有大量的研究是基

于这两步进行的。

1. 窗函数的选择

谐波分析中的窗的类型的选择：迄今为止，已有许多从事信号处理工作的学者设计了多种不同特性的窗函数^{[10][11][12]}。

在信号测量中应用较多的主要有三种：

第一种窗具有旁瓣幅值衰减最快的特点，如Hanning窗、Blackman窗、Rife-Vincent(I)窗等；

第二种窗在旁瓣幅值一定时具有最小的主瓣宽度，如Hamming窗、Dolph-Chebyshev窗、4项Blackman-Harris窗等；

第三种则是上述两种的折中，如R-Vincent(II)窗等。

总的来说，这些常用的窗函数可以归纳为3类：

● 矩形窗

$$w(t) = \frac{1}{T_0} \text{rect}\left(\frac{t}{T_0}\right) = \begin{cases} 1/T_0, & |t/T_0| \leq 1/2 \\ 0, & |t/T_0| > 1/2 \end{cases} \quad (2.21)$$

$$W(f) = \frac{\sin(\pi f / f_0)}{\pi f / f_0} \quad (2.22)$$

● p项余弦窗

$$w(t) = \frac{1}{pT_0} \text{rect}\left(\frac{t}{pT_0}\right) \sum_{i=0}^{p-1} a_i \cos\left(\frac{2\pi i t}{pT_0}\right) \quad (2.23)$$

$$W(f) = \text{sinc}(pf / f_0) \left[a_0 + \sum_{i=1}^{p-1} \frac{(-1)^i a_i (pf / f_0)}{pT_0} \right] \quad (2.24)$$

● p项卷积窗，如矩形窗卷积：

$$w(t) = \frac{1}{T_0} \text{rect}\left(\frac{t}{T_0}\right) * \frac{1}{T_0} \text{rect}\left(\frac{t}{T_0}\right) * \dots * \frac{1}{T_0} \text{rect}\left(\frac{t}{T_0}\right) \quad W(f) = [\text{sinc}(pf / f_0)]^p \quad (2.25)$$

有学者指出 p 阶卷积窗的频率响应效果最好，其任一阶卷积窗在整数倍频附近的谱泄露效应均低于同宽度的现有各种窗函数。因此，当其用于具有较小同步误差的采样周期信号的谐波分析、参量估计时，不同步采样引起的测量误差将最小。

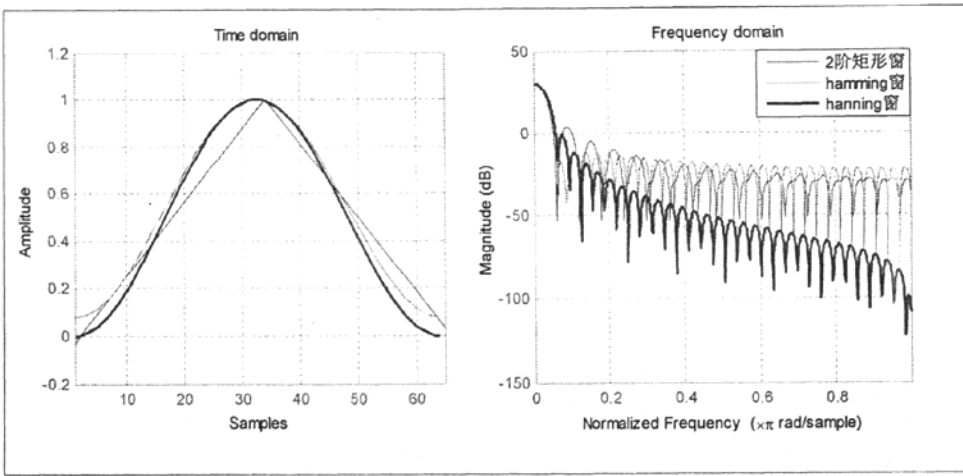


图 2-3 二阶卷积窗与 2 周期 hamming 窗、hanning 窗时域响应和频域响应

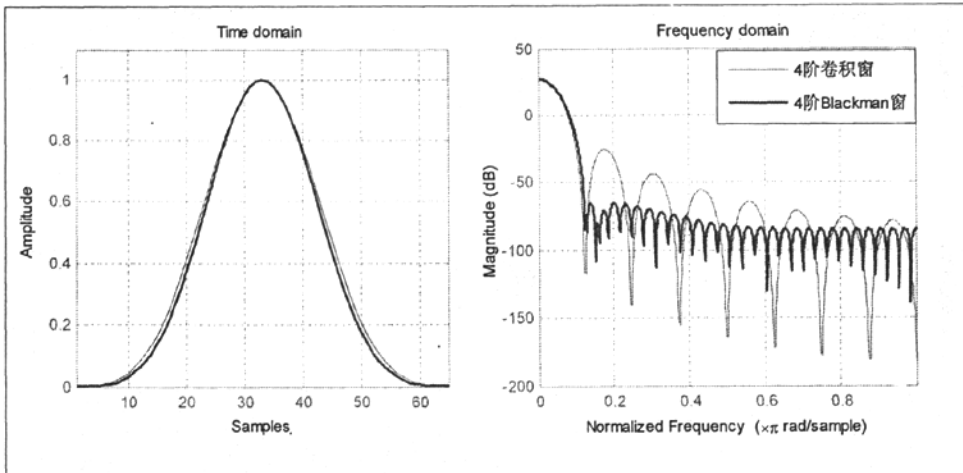


图 2-4 四阶卷积窗与 4 周期 Blackman 窗的时域和频域响应

2. 插值方法的选择

插值方法最早最常用的就是线性插值，例如双峰谱线插值^[15]。假设某一实际频率 $nf_s \leq \bar{f} < (n+1)f_s$ ，格点 nf_s 的幅值较大，格点 $(n+1)f_s$ 次之，有 $\bar{f} = nf_s + \delta f_s$ ，引入参数

$$\alpha = \frac{|H(nf_s, t_0)|}{|H[(n+1)f_s, t_0]|} = \frac{W(-\delta f_0)}{W(f_0 - \delta f_0)}$$

；如果 $(n+1)f_s$ 的幅值较大，格点 nf_s 次之，同理有

$$\alpha = \frac{|H(nf_s, t_0)|}{|H[(n-1)f_s, t_0]|} = \frac{W(-\delta f_0)}{W(-f_0 - \delta f_0)}$$

，由此可以得出 \bar{f} 。此外有些学者利用 Lagrange 插值法、

抛物线插值法等。

修正幅值时，为了克服单峰谱线修正算法易受到频谱泄露与噪声干扰的缺点，次强谱

线的信息也可以用于修正幅值，即采用两根谱线的加权平均来修正幅值。

2.2.2 小波及小波包算法

FFT 算法简单，便于计算机实现，因此受到很多人的青睐。但是其固有的栅栏效应、没有良好的时域特性（频谱泄漏）则可能降低测量的精度。小波及小波包算法则具有很好的时、频域特性，因此出现了一些基于小波及小波包的算法^{[20][21]}。离散小波变换：

$$DWT(m, n) = 2^{-m/2} \sum_k f(k) \psi(2^{-m} k - n)$$

可以看到此时的时频窗为

$[k2^j + 2^j t_0 - 2^j \Delta t, k2^j + 2^j t_0 + 2^j \Delta t], [2^{-j} \omega_0 - 2^{-j} \Delta \omega, 2^{-j} \omega_0 + 2^{-j} \Delta \omega]$, $j, k \in Z$, Δt 和 $\Delta \omega$ 则由 ψ 函数决定。小波及小波包分解树如图 2-5 和图 2-6:

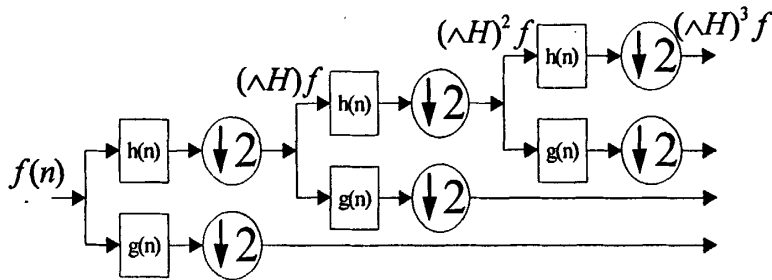


图 2-5 小波分解树

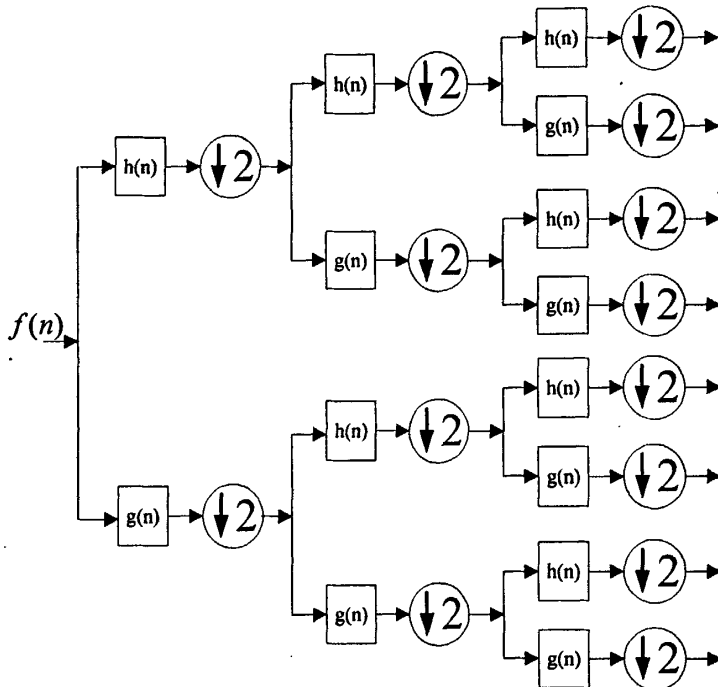


图 2-6 小波包分解树

2.2.3 基于神经网络理论的电力系统谐波分析

人工神经网络在电力系统中获得了蓬勃发展，并已在电力系统谐波分析中得到应用。神经网络理论应用于谐波测量的主要目的是解决谐波测量的精度和实时性问题。多层前馈（MLFNN）是目前比较成熟的神经网络理论之一，已应用到谐波测量领域。

在神经网络理论应用在谐波测量时，如果将谐波幅值和相角变化一起作为训练样本，整个训练样本将很庞大。因此需要先利用离散的谐波采样值测出初相角，然后再用 MLFNN 网络对谐波幅值进行测量，有利于扩大网络测量范围、提高谐波测量精度与实时性。

另外，除了以上介绍的传统的神经网络谐波分析方法以外，大多先采用加窗FFT插值算法获得电力系统的基波频率，然后用人工神经网络算法获得基波及各次谐波的幅值和相位，然而这些神经网络算法的谐波分析精度完全依赖于加窗FFT插值算法的基波频率分析精度。

为了能精确地分析整数次和非整数次谐波，又有学者提出了改进的三角基函数的人工神经网络算法^[22]，即变参数三角基函数的人工神经网络算法，把改进的模型和FFT结合起来，能实现精确的整数次和非整数次谐波的分析。该方法首先对采样信号用FFT算法进行预处理，得到了谐波个数和精度不高的谐波次数；其次根据谐波个数设定神经元的个数，根据预处理后得到的谐波次数设定神经网络参数(即谐波次数)迭代的初始值；最后对改进后的人工神经网络进行训练，便可实现非整数次谐波的精确分析。实例表明，基于参数固定的三角基函数的人工神经网络算法，计算精度高，计算量小，进一步提高了谐波分析精度，在实时性方面也得到了改善。

2.2 可能提取的特征参数

基本上文献都是根据信号的模型来确定特征参数提取的，而大多数文献的信号模型数

学表达式为 $g(t) = A_0 + \sum_{m=1}^M A_m \cos(2\pi m \frac{t}{T_0} + \varphi_m)$ 。可见需要提取的特征参数为各次谐波的幅值

A_m 、频率 $f_m = m/T_0$ 和相位 φ_m 。在谐波分析之后，还有一些谐波畸变的度量参数。

- 畸变波形的均方根值(rms)

$$I = \sqrt{I_1^2 + I_2^2 + I_3^2 + \dots + I_M^2} = \sqrt{\sum_{m=1}^M I_m^2} \quad (2.26)$$

- 谐波含有率

电压畸变波形的第 k 次谐波电压含有率等于其第 k 次谐波电压均方根值 U_k 与其基波电压均方根值 U_1 的百分比。即： $HRU_k = \frac{U_k}{U_1} \times 100\%$ 。电流畸变波形具有同上的形式，

工程实践中常以频谱（幅频特性）来表示谐波含有率。

- 总谐波畸变率：
$$THD = \frac{1}{A_1} \sqrt{\sum_{m=2}^M A_m^2} \times 100\% \quad (2.27)$$

- 各次谐波有功功率：
$$P_k = \frac{1}{2} U_{mk} I_{mk} \cos(\alpha_k - \beta_k) \quad (2.28)$$

- 各次谐波无功功率：
$$Q_k = \frac{1}{2} U_{mk} I_{mk} \sin(\alpha_k - \beta_k) \quad (2.29)$$

- 单相有功功率：
$$P_{a,b,c} = \sum_{k=1}^{N/2} P_k \quad (2.30)$$

- 单相无功功率：
$$Q_{a,b,c} = \sum_{k=1}^{N/2} Q_k \quad (2.31)$$

- 三相有功功率：
$$P = P_a + P_b + P_c \quad (2.32)$$

- 三相无功功率：
$$Q = Q_a + Q_b + Q_c \quad (2.33)$$

- 三相平均功率因数：
$$\cos \varphi = \frac{P}{\sqrt{P^2 + Q^2}} \quad (2.34)$$

第三章 谐波采集分析模块的FPGA设计与仿真

相比于传统的谐波采集分析模块的实现，本系统中以FPGA硬件电路实现谐波分析算法模块，从而使得谐波分析算法更加可靠，不占用CPU的软件资源，CPU可以专注于系统调度和通信控制。

谐波采集分析模块主要包括两个部分：AD采样控制模块和谐波分析算法核模块。

3.1 AD采样控制模块设计

该模块主要负责伺服ADC芯片ADS8323，控制ADC按照要求采取电力线上的模拟信号，量化以后送给谐波分析模块做处理。

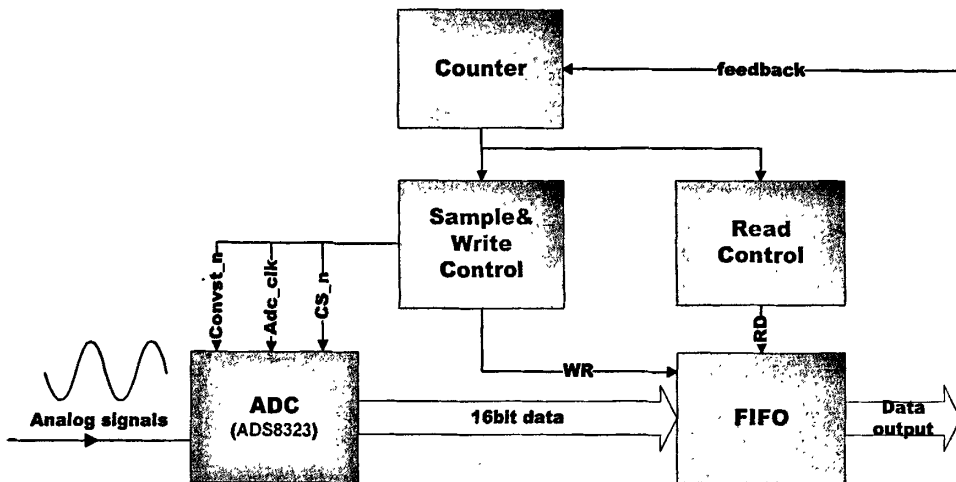


图3-1 AD采样控制模块结构图

ADS8323的时序控制图如图3-1^[23]。在本系统中，我们是对电力线信号进行采样，电力线上传播的是50Hz的正弦交流电，我们的设计为采样速度每个周期采128个样点，采样频率也就为 $50 \times 128\text{Hz}$ 即6400Hz，采样后的数据经过ADC量化为16bit的有符号数，采样电压的范围为-2.5V~2.5V。ADC的控制信号伺服工作由采样控制器负责。

此模块中的FIFO负责存储ADC采样量化的数据，宽度为16bit，深度设为1024。

写控制逻辑负责将ADC采样量化得到的数据写入FIFO，当写入四个周期的数据后，读控制器发出读信号，将采得的四个周期数据一并送出到谐波分析算法模块。

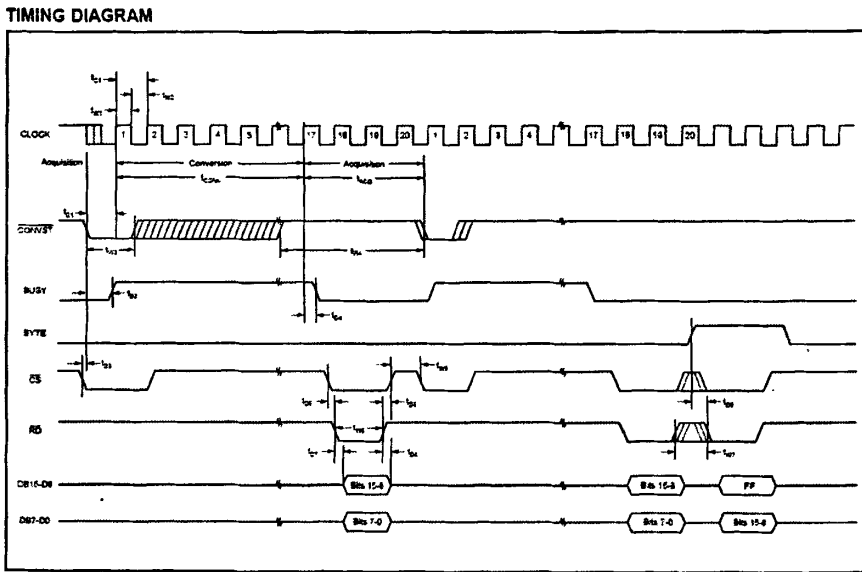


图3-2 ADS8323的时序控制图

3.2 谐波分析算法核模块

此系统中采用FFT算法做信号谱分析，谐波分析算法模块的结构框图见图3-3。

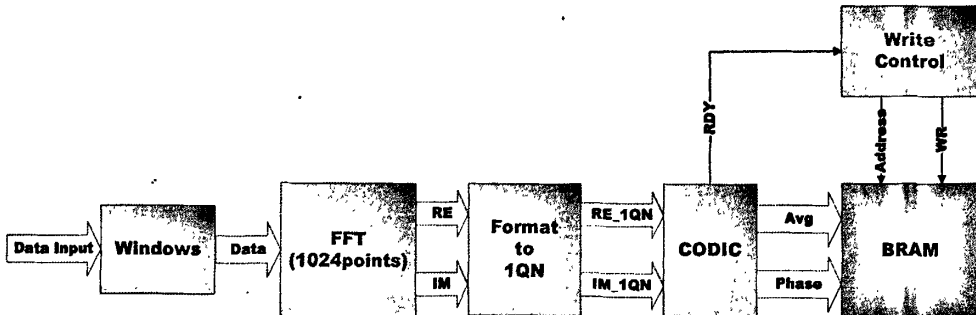


图3-3 谐波分析算法模块的结构框图

此模块的工作过程为：由ADC采样量化的数据，每80us从FIFO读出，送到谐波分析模块，第一步先经过加窗运算，数据信号与窗函数相乘，接着加窗后的数据送到FFT模块，做FFT运算。FFT模块调用的Xilinx的IP。FFT后得到虚部和实部的结果，接着做一次数制变换，以便送给CODIC模块计算模值和相位。最后在写控制器的作用下，将每次分析得到的幅值和相位填入BRAM，并且填写本次采样分析的时间戳和状态寄存器以便CPU读取。

3.2.1 时域加窗模块

由硬件乘法器构成，需要向此模块提供相应的窗函数的系数，此模块就可以完成对时

域信号加窗短截的功能。其中窗函数的系数由Matlab计算得到。

实际系统中我们比较了加矩形窗和Blackman窗两种不同窗函数后的FFT分析结果。

3.2.2 FFT模块的配置和使用

Xilinx LogiCORE™ IP库中有FFT的IP，目前的最新版本为5.0^[24]。FFT是用来做DFT的快速变换的，此IP core是使用的Cooley-Tukey算法来实现FFT的。

FFT core可以计算N点DFT或DFT反变换(IDFT)，N的值可以为 2^m ($m = 3 \sim 16$)。输入值为长度为N的复数型二进制数据，数据位宽可设为8位到24位。FFT运算所需要的存储资源采用FPGA内部的BRAM(block RAM)或分布式RAM(distributedRAM)。输出结果为长度为N的实部和虚部数据，位宽根据输入数据的位宽而定，输入数据顺序为自然数顺序，而输出结果的顺序可以设为自然数顺序或倒位序/数字倒序。

FFT core的实现算法采用基4(Radix-4)和基2(Radix-2)分解法来计算DFT。对于Burst I/O结构，采用按时间抽选(decimation-in-time, DIT)，对于流水线数据流结构，采用按频率抽选(decimation-in-frequency, DIF)。当采用Radix-4的FFT算法时，N点FFT包含 $\log_4(N)$ 级，每级包含 $N/4$ 个Radix-4的蝶形。如果长度不是4的整数次方，就需要采用Radix-2来计算。N点FFT采用Radix-2算法时包含 $\log_2(N)$ 级运算，每级包含 $N/2$ 个Radix-2的蝶形。IFFT通过改变相应的FFT的相位参数来计算结果。

此IP有四种可选的FFT算法结构，以便提供IP核占用面积和转换速度之间的平衡选择：

- 流水线，连续数据流输入输出模式。

可以处理连续数据的FFT运算

- 基-4(Radix-4)算法，突发输入输出模式。

载入数据和处理数据两步分开，采用迭代逼近算法。此结构IP占用面积小于流水线模式，但转换时间长于流水线模式。

- 基-2(Radix-2)算法，突发输入输出模式。

采用和基-4(Radix-4)算法相似的迭代逼近算法，但是蝶形变小，这意味着此结构IP占用面积小于基-4(Radix-4)算法模式，但代价就是转换时间更长。

- 基-2(Radix-2)算法简化版，突发输入输出模式。

在基-2(Radix-2)算法结构的基础上，采用时分复用的方法逼近蝶形运算，以此换取更小的面积，同时花费更多的转换时间。

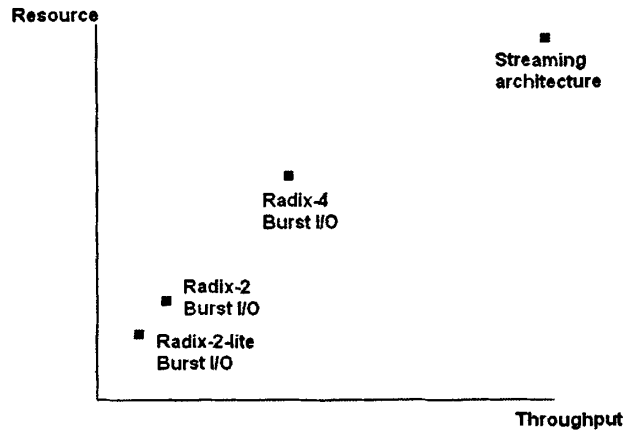


图3-4 不同结构占用资源和吞吐量的对比

每种结构的数据输出顺序都会提供自然顺序和倒位序/数字倒序两种输出选项。自然顺序就是输出数据的顺序和输入顺序一样，如输入为0, 1, 2, 3..., 输出也是一样，但是这会附加花费一些资源开销。在突发输入输出的结构模式下，这会带来一些时间的额外开销，这是因为输出上一帧数据处理的结果的同时不能输入下一帧数据，因此必须将输入和输出数据分开；而在连续的流水线结构中，它将会占用一些额外的RAM资源来对数据的重新排列进行数据缓冲。

四种FFT算法实现的结构描述如图3-5, 图3-6, 图3-7, 图3-8。

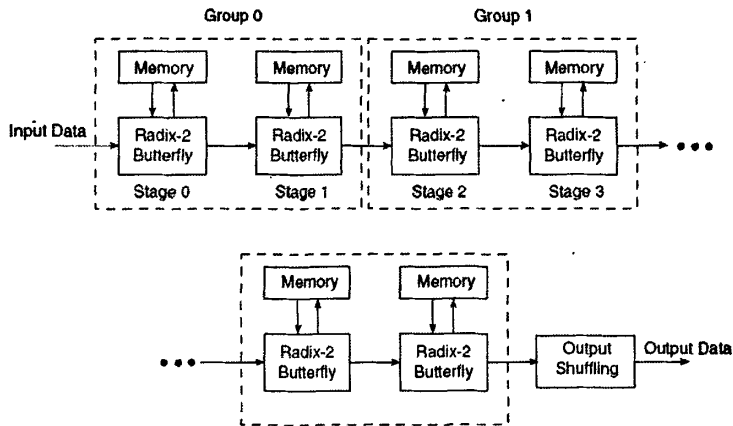


图3-5 流水线，连续数据流输入输出模式使用的结构

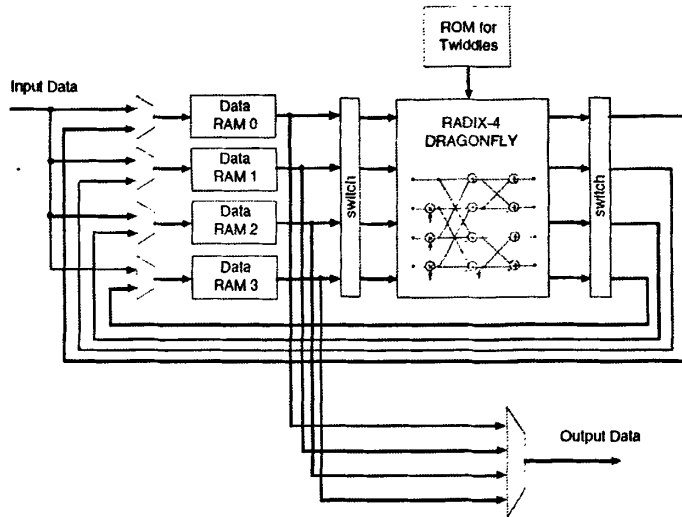


图3-6 基4(Radix-4)算法，突发输入输出模式使用的结构

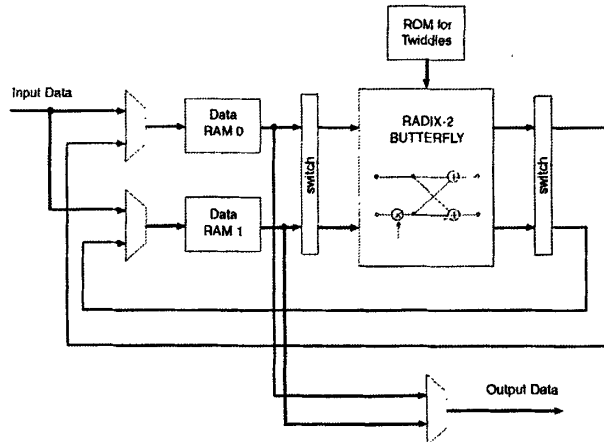


图3-7 基2(Radix-2)算法，突发输入输出模式使用的结构

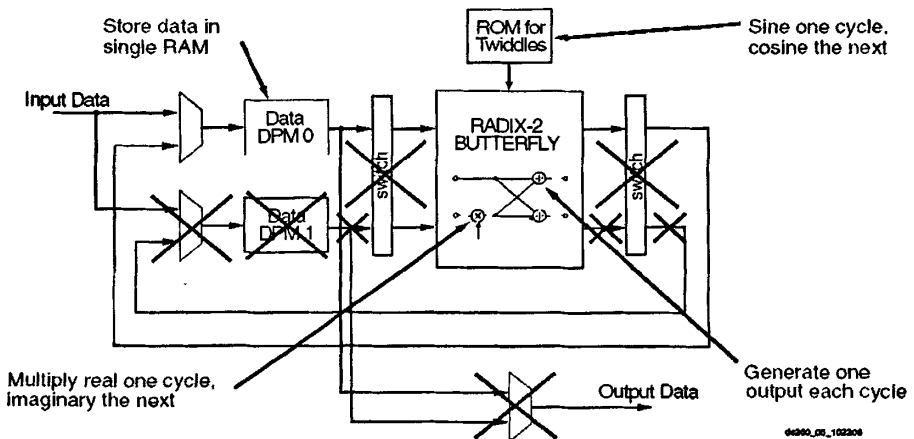


图3-8 基2(Radix-2)算法简化版，突发输入输出模式使用的结构

本系统中对FFT不要求连续计算，计算速度也不要求太高，在综合了这些因素和资源成本等问题后，本系统选择了基2(Radix-2)算法简化版，突发输入输出模式配置了FFT核，输出为自然数顺序。该模式的工作时序如图3-9。

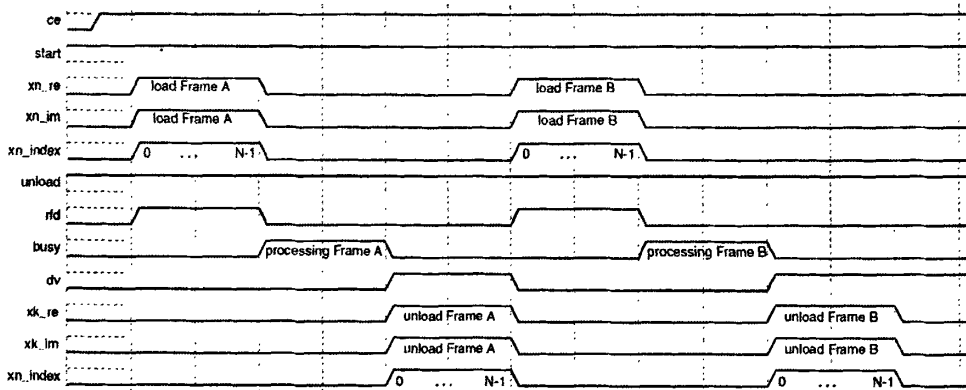


图3-9 FFT核工作的时序图

3.2.3 1QN格式转换模块

从FFT模块出来的实部和虚部结果都为26bit的有符号数，为了计算电力线信号的幅值和相位，需要将虚部和实部结果送给COCID模块计算，而模块只能接受1QN制式的数据。

Q格式有符号数的表示定义^[25]：QN格式是一种N bit二进制补码表示方法，XQN格式是将QN表示方法左移X bits。具体定义见表3-1，表3-2。

	SB	D8	D7	D6	D5	D4	D3	D2	D1
+1	0	1	0	0	0	0	0	0	0
-1	1	1	0	0	0	0	0	0	0
+Pi/4	0	0	1	1	0	0	1	0	0
-Pi/4	1	1	0	0	1	1	0	1	1
^ <--- Binary Point									

表3-1 1QN格式表示

	SB	D8	D7	D6	D5	D4	D3	D2	D1
+1	0	0	1	0	0	0	0	0	0
-1	1	1	1	0	0	0	0	0	0
+Pi	0	1	1	0	0	1	0	0	1
-Pi	1	0	0	1	1	0	1	1	1
^ <--- Binary Point									

表3-2 2QN格式表示

3.2.4 幅值和相位计算模块

该模块完成的主要功能为对FFT变换出来的虚部值和实部值求模，并取其相位，以得到信号基波和各次谐波的幅值和相位。其他需要提取的特征参数可以由这两个参数计算得到。

此模块由Xilinx IP库中的CORDIC(coordinate rotational digital computer)坐标旋转数字式计算机实现，CORDIC核实现了大多数常见的复数和三角函数运算^[25]，具体包括：

1. 向量旋转(极坐标到平面坐标)
2. 向量转换 (平面坐标到极坐标)
3. Sin 和 Cos 函数
4. Tan 和 Arctan 函数
5. 开方运算

本模块使用了 CORDIC 的向量转换 (平面坐标到极坐标)功能, 来计算幅值和相位。计算的具体公式为: $A = \sqrt{\text{Re}^2 + \text{Im}^2}$, $\varphi = \arctan\left(\frac{\text{Re}}{\text{Im}}\right)$ 。CORDIC 的工作时序如图 3-10。

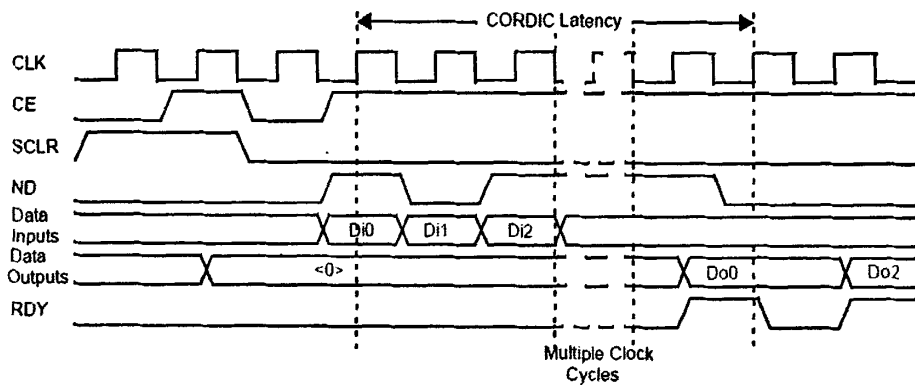


图3-10 CORDIC的工作时序

3.2.5 BRAM及其总线控制接口的设计

为了能让 MicroBlaze 读到每次数据处理的结果, 我们在每次谐波分析运算完成以后, 将数据结果填写到 BRAM 中, 再将 BRAM 通过 PLB 控制器挂载到 PLB 总线上, 由 MicroBlaze 读取。

在谐波分析模块中设计了一个写控制器, 功能是在每次本次分析运算完成以后, 产生相应的写控制信号, 地址信号和数据信号, 把结果填入 BRAM, 并且在数据完全写入后, 填写本次采样分析的时间戳和状态寄存器以便 CPU 读取。

3.3 谐波采集分析模块仿真结果

在完成了谐波采集分析算法模块的逻辑后, 我们进行了仿真工作, 仿真数据由 Matlab 模拟计算得到, 通过 TestBench 送给分析模块进行仿真, 仿真环境为 Mentor Graphics 公司的 ModelSim 6.2b。下面是一些具体的仿真结果以及和 Matlab 仿真的对比。

出模式后，FFT的计算时间比较长，但这并不影响系统工作，因为每次采样完1024个样本信号后有足够长的时间给FFT来计算本次采样的数据。

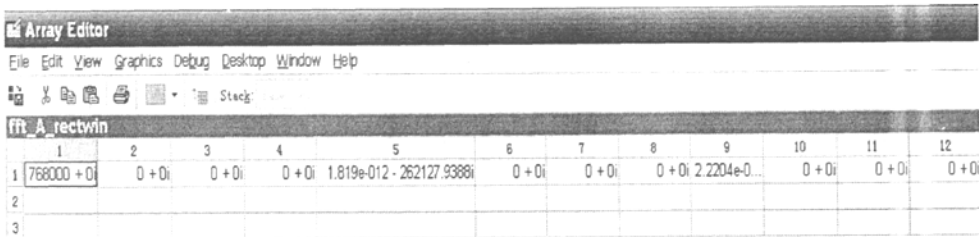


图3-14 Matlab仿真结果

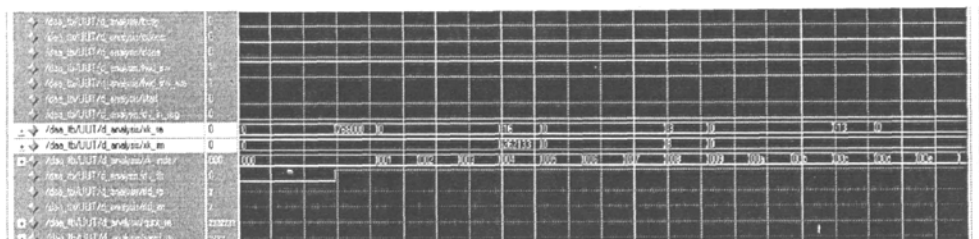


图3-15 Modelsim仿真结果

图3-14和图3-15是对模拟数据进行Matlab仿真和ModelSim仿真二者结果的比较，可以看到有一定的误差，但结果大体一致，产生误差的主要原因是在Matlab中的FFT是浮点数计算，而在FPGA中的FFT选择的是定点数计算。

仿真结果表明此模块可以完成数据采集和谐波分析的功能，且仿真结果达到一定的精度。

3.4 谐波采集分析模块FPGA资源使用情况

表3-3是在Xilinx ISE中实现谐波分析模块后，FPGA资源的使用情况。可以看到由于采用基-2(Radix-2)算法简化版，突发输入输出模式配置FFT核，所以使用的硬件乘法器数量和BRAM空间都不是很大，逻辑资源占用了大概30%，这样就给搭建整个SOPC系统留有了足够的空间。

Logic Utilization	Used	Available	Utilization
Number of Slice Flip Flops	9,349	29,504	31%
Number of 4 input LUTs	3,987	29,504	13%
Logic Distribution			
Number of occupied Slices	5,091	14,752	34%
Number of Slices containing only related logic	5,091	5,091	100%
Number of Slices containing unrelated logic	0	5,091	0%
Total Number of 4 input LUTs	4,371	29,504	14%
Number used as logic	3,987		
Number used as a route-thru	153		
Number used as Shift registers	231		
Number of bonded IOBs	106	376	28%
IOB Flip Flops	18		
Number of Block RAMs	5	36	13%
Number of GCLKs	1	24	4%
Number of DCMs	1	8	12%
Number of MULT18X18SIOs	5	36	14%
Total equivalent gate count for design	470,159		
Additional JTAG gate count for IOBs	5,088		

表 3-3 谐波采集分析模块 FPGA 资源使用情况

第四章 基于 SOPC 的数据采集分析芯片的系统设计

本课题所设计的数据采集分析芯片的系统与传统系统不同的是本系统是基于目前流行的 SOPC 技术设计的。本章将首先概括一下 SOPC 技术及其特点，接着详细介绍了本系统的软硬件具体设计细节。

4.1 SOPC 与嵌入式系统软硬件协同设计

4.1.1 SOC 和 SOPC 技术

20 世纪 90 年代初，电子产品的开发出现两个显著的特点：产品深度复杂化和上市时限缩短。基于门级描述的电路级设计方法已经赶不上新形势的发展需要，于是基于系统级的设计方法开始进入人们的视野。随着半导体工艺技术的发展，特别是超深亚微米 (VDSM<0.25 μm) 工艺技术的成熟，使得在一块硅芯片上集成不同功能模块（成为系统集成芯片）成为可能。这种将各种功能模块集成于一块芯片上的完整系统，就是片上系统 SOC(System on Chip)。SOC 是集成电路发展的必然趋势。

到目前为止，SOC 还没有一个公认的准确定义，但一般认为它有三大技术特征：采用深亚微米 (DSM) 工艺技术，IP 核(Intellectual Property Core)复用以及软硬件协同设计。SOC 的开发是从整个系统的功能和性能出发，利用 IP 复用和深亚微米技术，采用软件和硬件结合的设计和验证方法，综合考虑软硬件资源的使用成本，设计出满足性能要求的高效率、低成本的软硬件体系结构，从而在一个芯片上实现复杂的功能，并考虑其可编程特性和缩短上市时间。使用 SOC 技术设计的芯片，一般有一个或多个微处理器芯片和数个功能模块。各个功能模块在微处理器的协调下，共同完成芯片的系统功能，为高性能、低成本、短开发周期的嵌入式系统设计提供了广阔前景。

SOPC 技术最早是由美国 Altera 公司于 2000 年提出的，是现代计算机辅助设计技术、电子设计自动化 EDA(Electronics Design Automation)技术和大规模集成电路技术高度发展的产物。SOPC 技术的目标是将尽可能大而完整的电子系统在一块 FPGA 中实现，使得所设计的电路在规模、可靠性、体积、功能、性能指标、上市周期、开发成本、产品维护及其硬件升级等多方面实现最优化。SOPC 的设计以 IP 为基础，以硬件描述语言为主要设计手段，借助以计算机为平台的 EDA 工具，自动化、智能化地自顶向下地进行。

系统级芯片设计是一种高层次的电子设计方法，设计人员针对设计目标进行系统功能描述，定义系统的行为特性，生成系统级的规格描述。这一过程中可以不涉及实现工艺。一旦目标系统以高层次描述的形式输入计算机后，EDA 系统就能以规则驱动的方式自动完成整个设计。为了满足上市时间和性能要求，系统级芯片设计广泛采用软硬件协同设计的方法进行。

4.1.2 SOPC 设计中的软硬件协同设计

系统级芯片设计是微电子设计领域的一场革命，它主要有 3 个关键的支撑技术^[26]：

- (1). 软硬件的协同设计技术。主要是面向不同目标系统的软件和硬件的功能划分理论（Functional Partition Theory）和设计空间搜索技术。
- (2). IP 模块复用技术。IP 是指那些集成度较高并具有完整功能的单元模块，如 MPU、DSP、DRAM、Flash 等模块。IP 模块的再利用，除了可以缩短芯片的设计时间外，还能大大降低设计和制造的成本，提高可靠性。IP 可分为硬 IP 和软 IP。SOPC 中使用的 IP 多数是软 IP。软 IP 可重定制、剪裁和升级，为优化资源和提高性能提供了很大的灵活性。
- (3). 模块以及模块界面间的综合分析和验证技术。综合分析和验证是难点，要为硬件和软件的协同描述、验证和综合提供一个自动化的集成开发环境。

过去，最常用的设计方法是层次式设计，把设计分为 3 个域：行为域描述系统的功能；结构域描述系统的逻辑组成；物理域描述具体实现的几何特性和物理特性。采用自顶向下的层次式设计方法要完成系统级、功能级、寄存器传输级、门级、电路级、版图级（物理级）的设计，经历系统描述、功能设计、逻辑设计、电路设计、物理设计、设计验证和芯片制造的流程，是一个每次都从头开始的设计过程。传统的 IC 设计方法是先设计硬件，再根据算法设计软件。在深亚微米设计中，硬件的费用是非常大的。当设计完成后，发现错误进行更改时，要花费大量的人力、物力和时间，且设计周期变长。

现在，芯片的设计是建立在 IP 复用的基础之上的，利用已有的 IP 核进行设计重用，完成目标系统的整体设计以及系统功能的仿真和验证。一般采用从系统行为级开始的自顶向下设计方法，把处理机制、模型算法、软件、芯片结构、电路直至器件的设计紧密结合起来，在单个芯片上完成整个系统的功能。同 IC 组成的系统相比，由于采用了软硬件协同设计的方法，能够综合并全盘考虑整个系统的各种情况，可以在同样的工艺技术条件下实现更高性能的系统指标。既缩短开发周期，又有更好的设计效果，同时还能满足苛刻的设计限制。

嵌入式系统设计早期,主要有两种方式:一是针对一个特定的硬件进行软件开发;二是根据一个已有的软件实现其具体的硬件结构。前者是一个软件开发问题;后者是一个软件固化的问题。早期的这种设计没有统一的软硬件协同表示方法;不能自动地进行不同的软硬件划分,并对不同的划分进行评估;不能从系统级进行验证,不容易发现软硬件边界的兼容问题;上市周期较长。因此,早期的设计存在各种缺陷和不足。使用软硬件协同设计后,从系统功能描述开始,将软硬件完成的功能作全盘考虑并均衡,设计出不同的软硬件体系结构并进行评估,最终找到较理想的目标系统的软硬件体系结构,然后使用软硬件划分理论进行软硬件划分并设计实现。在设计实现时,始终保持软件和硬件设计的并行进行,并提供互相通信的支持。在设计后期对整个系统进行验证,最终设计出满足条件限制的目标系统。以 FPGA 为基础的 SOPC 的软硬件协同设计,为芯片设计实现提供了更为广阔自由的空间。

FPGA 的评估可以做到以引脚为基本核算单位。软硬件划分理论从成本和性能出发,决定软硬件的划分依据和方法。基本原则是高速、低功耗由硬件实现;多品种、小批量由软件实现;处理器和专用硬件并用以提高处理速度和降低功耗。划分的方法从两方面着手:一是面向软件,从软件到硬件满足时序要求;二是面向硬件,从硬件到软件降低成本。在划分时,要考虑目标体系结构、粒度、软硬件实现所占用的成本等各种因素。划分完后,产生软硬件分割界面,供软硬件沟通、验证和测试使用。

软硬件详细设计完成划分后的软件和硬件的设计实现。硬件综合是在厂家综合库的支持下,完成行为级、RTL 以及门级的综合。代码优化完成对设计实现后的系统进行优化,主要是与处理器相关的优化和与处理器无关的优化。与处理器相关的优化受不同的处理器类型影响很大,一般根据处理器进行代码选择、主要是指令的选择;指令的调度(并行、流水线等)、寄存器的分配策略等;与处理器无关的优化主要有常量优化、变量优化和代换、表达式优化、消除无用变量、控制流优化和循环内优化等。

软硬件协同仿真和验证完成设计好的系统的仿真和验证,保证目标系统的功能实现、满足性能要求和限制条件,从整体上验证整个系统。

面向 SOPC 的软硬件协同设计流程从目标系统构思开始。对一个给定的目标系统,经过构思,完成其系统整体描述,然后交给软硬件协同设计的开发集成环境,由计算机自动完成剩余的全部工作。一般而言,还要经过模块的行为描述、对模块的有效性检查、软硬件划分、硬件综合、软件编译、软硬件集成、软硬件协同仿真与验证等各个阶段。软硬件协同设计流程如图 4-1 所示^[26]。其中软硬件划分后产生硬件部分、软件部分和软硬件接口界面三个部分。硬件部分遵循硬件描述、硬件综合与配置、生成硬件组建和配置模块;软

件部分遵循软件描述、软件生成和参数化的步骤，生成软件模块。最后把生成的软硬件模块和硬件界面集成，并进行软硬件协同仿真，以进行系统评估和设计验证。

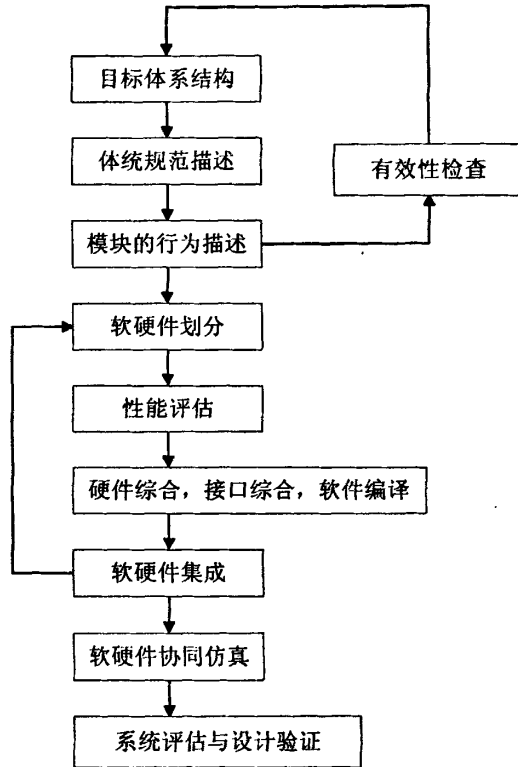


图 4-1 软硬件协同设计流程

4.1.3 SOPC 软硬件协同设计的优势

同 SOPC 相比，SOC 具有如下缺点：首先，使用 ASIC 的试制和流片风险大、成本高、成功率不高，一旦制片后就不能再进行修改。其次，使用 ASIC 设计芯片系统时，由于微控制器、功能模块等 IP 是根据目标系统性能进行选择的，一旦选定，所选择的 IP 的性能就不能再修改，也就基本上决定了目标系统的性能，使得目标系统的性能优化空间相当狭窄，同时也使得设计完成后的目标系统的硬件升级变得不可能。再有，就是这种方式的硬件设计只能是流于拼装和连接选定的硬件系统结构，指令不可更改，根据指令系统来进行编程。设计人员的创造发挥自由度狭小，限制了人的能动性在设计中应有的作用。

SOPC 的可编程特性对这些问题没有限制。SOPC 技术在电子设计上给出了一种以人的基本能力为依据的软硬件综合解决方案；同时涉及到底层的硬件系统设计和软件设计，在系统化方面有了广大的自由度。开发者在软硬件系统的综合与构建方面可以充分发挥创造性和想象力，使得多角度、多因素和多结构层面的大幅度优化设计成为可能，使用其可

编程特性与 IP 核相结合,可以快速、低廉地开发出不同的协处理器,从而真正实现硬件编程、升级和重构。随着 FPGA 制造工业的发展,这种优势将会更加明显。

4.1.4 支持 SOPC 软硬件协同设计的器件平台

目前 Altera 和 Xilinx 两大 FPGA 公司的产品都支持 SOPC 开发,其中嵌入式 CPU 的存在形式分硬核和软核两种。基于 FPGA 嵌入 CPU 硬核的 SOPC 系统即在 FPGA 中预先植入嵌入式系统处理器。目前最为常用的嵌入式系统大多采用了含有 ARM 的 32 位知识产权处理器核的器件。尽管由这些器件构成的嵌入式系统有很强的功能,但为了使系统更为灵活完备,功能更为强大,对更多任务的完成具有更好的适应性,通常必须为此处理器配置许多接口器件才能构成一个完整的应用系统。如除配置常规的 SRAM、DRAM、Flash 外,还必须配置网络通信接口、串行通信接口、USB 接口、VGA 接口、PS/2 接口或其他专用接口等。这样会增加整个系统的体积、功耗,而降低系统的可靠性。但是如果将 ARM 或其他知识产权核,以 IP 核方式植入 FPGA 中,利用 FPGA 中的可编程逻辑资源和 IP 软核,直接利用 FPGA 中的逻辑宏单元来构成该嵌入式系统处理器的接口功能模块,就能很好地解决这些问题。对此,Altera 和 Xilinx 公司都相继推出了这方面的器件。CPU 硬核方面,Altera 的 Excalibur 系列 FPGA 中就植入了 ARM922T 嵌入式系统处理器;Xilinx 的 Virtex-II Pro 系列中则植入了 IBM PowerPC405 处理器。CPU 软核方面,目前主要有 Xilinx 公司的 32 位软核 MicroBlaze 以及 Altera 公司的 Nios 系列微处理器软核等。这样就能使得 FPGA 灵活的硬件设计和硬件实现更与处理器的强大软件功能有机地相结合,高效地实现 SOPC 系统。

4.2 本系统硬件设计

本系统的硬件结构是在 Xilinx 嵌入式开发环境 EDK 上设计完成的,EDK 集成了硬件平台生成器(Platgen)、软件平台生成器(Libgen)、仿真模型生成器(Simgen)、软件编译器(Mb-gcc/ppc-gcc)和软件调试工具(Mb-gdb/ppc-gdb)等,通过提供的集成开发环境 XPS^[31],用户可以调用上述所有工具,来完成嵌入式系统开发的整个流程。

4.2.1 MicroBlaze 软处理器

MicroBlaze™ 软处理器是一个针对 Xilinx FPGA 进行了优化的 32 位哈佛结构 RISC 架构的软核处理器^[27],该处理器支持 uC/OS-II 或 VxWork 等实时嵌入式操作系统。基本的 MicroBlaze 架构包含 32 个通用寄存器、1 个算法逻辑单元(AL)、1 个移位器和 2 级中断。

基本设计可以具有高级特性，如桶形移位器、内存管理/内存保护单元、浮点单元 (FPU)、高速缓存、异常处理和调试逻辑。该灵活性使得您能够均衡所需的性能和逻辑成本。

MicroBlaze™ 软处理器核的结构如图 4-2。

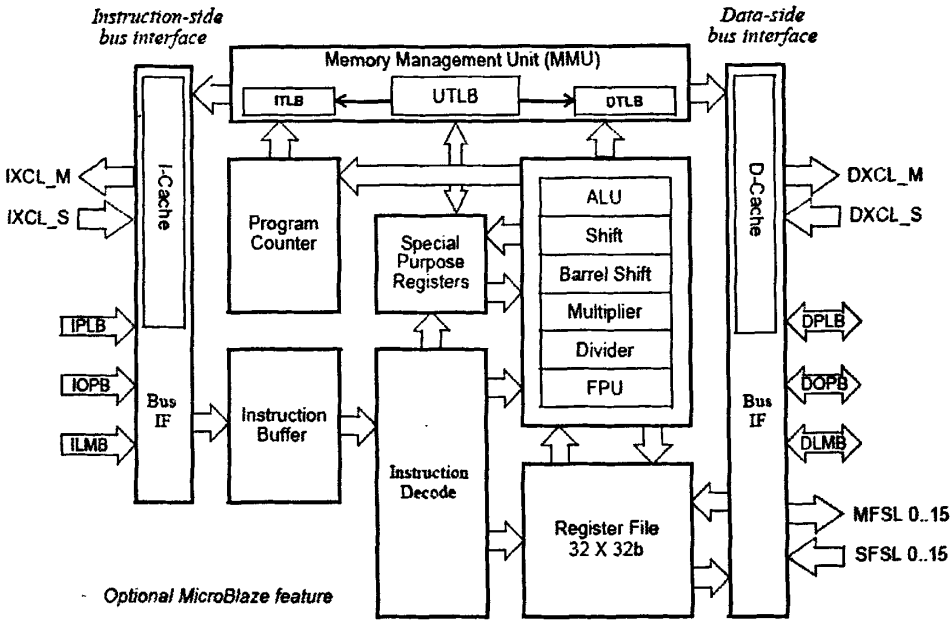


图 4-2 MicroBlaze 内部结构框图

MicroBlaze 内部有 32 个 32 位通用寄存器和 2 个 32 位特殊寄存器—PC 指针和 MSR 状态标志寄存器。为了提高性能，MicroBlaze 还具有指令和数据缓存。所有的指令字长都是 32 位，有 3 个操作数和 2 种寻址模式。

MicroBlaze 的指令为 32bits 的，并且定义两种寻址模式 Type A 和 Type B。Type A 指令含有两个源寄存器操作数和一个目的寄存器操作数。Type B 指令含有一个源寄存器操作数和一个 16bits 的立即数操作数以及一个单独的目的寄存器操作数。指令按功能划分有逻辑运算、算术运算、分支、存储器读/写和特殊指令等。

MicroBlaze 的指令执行的流水线是并行流水线。对于大多数指令，流水线的每一级占用一个时钟周期，因此一条指令完成所需要的时钟周期也就等于所需要的流水线级数。大多数指令都只需要一个指令周期就可以完成，只有极少数的指令需要几个时钟周期去完成。

当从较慢的存储器中执行指令时，取指令操作可能会占用好几个时钟周期。这些额外的延时直接影响了流水线的性能。MicroBlaze 实现了预取指缓存，这项技术可以减少多周期预取指的延时。当流水线在指令执行阶段由于多周期指令产生延时，预取指缓存继续

装在接下来的指令。当流水线再次开始执行指令时，取指阶段可以直接从预取指单元取得指令，而不用等待从指令寄存器取得指令。

当面积优化打开时，流水线被分为三级来达到最小的硬件开销：取指，译码和执行。

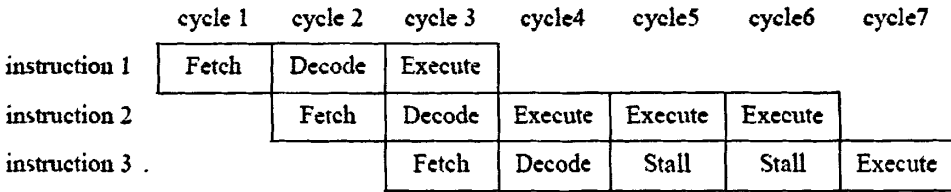


图 4-3 三级流水线

当面积及优化选项被关闭时，流水线被分为五级来达到最好的性能：取指 Fetch (IF)，译码 Decode (OF)，执行 Execute (EX)，访问 Access Memory (MEM)，写回 Writeback (WB)。

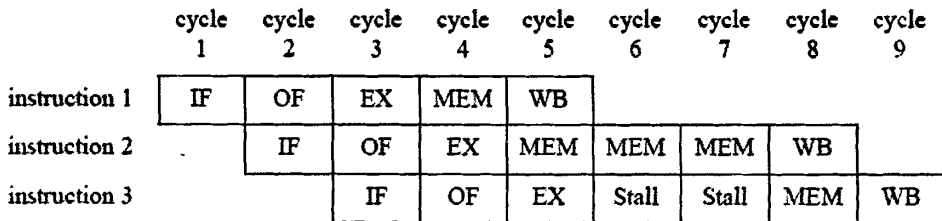


图 4-4 五级流水线

MicroBlaze 存储结构是哈佛存储结构，指令和数据分别存储在不同的地址空间。每一个地址空间都对应一个 32bit 的存储区域。通过映射相同地址，指令区和数据区可以交迭。这项特性主要用于软件调试。MicroBlaze 的指令和数据格式都是 32 位宽，并且都使用大端对齐，位反转格式。MicroBlaze 支持字，半字，字节的数据空间访问方式。数据和指令的访问和存放都必须遵守字对齐规则。

4.2.2 MicroBlaze 系统总线互联体系

MicroBlaze 没有区分数据的 I/O 访问和存储区访问，I/O 访问同样通过地址空间映射，处理器的内存访问接口总线有三种^[27]：

- Local Memory Bus (LMB)
- Processor Local Bus (PLB) or On-Chip Peripheral Bus (OPB)
- Xilinx CacheLink (XCL)

LMB 是一种主要用来访问片上 BRAM 的同步总线。它可以使用少量的控制信号和简单的协议来保证本地 BRAM 在一个时钟周期内完成访问。

PLB 和 OPB 总线属于 CoreConnect 技术中的总线。CoreConnect 是由 IBM 开发的片上总线通信链，它使多个芯片核相互连接成为一个完整的新芯片成为可能。CoreConnect 技术使整合变得更为容易，而且在标准产品平台设计中，处理器、系统以及外围的核可以重复使用，以达到更高的整体系统性能。CoreConnect 总线架构包括处理器本机总线 (PLB)，片上外围总线 (OPB)，1 个总线桥，2 个判优器，以及 1 个设备控制寄存器 (DCR) 总线，CoreConnect 总线架构如图 4 所示。Xilinx 将为所有嵌入式处理器用户提供 IBM CoreConnect 许可，因为它是所有 Xilinx 嵌入式处理器设计的基础。MicroBlaze 处理器使用了与 IBM PowerPC 相同的总线，用作外设。虽然 MicroBlaze 软处理器完成独立于 PowerPC，但它让设计者可以选择芯片上的运行方式，包括一个嵌入式 PowerPC，并共享它的外设。(1) 片上外设总线 (OPB) 内核通过片上外设总线 (OPB) 来访问低速和低性能的系统资源。OPB 是一种完全同步总线，它的功能处于一个单独的总线层级。它不是直接连接到处理器内核的。OPB 接口提供分离的 32 位地址总线和 32 位数据总线。处理器内核可以借助“PLB to OPB”桥，通过 OPB 访问从外设。作为 OPB 总线控制器的外设可以借助“OPB to PLB”桥，通过 PLB 访问存储器。

XCL 是一种访问外部存储区的高性能总线解决方案。MicroBlaze CacheLink 接口设计是通过集成的 FSL 缓冲来直接访问内存，例如 MPMC。FSL 通道是专用于单一方向的点到点的数据流传输接口。FSL 和 MicroBlaze 的接口宽度是 32 位。每一个 FSL 通道都可以发送和接收控制或数据字。

MicroBlaze 有中断控制和调试接口，可以响应软件和硬件中断，进行异常处理，通过外加控制逻辑，可以扩展外部中断。利用微处理器调试模块 (MDM) IP 核，可通过 JTAG 接口来调试处理器系统。多个 MicroBlaze 处理器可以用 1 个 MDM 来完成多处理器调试。

图 4-5 是一个基于 MicroBlaze 的典型的 SOPC 系统，MicroBlaze 为核心处理器，PLB 为系统总线，以太网，PCI，UART，GPIO 等接口作为外设挂载到 PLB 总线，内存使用片上 BRAM 实现，CPU 调试通过 JTAG 口完成。

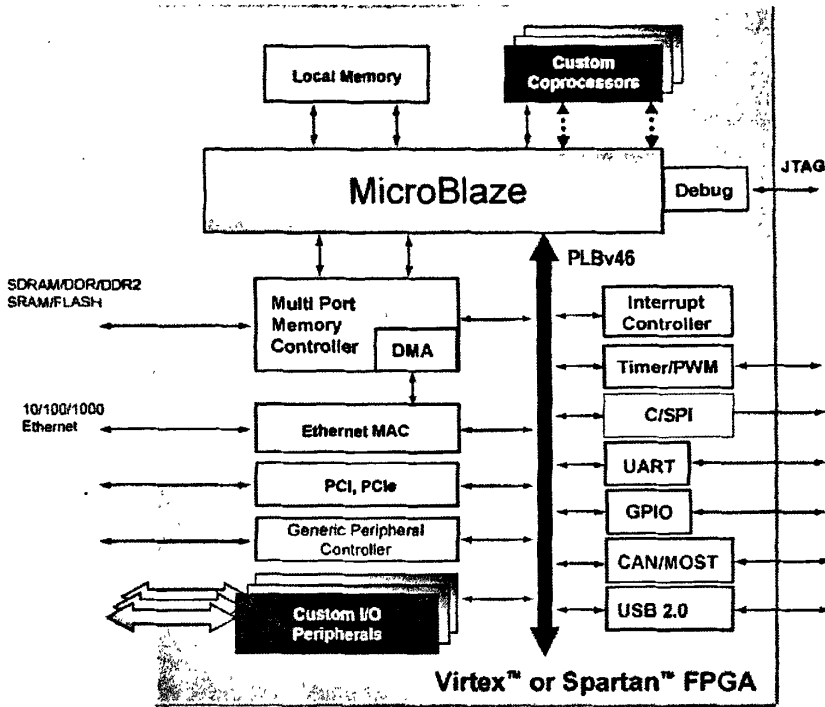


图 4-5 基于 MicroBlaze 的典型的 SOPC 系统

4.2.3 FPGA 芯片选型

由于本系统属于算法+嵌入式控制的组合系统，对系统资源、BRAM 空间、硬件乘法器数量等要求较高，在权衡了成本以后，选择了 Xilinx Spartan 3E 系列中容量最大的 FPGA，型号为 3s1600efg484^[28]，容量大小大概等效于 160 万门的器件，完全可以实现中小型嵌入式系统。主要的资源情况为：14752 个 Slice，包括 29504 个 Flip Flops 和 29504 个四输入 LUT；376 个用户可用管脚；648Kbit 的 BRAM 存储空间；36 个 18×18 的硬件乘法器；24 个全局时钟管脚；8 个数字时钟管理器（DCM）。芯片封装为 BGA。

4.2.4 谐波采集分析系统的 SOPC 结构及其开发

首先介绍一下本系统的结构，本系统使用 MicroBlaze 作为嵌入式核心处理器，工作时钟为 100MHz，指令存储区和数据存储区使用片上 BRAM 实现，各开辟 16K 大小，通过 LMB 总线和 MicroBlaze 相连，其余外设挂载到 PLB 总线。主要外设设有串口控制器，AD 采样控制器，谐波分析模块，以太网控制器等。下面简单介绍一下各种使用到的外设。

串口控制器采用 XPS 16550 UART IP 核来实现国半的 16550 芯片功能^[29]，它可以工作在 16450 和 16550UART 两种模式。XPS 16550 UART 主要完成的功能是将 CPU 端的并行

数据转化为一定格式的串行数据，以符合串口协议要求。它可以传送和接收 8, 7, 6, 或 5 比特的字节，可以配置为 2, 1.5 或 1 个停止位，可以配置奇偶校验或无校验模式。IP 的模块结构图如图 4-6。

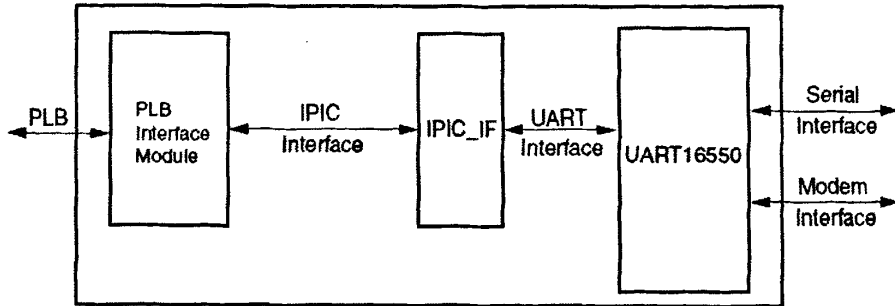


图 4-6 XPS 16550 UART IP 模块结构图

以太网 MAC (Media Access Controller) 采用 Xilinx 提供的 IP core, 该 IP 符合 IEEE Std. 802.3 媒质独立接口(MII)的定义^[30], 往下层可以链接工业级标准的 PHY 芯片, 往上层可以通过 PLB 总线控制器与处理器相连。设计提供 10M/100M 自适应接口, 并且我们系统中所用的 IP 为最节省资源的精简版设计。

AD 采样控制器, 谐波分析模块两个模块在第三章中已做了详细的介绍, 这个属于用户自定义的 IP 模块, 通过 BRAM 控制器挂载到 PLB 总线。

硬件平台开发流程如下: 首先在 XPS 界面环境下生成硬件系统框架并添加所需的 IP 核, 也可以用文本编辑器直接编写硬件描述文件 (.MHS 文件), 再调用 Platgen 将其生成嵌入式处理系统的网表文件(.NGC 文件)。虽然 EDK 的 IP 库中有一些很有用的功能模块和外设接口的 IP 核, 如 DCM(数字时钟管理器)、处理器复位、PLB/OPB 总线接口、外部存储控制器(EMC)、UART、GPIO、中断控制器、定时器等, 充分利用这些资源就可以构建一个较为完善的嵌入式微处理器系统, 但是对于本系统还需要将谐波采集分析模块最为一个自定义的功能模块添加到系统中。方法是将谐波采集分析模块的 ISE 工程作为一个子系统在 XPS 中用 Import Existing peripheral 添加到 EDK 的 IP 库, 然后便可以在 EDK 中像调用其他 IP 一样调用用户自定义的 IP 模块了。在全部外设添加完成后, XPS 会显示其系统互联结构以及各外设对于 CPU 的地址空间的分配, 如图 4-8 和图 4-9。在所有硬件平台都搭建完毕后, 可以在 EDK 中调用 Xilinx 的综合工具 XST 和布局布线工具进行综合和布局布线, 生成可烧录的比特流文件。

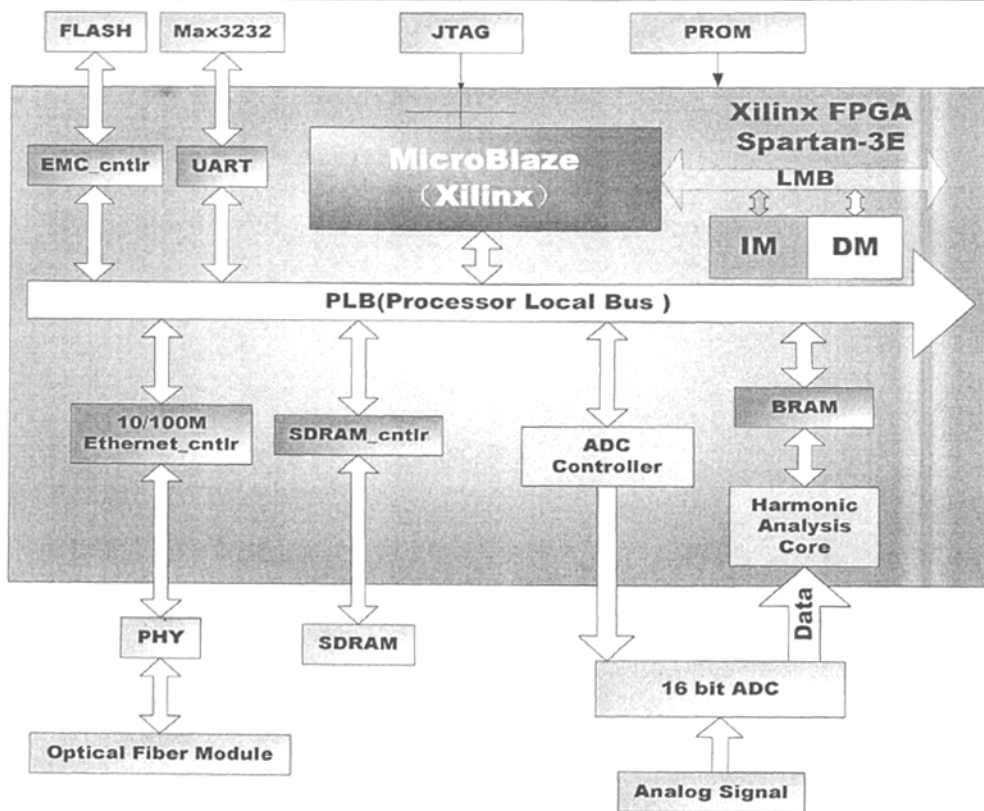


图 4-7 谐波采集分析系统的 SOPC 结构

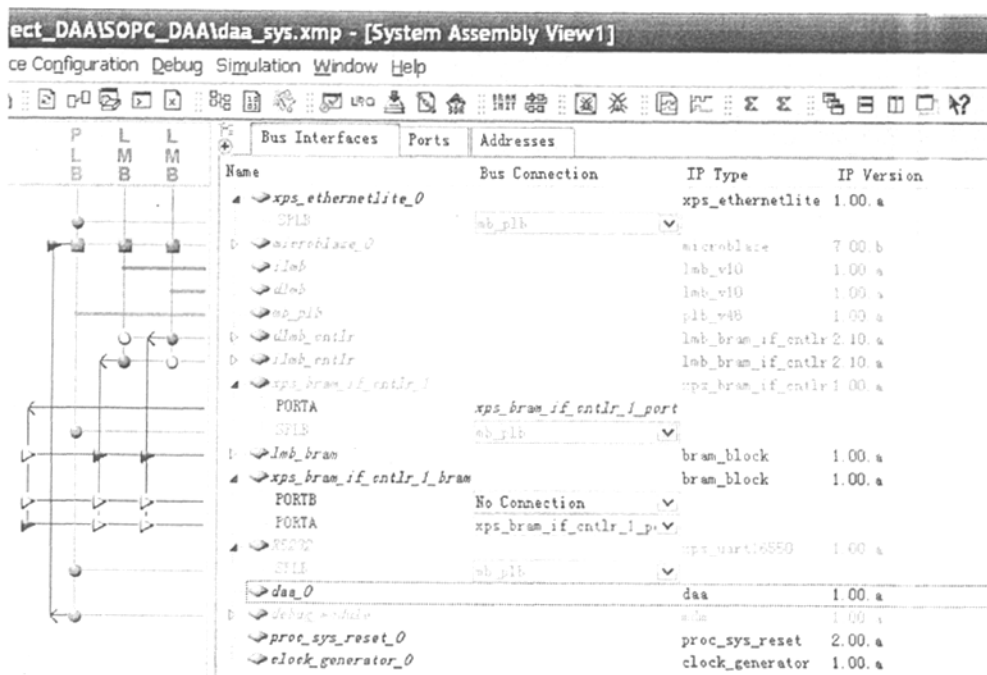


图 4-8 XPS 中显示的系统互联结构

Name	Base Address	High Address	Size	Bus Interface(s)	Bus Connection
mb_plb					
dlmb_cntlr					
C_BASEADDR	0x00000000	0x00003fff	16K	SLMB	dlmb
ilmb_cntlr					
C_BASEADDR	0x00000000	0x00003fff	16K	SLMB	ilmb
xps_bram_if_cntlr_l					
C_BASEADDR	0x04414000	0x04415fff	8K	SPLB	mb_plb
RS232					
C_BASEADDR	0x03e00000	0x03e0ffff	64K	SPLB	mb_plb
debug_module					
C_BASEADDR	0x04400000	0x0440ffff	64K	SPLB	mb_plb
xps_ethernetlite_0					
C_BASEADDR	0x04410000	0x04417fff	128K	SPLB	mb_plb

图 4-9 系统各外设地址分配

硬件平台全部完成后，在 EDK 中布局布线后，在报告中会显示整个 SOPC 系统所占用的 FPGA 资源，如表 4-1。数据采集分析的系统电路板实物见图 4-10。

Device utilization summary	
Selected Device : 3s1600efg484-4	
Number of Slices:	10031 out of 14752 68%
Number of Slice Flip Flops:	15342 out of 29504 52%
Number of 4 input LUTs:	12392 out of 29504 42%
Number used as logic:	12392
Number used as Shift registers:	682
Number used as RAMs:	256
Number of IOs:	49
Number of bonded IOBs:	49 out of 376 13%
Number of BRAMs:	23 out of 36 64%
Number of MULT18X18SIOs:	8 out of 36 22%
Number of GCLKs:	7 out of 24 29%
Number of DCMs:	2 out of 8 25%

表 4-1 整个 SOPC 系统占用 FPGA 的资源情况

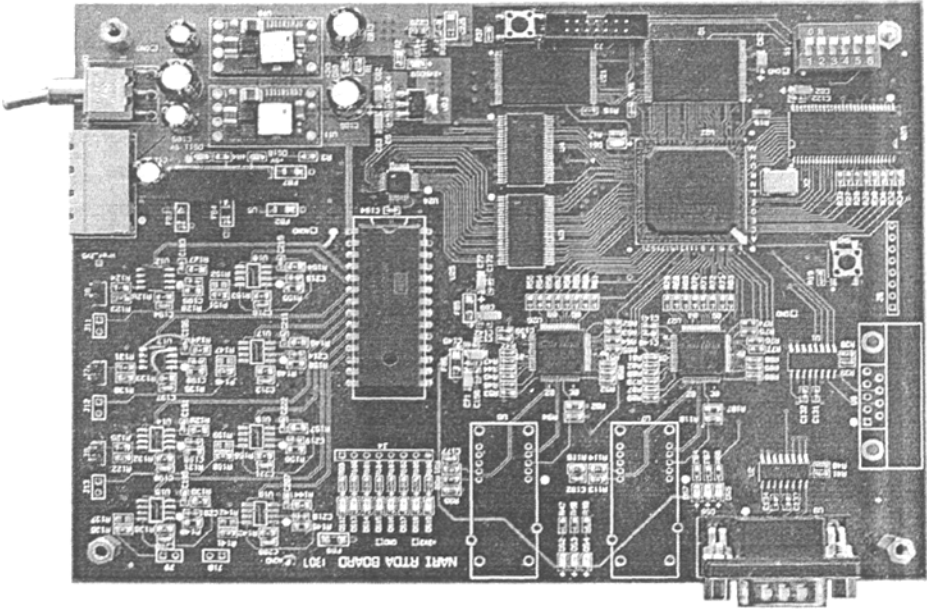


图 4-10 数据采集分析板卡

4.3 本系统软件设计

在 Xilinx 嵌入式开发环境 EDK 中将软件开发分为两大部分，一是底层系统软件的开发，主要完成 BSP(板级支持包)的功能；另一部分则是用户应用软件的开发(包括用户硬件驱动及用户上层应用软件)^[31]。由于 EDK 中带有许多 IP 核以及相应的驱动软件，因此底层系统软件的开发大部分可以借助 EDK 集成开发环境来完成的，如操作系统的选择、设备驱动程序的选择、中断/异常处理例程的设置、操作系统参数设置等在内的各种系统级软件参数的设置。而用户应用软件的开发由于有底层驱动隔离，可移植性好。整个用户软件的开发及调试工作都可以在 EDK 中完成。

4.3.1 底层系统软件开发

在本设计中，没有使用操作系统，使用所谓的 standalone 模式，即 EDK 仅提供硬件初始化及引导代码。此外还需要对 GPIO、EMC、RS232、中断控制器等一些外设生成底层驱动，这些都可以通过在 EDK 集成环境 XPS 中进行设置。

设置完成后在 XPS 中运行 Tools->Generate Libraries and BSPs 将调用 LibGen 自动生成驱动库文件，这些 CPU 和外设驱动库的设置、操作函数实现或定义可在工程项目根目录下的以处理器实例名为名字的目录下的 libsrc 目录下相应的各模块子目录中找到。

4.3.2 应用软件设计及其流程图

EDK 提供了免费的 GNU C Compiler, 可以支持标准 C, 因此用户上层应用软件采用 C 语言编程, 主要是对 RS232 串口等的读写操作以及一些简单的算术算法。

应用软件的流程图见图 4-11。程序工作流程为: 系统上点后, 以查询模式不停查询数据状态寄存器, 判断其内容是否为 16 进制数 8080, 若不是, 则表明这次采样数据的处理结果未处理好, 继续查询; 若是, 则表明这次采样数据的处理结果已准备好, 接着读取时间戳, 即此次数据结果准备好的时刻, 然后从数据结果空间中读取谐波分析数据结果, 并从串口按顺序输出, 串口速率设为 115200, 接着清除数据状态寄存器。为了判断本次数据的有效性, 即是否为一次采样的连续输出, 最后需要做一时间戳判断, 若最后读取的时间和开始读取的一致的话, 则表明本次数据是有效的, 否则数据无效, 并且把数据无效的状态字也从串口输出。到这里一次数据结果的读取完毕, 接着进入下一循环, 重复以上的步骤。

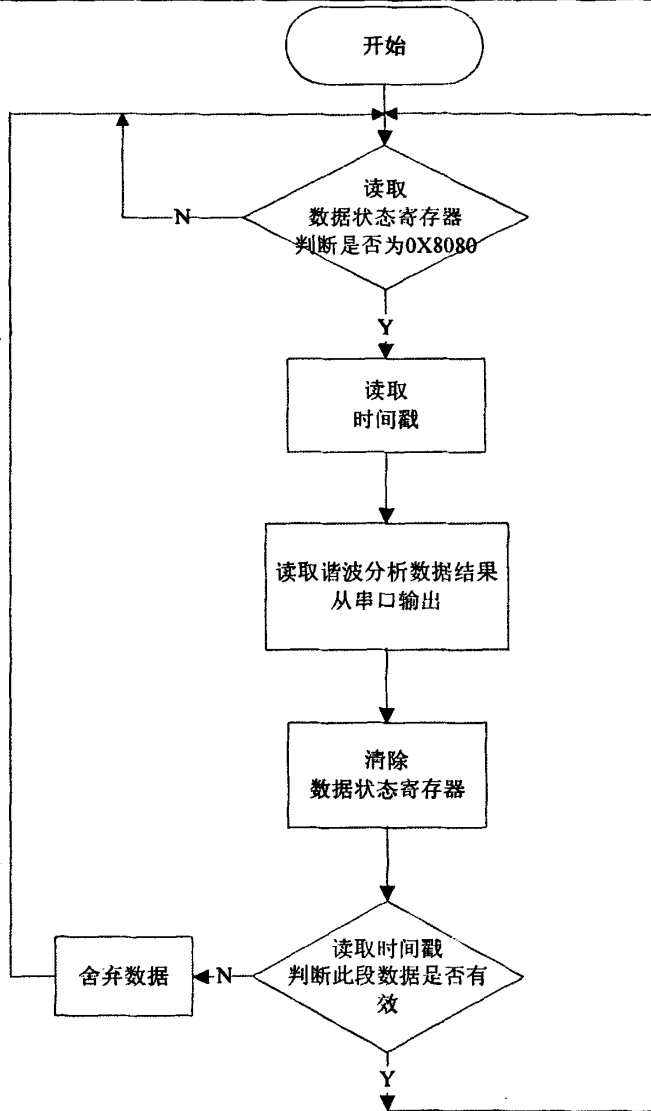


图 4-11 软件流程图

4.3.3 系统软件调试

由于 MicroBlaze 处理器核中已包含调试模块，并用 JTAG 端口引出，只要在系统中添加一个叫做 debug_module 的 IP 模块并和 MicroBlaze 相连便可将其调试端口串入 FPGA 的 JTAG 链中，这样只需使用 FPGA 本身的下载电缆和 JTAG 接口便可完成系统软件调试而不需要增加额外电路。

EDK 提供的软件调试工具主要有 XMD 和 GDB。GDB 是 EDK 附带的 GNU 的主机方图形界面调试工具，它通过和 XMD 通信完成图形界面调试功能，此时 XMD 则扮演了一个主机方调试代理的角色，所有的调试通信是由 XMD 同目标机通信完成的。

完成软件代码的编写后,使用 EDK 集成的 XMD 和 GDB 调试器对代码进行仿真和调试,同时也采用 Xilinx 提供的 ChipScope(片内逻辑分析仪)进行硬件及软件的协同调试。XMD 通过 MDM 模块和 JTAG 口连接目标板上的 MicroBlaze, GDB 可以对程序进行单步调试或断点设置。调试结果通过 RS232 串口传送到 PC 机的超级终端进行显示,为保证数据全部正确输出,串口速度选择 115200,超级终端显示的调试数据如图 4-12。调试全部通过后,在 EDK 中将软件编译后生成 elf 文件,通过 Update Bitstream 工具把软件和硬件配置文件合并成为 Download.bit 文件,把此文件下载到目标板后, FPGA 首先根据硬件配置信息建立硬件系统,并把程序代码映射到片内 BRAM 中,最后启动 MicroBlaze 自动运行程序。

```

Serial-Com1 (115200) - SecureCRT
File Edit View Options Transfer Script Tools Help

Serial-Com1 (115200)
124: 0, 7847      125: 0, 7847      126: 0, 7847      127: 0, 7847
RY

RT: 6496
0: 12390, 0
1: 0, 7847      2: 0, 7847      3: 0, 7847      4: 0, 7847
5: 0, 7847      6: 0, 7847      7: 0, 7847      8: 0, 7847
9: 0, 7847      10: 0, 7847     11: 0, 7847     12: 0, 7847
13: 0, 7847     14: 0, 7847     15: 0, 7847     16: 0, 7847
17: 0, 7847     18: 0, 7847     19: 0, 7847     20: 0, 7847
108: 0, 7847    109: 0, 7847    110: 0, 7847    111: 0, 7847
112: 0, 7847    113: 0, 7847    114: 0, 7847    115: 0, 7847
116: 0, 7847    117: 0, 7847    118: 0, 7847    119: 0, 7847
120: 0, 7847    121: 0, 7847    122: 0, 7847    123: 0, 7847
124: 0, 7847    125: 0, 7847    126: 0, 7847    127: 0, 7847
RY

RT: 6497
0: 12390, 0
1: 0, 7847      2: 0, 7847      3: 0, 7847      4: 0, 7847
5: 0, 7847      6: 0, 7847      7: 0, 7847      8: 0, 7847
9: 0, 7847      10: 0, 7847     11: 0, 7847     12: 0, 7847
13: 0, 7847     14: 0, 7847     15: 0, 7847     16: 0, 7847
17: 0, 7847     18: 0, 7847     19: 0, 7847     20: 0, 7847
108: 0, 7847    109: 0, 7847    110: 0, 7847    111: 0, 7847
112: 0, 7847    113: 0, 7847    114: 0, 7847    115: 0, 7847
116: 0, 7847    117: 0, 7847    118: 0, 7847    119: 0, 7847
120: 0, 7847    121: 0, 7847    122: 0, 7847    123: 0, 7847
124: 0, 7847    125: 0, 7847    126: 0, 7847    127: 0, 7847
RY

RT: 6498
0: 12390, 0
1: 0, 7847      2: 0, 7847      3: 0, 7847      4: 0, 7847
5: 0, 7847      6: 0, 7847      7: 0, 7847      8: 0, 7847
9: 0, 7847      10: 0, 7847     11: 0, 7847     12: 0, 7847
13: 0, 7847     14: 0, 7847     15: 0, 7847     16: 0, 7847
17: 0, 7847     18: 0, 7847     19: 0, 7847     20: 0, 7847
108: 0, 7847    109: 0, 7847    110: 0, 7847    111: 0, 7847
112: 0, 7847    113: 0, 7847    114: 0, 7847    115: 0, 7847
116: 0, 7847    117: 0, 7847    118: 0, 7847    119: 0, 7847
120: 0, 7847    121: 0, 7847    122: 0, 7847    123: 0, 7847
124: 0, 7847    125: 0, 7847    126: 0, 7847    127: 0, 7847
RY

RT: 6499
0: 12390, 0
1: 0, 7847      2: 0, 7847      3: 0, 7847      4: 0, 7847
5: 0, 7847      6: 0, 7847      7: 0, 7847      8: 0, 7847
9: 0, 7847      10: 0, 7847     11: 0, 7847     12: 0, 7847
13: 0, 7847     14: 0, 7847     15: 0, 7847     16: 0, 7847
17: 0, 7847     18: 0, 7847     19: 0, 7847     20: 0, 7847
108: 0, 7847    109: 0, 7847    110: 0, 7847    111: 0, 7847
112: 0, 7847    113: 0, 7847    114: 0, 7847    115: 0, 7847
116: 0, 7847    117: 0, 7847    118: 0, 7847    119: 0, 7847
120: 0, 7847    121: 0, 7847    122: 0, 7847    123: 0, 7847
124: 0, 7847    125: 0, 7847    126: 0, 7847    127: 0, 7847
RY

```

图 4-12 超级终端显示的调试结果

4.3.4 PC 演示软件设计

由于本系统是实时数据采集分析系统,系统开机后连续不停的对信号进行采样并谐波

分析, 因此结果数据是不停输出的, 在超级终端中数据不停刷屏, 为了方便观察谐波测量结果和实验演示, 本课题除了完成嵌入式系统的软硬件设计之外, 还包括一个运行在 PC 平台的电力谐波分析结果显示终端的软件开发工作。

此显示终端软件基于微软 VC 平台开发, 主要包括一些串口通信, 数值计算和界面显示的工作, 软件界面和工作过程中的截屏如图 4-13。

谐波次数	电压 (V)	相位 (度)
直流	0.001	0.024
1次	220.040	10.019
2次	9.353	19.960
3次	18.492	30.125
4次	20.043	40.037
5次	3.014	50.148
6次	1.862	60.156
7次	6.212	70.266
8次	0.623	80.269
9次	10.280	90.259
10次	1.548	100.12
11次	3.097	109.68
12次	1.000	119.52
13次	2.510	130.23
14次	0.003	140.34
15次	0.002	149.40
16次	0.002	162.80
17次	0.001	168.94
18次	0.001	180.05
19次	0.003	189.34
20次	0.002	199.94

图 4-13 电力谐波分析结果显示终端

4.4 谐波分析结果

在全部系统调试成功后, 根据电网的实际情况, 采用电力信号发生器的数据输出作为测试源, 设定了基波和其13次以上的谐波的幅值和相位, 对本课题所设计的数据采集分析系统进行了测量实验, 实验指主要分为两组进行, 第一组实验谐波分析模块采用加矩形窗后FFT, 可以认为就是普通的FFT谐波分析方式, 而第二组实验采用加Blackman窗后FFT, 测量结果如表4-2。从结果来看, 普通FFT对谐波参数的估计明显不如基于Blackman窗函数的FFT算法。基于普通FFT算法的幅值和相位的估计由于和实际值相差较大, 不符合国家标

准^[32]; 而基于Blackman窗函数的FFT算法对于幅值和相位的估计, 分析精度控制在0.5% 以内, 完全符合国家标准。

谐波	幅值估计结果					相位估计结果				
	设定值	矩形窗算法		Blackman 算法		设定值	矩形窗算法		Blackman 算法	
		估计值	偏差/%	估计值	偏差/%		估计值	偏差/%	估计值	偏差/%
1	220.0	196.05	-10.886	220.040	0.018	10	49.354	393.540	10.019	0.190
2	9.34	8.512	-8.866	9.353	0.139	20	254.230	1171.15	19.960	-0.200
3	18.5	17.825	-3.649	18.492	-0.043	30	356.526	1088.42	30.125	0.417
4	20.0	19.372	-3.140	20.043	0.215	40	281.356	603.39	40.037	0.093
5	3.0	2.524	-15.867	3.014	0.467	50	124.756	149.512	50.148	0.296
6	1.86	1.569	-15.645	1.862	0.108	60	262.245	337.705	60.156	0.260
7	6.2	6.585	6.210	6.212	0.194	70	52.757	-24.632	70.266	0.380
8	0.62	0.456	-26.452	0.623	0.484	80	257.515	221.894	80.269	0.336
9	10.3	9.114	-11.515	10.280	-0.194	90	329.625	266.25	90.259	0.288
10	1.55	1.220	-21.290	1.548	-0.129	100	246.295	146.295	100.12	0.120
11	3.1	2.443	-21.194	3.097	-0.097	110	104.765	-4.759	109.68	-0.290
12	1.0	0.550	-45.0	1.000	0.000	120	98.432	-17.973	119.52	-0.400
13	2.5	2.856	14.24	2.510	0.400	130	65.354	-49.728	130.23	0.177

表 4-2 两种加窗 FFT 算法谐波分析的结果比较

第五章 总结与展望

相比传统的数据采集分析系统,本文所设计的系统的创新之处在于采用了Xilinx公司的SOPC作为系统构架,通过Xilinx公司提供的EDK(嵌入式系统开发套件),可以在参数化的图形界面下方便地完成嵌入式软处理器系统的设计。其突出的优点,一是设计灵活性强,用户可自由配置系统的各种接口模块,从而使得系统的可扩展性强;二是可以整合用户自定义IP核,使得谐波分析算法可以在硬件中并行地执行而不是在软件中串行执行,从而极大地加速软件的执行速度,即所谓的硬件加速,提高系统的实时性。从而用户可以一方面针对具体应用对嵌入式系统进行“量体裁衣”式的设计;另一方面,利用SOPC特有的总线接口技术,实现嵌入式软核处理器系统与用户自定义的IP的整合,在不提高系统主频的前提下,通过部分功能的硬件实现来提升系统的性能。实验表明该系统可以完成数据采集分析以及数据结果传输等功能,且分析精度可靠。

当然,本系统目前还存在着许多不足或可以进一步创新发展的方面,有待下一阶段解决:

- 1) 为进一步提高分析精度,谐波分析算法可以考虑使用小波或小波包变换代替FFT算法,这部分需要研究小波算法的FPGA实现。
- 2) 目前处理结果是通过串口送出;速度较低,可以考虑利用系统的以太网接口,软件编程实现以太网数据传输。
- 3) MicroBlaze支持实时嵌入式操作系统,可以进一步移植uC/OS或Linux操作系统到系统中,在此之上移植TCP/IP协议等,实现一些高级功能的开发。

致谢

在本论文即将完稿之际，首先我要衷心感谢我的导师龚建荣副教授。龚老师高瞻远瞩的科研思想和对本专业当前发展新动向的深刻理解使我在理论知识的学习和科研开发的实践中找到了明确的方向，而他平日对我的悉心指导和其独特的培养方式又给我的理论学习和科研实践提供了一个自由而又广阔的空间。另外我也要特别感谢李晓飞老师对我科研学习生活的关心和支持，李老师严谨的科研态度和其超凡的耐心使我受益匪浅。两位老师平易近人的为人作风和乐观开朗的人生态度将永远感染和激励着我。

感谢身边的各位研究生兄弟姐妹，近三年的共同学习生活让我们对彼此有着更深刻的印象和感觉，作为人生成长的重要阶段，你们为我的生活增添了许多色彩，我在研究生阶段的每一点进步都和你们的关心支持分不开。

感谢国网南京自动化研究院研发中心项目组的全体同事，感谢他们对我的毕业设计给予足够的科研时间和充分的技术配合。

感谢我的朋友 gog, loderstar, mickycat 对我的技术支持。

感谢安富利公司 FAE，也是我的大师兄蔡健龙先生对我的技术支撑。

最后，我要深深地感谢我的父母，感谢他们多年来对我的培养和教育使我养成良好的世界观和价值观，指引我走上了正确的人生道路。

徐建松

2008.03

参考文献

- [1]. 王海涛, 石刚, 张慧琦. 电力系统谐波分析. 《黑龙江电力》2002.6
- [2]. 田小林, 王建华, 刘红军. 一种基于单片机和FPGA的电力系统谐波分析方法. 《电测与仪表》2004.2
- [3]. 杨润贤, 郑恩让. 基于嵌入式和DSP 的电力谐波分析仪的设计. 《计算机测量与控制》2006.10
- [4]. 刘玉华, 郭文彬, 徐雷钧, 白雪. 基于FPGA的嵌入式电网参数监测系统设计. 《电测与仪表》2006.8
- [5]. 李海港, 任子晖. CPLD 在多功能谐波分析仪设计中的应用. 《工矿自动化》2006.2
- [6]. 刘隽 唐雄民 彭永进. 基于FPGA 的新型谐波分析仪设计. 《单片机与嵌入式系统应用》2004.3
- [7]. 陈佩青. 《数字信号处理教程》(第二版). 清华大学出版社
- [8]. 杨拴科, 何卫锋. 非同步采样对电力系统谐波分析精度影响的仿真研究. 《电工技术杂志》2003年第5期
- [9]. 梅红伟, 纪延超. 改善电力系统谐波分析的加窗插值算法和递推傅氏算法. 《继电器》2004.12
- [10]. 裴亮, 李晶, 郭发东等. 电力系统谐波分析中Hanning窗插值算法的应用. 《山东科学》. V01.18 No.5. Dec.2006
- [11]. 周 俊, 王小海, 祁才君. 基于Blackman窗函数的插值FFT在电网谐波信号分析中的应用. 《浙江大学学报(理学版)》. vol. 33 NO. 6Nov. 2006
- [12]. 李红伟, 李在玉, FFT分析电力系统谐波的加窗插值算法. 《电工技术杂志》2004年第10期
- [13]. 张伏生, 耿中行, 葛耀中. 电力系统谐波分析的高精度FFT算法. 《中国电机工程学报》1999.3
- [14]. 庞浩, 李东霞, 俎云霄, 王赞基. 应用 FFT进行电力系统谐波分析的改进算法. 《中国电机工程学报》2003.6
- [15]. 刘敏, 王克英. 基于加窗双峰谱线插值的高精度 FFT 谐波分析. 《电测与仪表》, 2006年第3期, 总第43卷, 第483期。

- [16]. 李庚银, 陈志业, 宁宇. 快速傅立叶变换的两种改进算法[J]. 电力系统自动化, 1997, 21(12):37~40
- [17]. K. P. Sozanski, *Member, IEEE*, and Z. Fedyczak, *Member, IEEE*, Active Power Filter Control Algorithm Based on Filter Banks, 2003 IEEE Bologna PowerTech Conference
- [18]. Jun-Zhe Yang, *Member, IEEE*, Chi-Shan Yu, and Chih-Wen Liu, *Senior Member, IEEE*, A New Method for Power Signal Harmonic Analysis, IEEE TRANSACTIONS ON POWER DELIVERY, VOL. 20, NO. 2, APRIL 2005
- [19]. Fusheng Zhang, Zhongxing Geng, and Wei Yuan, The Algorithm of Interpolating Windowed FFT for Harmonic Analysis of Electric Power System, IEEE TRANSACTIONS ON POWER DELIVERY, VOL. 16, NO. 2, APRIL 2001
- [20]. 梁玉娟, 李群湛, 赵丽平. 基于小波分析的电力系统谐波分析. 《电力系统及其自动化学报》, 2003年12月第15卷第6期
- [21]. 薛蕙, 杨仁刚, 罗红. 利用小波包变换实现电力系统谐波分析. 《电网技术》, 2004.3, Vol.28 No.5 .
- [22]. 王小华, 何怡刚. 基于神经网络的电力系统高精度频率谐波分析. 《中国电机工程学报》 Vol.27 No.34 Dec.2007
- [23]. 16-Bit, 500kSPS, microPower Sampling ANALOG-TO-DIGITAL CONVERTER, Texas Instruments Incorporated
- [24]. Fast Fourier Transform v5.0 Product Specification, Xilinx
- [25]. CORDIC v3.0 Product Specification, Xilinx
- [26]. 唐思章 黄勇, SoPC与嵌入式系统软硬件协同设计, 《单片机与嵌入式系统应用》2005年12期
- [27]. MicroBlaze Processor Reference Guide v8.0, Xilinx
- [28]. Spartan-3E FPGA Family:Complete Data Sheet, Xilinx
- [29]. XPS 16550 UART (v1.00a) Product Specification, Xilinx
- [30]. XPS Ethernet Lite Media Access Controller (v1.00a) Product Specification, Xilinx
- [31]. Platform Studio User Guide, Xilinx
- [32]. GB / T 15945-1995. 电能质量: 电力系统频率允许偏差[S]. 北京: 中国标准出版社, 1995.

附录 I 程序清单和实验资料

实验资料

开发平台及实验工具

1. Xilinx Spartan-3E FPGA 信号采集板
2. Windows XP sp2
3. Xilinx ISE 9.2
4. Xilinx EDK 9.2
5. Modelsim SE 6.2b
6. SecureCRT 串口调试工具
7. ChipScope Pro 9.2
8. Xilinx USB 下载电缆
9. 泰克数字示波器
10. 稳压电源
11. 电网信号仿真仪器

程序清单

1. daa.v 谐波采集分析顶层模块程序
2. d_acquisition.v AD 采样控制程序
3. d_analysis.v 谐波分析顶层模块程序
4. daa_bram_ctrl.v BRAM 接口控制程序
5. fft_512_core.v FFT 程序
6. translate.v 计算幅值和相位的程序
7. daa_tb.v 谐波采集分析模块 TestBench
8. daa_sys.ucf FPGA 约束文件
9. daa_app.c 应用软件程序
10. daa_sys.mhs SOPC 硬件描述文件
11. daa_sys.mss SOPC 软件描述文件

附录 II 硕士研究生期间发表的论文

1. 徐建松, 龚建荣.《基于FPGA的E1速率光纤同步通信接口的设计与实现》.计算机与通信学术年会, 2007
2. 曹团结, 徐建松, 尹项根, 等.《光纤差动保护插值法数据同步的实现》.继电保护及自动化(增刊).2007

高精度实时数据采集分析芯片的设计与实现

作者: [徐建松](#)
学位授予单位: [南京邮电大学](#)

本文链接: http://d.g.wanfangdata.com.cn/Thesis_Y1411273.aspx