

摘要

随着集成电路尺寸的进一步缩小, 纳米尺度的 CMOS 器件面临的技术挑战和物理问题已成为当前迫切而重要的研究课题, 其中由于高 k 介质薄膜的优异物理特性和引人瞩目的应用前景, 当前的高 k 介质薄膜研究已经成为了微电子领域中的一大热点。本文利用原子层沉积技术制备了高质量的高 k 介质薄膜, 并结合微纳加工技术研究了其在生物微流体和微电子场效应管器件中的应用。

首先, 采用原子层沉积技术制备出 Al_2O_3 和 HfO_2 介电薄膜, 利用原子力显微镜对其表面形貌进行了表征, 研究了沉积温度和膜厚对其表面粗糙度的影响和规律。此外, 研究了两种薄膜的介电特性和漏电及击穿特性, 结果表明利用原子层沉积制备的的介质薄膜具有较高介电常数 ($10\sim 20$), 极低的漏电流 (电压为 18V 时小于 $1\ \mu\text{A}/\text{cm}^2$) 和较高击穿电压 (高于 65V), 是理想的栅介质层。

其次, 利用原子层沉积系统生长的 Al_2O_3 薄膜充当栅介质层, 制备出顶栅结构的 ZnO 纳米线场效应管, 研究其输出特性。场效应管性能测试结果表明 Al_2O_3 薄膜充当栅介质层可以大幅度降低器件的工作电压, 使其工作在 5V 以内, 进一步可以有效降低电路的功耗。

最后, 利用原子层沉积的介质薄膜具有表面平整性, 一致性和保型性等众多优点, 研究其在生物微流道器件中的应用。利用聚焦离子束刻蚀在 Si_3N_4 薄膜上制做纳米孔, 通过原子层沉积生长的 Al_2O_3 薄膜来修饰纳米孔, 使其孔洞周围的噪声特征减小, 同时缩小孔洞, 使尺寸达至微流体器件应用于检测、传感生物大分子领域中的要求。研究表明, 通过优化制备工艺, 可以将直径为 30nm 的固态纳米孔缩小 $1/3$ 。

关键词: 高 k 介质薄膜, 表面粗糙度, 纳米孔, ZnO, 场效应管

Abstract

As the feature size of integrated circuits shrinks down to submicro regime, the technologies and physics problem challenging the fabrication of CMOS device at the nanoscale have been urgent and important task. Recently, research of high k dielectric film has become a hotspot in the field of microelectronics, duo to the great properties and attracting application prospect. In this thesis, good quality high k dielectric film has been synthesized, and the applications in biology and microelectronics field have also been investigated.

First, Al_2O_3 and HfO_2 film are synthesized utilizing atomic layer deposition technique, the surface topography and constituent of which is characterized by the atomic force microscope and energy dispersive spectrum, the effect of deposition temperature and film thickness on the surface roughness is also analyzed. Besides, the dielectric property of the film capacitor has been investigated and could be as an appropriate gate dielectric film due to its high permittivity (10~20); and much low leakage current ($1 \mu\text{A}/\text{cm}^2$ at 18V) and high break down voltage (over 65V).

In addition, the ZnO NW field-effect-transistor with top gate structure is fabricated using Al_2O_3 film as gate dielectric layer, the out characateristics is also investigated. The test results show that the devices with Al_2O_3 film as gate dielectric layer can reduce the working voltage largely below 5V, in order to reduce the power dissipation effectively.

Further more,as the film deposited with atomic layer deposition system (ALD) have many advantages, such as uniformity, conformality and so on, therefore, we try to deposit Al_2O_3 film to ameliorate the surface around the opening pore and shrink the size of the solid state pore for biomacromolecule detection. Before that, the fabrication process conditions of nanopore on Si_3N_4 film are optimized and finally a solid state nanopore with diameter of 6 nm is fabricated.

Key words: High-k dielectric flim, surface roughness, nanopore, ZnO, field effect transistor

西北大学学位论文知识产权声明书

本人完全了解西北大学关于收集、保存、使用学位论文的规定。学校有权保留并向国家有关部门或机构送交论文的复印件和电子版。本人允许论文被查阅和借阅。本人授权西北大学可以将本学位论文的全部或部分内容编入有关数据库进行检索，可以采用影印、缩印或扫描等复制手段保存和汇编本学位论文。同时授权中国科学技术信息研究所等机构将本学位论文收录到《中国学位论文全文数据库》或其它相关数据库。

保密论文待解密后适用本声明。

学位论文作者签名：姚宗妮 指导教师签名：王善敬

2010年6月18日

2010年6月18日

西北大学学位论文独创性声明

本人声明：所呈交的学位论文是本人在导师指导下进行的研究工作及取得的研究成果。据我所知，除了文中特别加以标注和致谢的地方外，本论文不包含其他人已经发表或撰写过的研究成果，也不包含为获得西北大学或其它教育机构的学位或证书而使用过的材料。与我一同工作的同志对本研究所做的任何贡献均已在论文中作了明确的说明并表示谢意。

学位论文作者签名：姚宗妮

2010年6月18日

第一章 绪论

1.1 高 k 薄膜材料的兴起

几十年来, CMOS 集成电路自从问世以来, 一直遵循摩尔定律不断发展。通过缩小器件尺寸, 不断提高集成度(如图 1)。20 世纪 70 年代, MOS 晶体管的沟道长度(栅长)从十几微米逐步缩小到几微米; 80 年代, 又从几微米缩小到 $1\ \mu\text{m}$ 左右; 到 90 年代, 则从亚微米进入到深亚微米范围。近几年已有很多文章报道了小于 100 纳米的 MOS 器件的研究和制作^[1]。从目前的发展预测, 在 21 世纪的前 10 年, CMOS 器件的特征尺寸将从几百纳米缩小到几十纳米。美国半导体工业协会(SIA)在 1997 年制定的“国家半导体发展规划”中预测, 到 2010 年, 器件特征尺寸将缩小到 70 nm 以下, DRAM 的集成度将达到 64 Gbit, 微处理器的集成度将达到 800 M。研究进入纳米尺度的 CMOS 器件面临的技术挑战和物理问题已成为当前迫切而重要的研究课题。

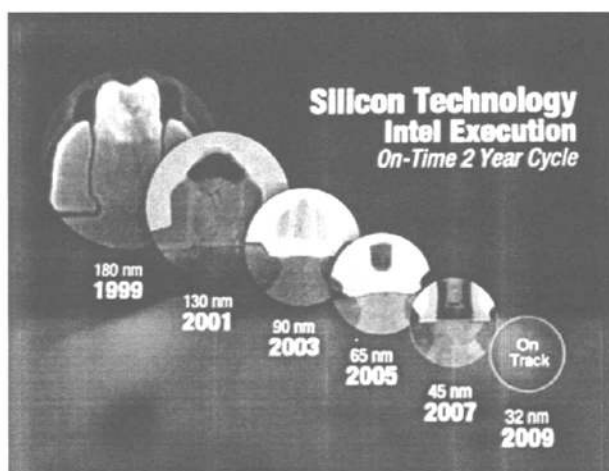


图 1 逐渐缩小的 CMOS 器件尺寸

随着微电子器件尺寸的进一步缩小, 技术上会对器件栅极介质层提出更高的要求。从栅极电容的公式 $C = \epsilon_r S / 4\pi k d$ 中我们可以看出, 由于器件尺寸的进一步缩小, 当器件尺寸进入到亚微米($0.1\ \mu\text{m}$)尺度范围内时, 为了保证栅对沟道的控制不会减弱(栅极电容不变), 如果仍然采用传统的 SiO_2 或氮氧化硅作为栅绝缘介质层, 其厚度将小于 3 nm, 在这样的条件下, 由于随着介质层厚度的减小, 直接隧穿电流是指数性增加的, 于是栅与沟道间的直接隧穿将变得非常显著, 这会减弱栅极对沟道的控制, 并且增加器

件的功耗, 这将限制了微电子技术的进一步发展。因此减少栅介质厚度不是提高栅极电容的唯一有效的方法。我们还知道, 栅极电容不仅取决于栅极表面积和栅介质厚度, 还取决于栅介质的介电常数, 在不影响栅对沟道的控制的情况下, 使栅介质厚度保持不变, 提高栅介质的介电系数 k 也可达到降低等效氧化物厚度 (EOT) 及增加栅极电容的效果。因此采用高介电常数的新型绝缘介质材料 (简称高 k 材料) 可以满足这种需求^[2]。在保证对沟道有相同控制能力 ($C=\epsilon_r S/4\pi k d$ 相同) 的条件下, 采用高 k 材料, 栅绝缘介质层介电常数的增加可以容许栅介质层的物理厚度 d 的增大, 于是栅与沟道间的直接隧穿电流将大大减小, 从而不会影响器件的性能。因此用新一代高 k 栅介质材料取代 SiO_2 材料充当介质层成为当前微电子领域中的一个热点。

1.2 高 k 薄膜材料的研究进展

高介电常数材料 (高 k 材料) 通常是介电常数大于二氧化硅 ($k=3.9$) 的介电材料的泛称。常用的高 k 材料因物理特性、化学组成不同可以大致分为 3 类: 铁电材料、金属氧化物、氮化物。由于制备方法、工作条件、材料中各元素组分等不同因素的影响, 同一类材料的介电常数也有所不同。虽然高介电常数的氧化物材料很多但是能够满足栅介质要求的高介电常数材料并不多, 表 1 列出了主要的高介电常数栅介质材料的性质, 其中除介电常数外, 材料的带隙和与硅的导带间距也会对其在器件中的应用产生影响。

表 1 部分栅介质材料的性质

材料	介电常数	带隙 E_g / eV	与硅的导带间距 $\Delta E_c / eV$	晶体结构
SiO_2	3.9	8.9	3.2	无定形
Si_3N_4	7	5.1	2.4	无定形
Al_2O_3	9	8.7	2.8	无定形
Y_2O_3	15	5.9	2.3	立方结构
La_2O_3	30	4.3	2.3	六方结构
Ta_2O_5	26	4.3	0.3	正交结构
TiO_2	80	3.5	1.2	四方结构
HfO_2	25	5.9	1.5	四方结构
ZrO_2	25	5.8	1.4	四方结构

近年来，高介电常数材料在微电子技术领域中的应用研究已经取得较大的进展。^[3,4,5,6]其中 Al_2O_3 、 TiO_2 被作为可以替代 SiO_2 的栅介质材料得到广泛的研究，而 SrTiO_3 、 Ta_2O_5 等高 K 材料则被考虑应用在存储器件中，此外， HfO_2 和 ZrO_2 作为栅介质材料的研究也引起极大关注。

由表 1 可见， Al_2O_3 具有大的带隙和势垒高度、与 Si 在高温下的稳定性好，以及在整个工艺过程中始终为非晶态等优点，但是其介电常数只有 8~10，只能适于未来 1~2 代的技术需求。利用热氧化已经制成了 $\text{EOT}=9.6 \text{ \AA}$ ，实际物理厚度为 21 \AA 的 Al_2O_3 栅介质薄膜，其界面态密度为 $D_{it} \geq 3 \times 10^{10} \text{ cm}^{-2} \cdot eV^{-1}$ ，薄膜中存在负的固定电荷，平带电压的偏移为 $\Delta V_{fb} \approx +600 \text{ mV}^{[7]}$ 。利用该栅介质制成的 MOSFET 具有好的晶体管特性，尤其是应力感应的泄露电流效应 (SILC) 很低。在标准的 CMOS 工艺中，利用原子层沉积 (ALD) 的 Al_2O_3 作为栅介质层制备了沟长 80 nm 的 MOSFET，其 $\text{EOT}=13 \text{ \AA}$ ，采用多晶硅栅电极，在后续的快速热杂质激活工艺的温度 $T > 1000 \text{ }^\circ\text{C}$ 的情况下，栅电流 $J \sim 10^{-1} \text{ A/cm}^2$ (在 $V_{bias} = V_{fb} + 1V$ 时)，比相同 EOT 的 SiO_2 栅介质时的栅电流降低了两个数量级^[8]。但是由于界面态密度较高，在等效电场为 1 MV/cm 的条件下采用 Al_2O_3 作为栅介质的 MOSFET 的迁移率只是 SiO_2 栅介质 MOSFET 的一半。而且实验表明 Al_2O_3 中的固定电荷量还与介质膜的厚度有关，固定电荷随着介质膜的减薄而增加。并且，研究也表明，在杂质激活退火过程中，ALD 的 Al_2O_3 无法阻止硼的扩散，而且磷在其中也有显著的扩散，并会引入负的固定电荷^[9]。

TiO_2 作为存储电容的介质和栅介质，其最诱人的特点是介电常数高达 80~110^[11]。但 TiO_2 在 Si 上不是热动力学稳定的，必须考虑 TiO_2 与 Si 沉底及多晶硅栅电极之间的界面反应问题。利用 EOT 小于 2 nm，实际物理厚度在 8~12 nm 的 TiO_2 薄膜已经制成了器件，其漏电流等特性与沉积方法和后续的工艺过程密切相关。Campbell^[10]等首先报道了利用 TiO_2 作为栅介质，利用 Pt 作为栅电极的长沟 MOSFET，其亚阈值电压摆幅在 83~91 mV/dec.，但迁移率只有 $160 \text{ cm}^2/V \cdot s$ 。Ma 等人在用 CVD 方法制备 TiO_2 薄膜以后，在 $200 \text{ }^\circ\text{C}$ 的等离子 O_3 气氛下处理，并在 N_2O 和 O_2 气氛下快速热退火，减少了 TiO_2 与 Si 之间的界面反应，使漏电流降低了四个数量级。但由于多晶态的 TiO_2 薄膜的厚度不均匀以及界面的粗糙，所制成的沟长为 $0.5 \text{ }\mu\text{m}$ 的 MOSFET 的驱动电流在 $V_G=1.2 \text{ V}$ ， $V_D=1 \text{ V}$ 时只有 $40 \text{ }\mu\text{A}/\mu\text{m}$ 。

在III B族金属氧化物中,研究了 Y_2O_3 、 La_2O_3 和 Pr_2O_3 ^[11]。 Y_2O_3 的介电常数为 12~20, 比 Al_2O_3 要大。利用分子束外延(MBE)获得了 $EOT=10\sim 15 \text{ \AA}$ 的 Y_2O_3 介质薄膜^[1], 介电常数约为 12。其漏电流为 $10^{-6}\sim 10^{-3} \text{ A/cm}^2$ 。其漏电流的大小与薄膜的晶体结构、沉积条件和后续的退火等相关。而且非晶介质薄膜的漏电流要低一些。通常的界面态密度为 $D_{it} < 10^{12} \text{ cm}^{-2} \cdot eV^{-1}$ 。利用热氧化 La, 曾得到了 $EOT=4.8 \text{ \AA}$, 物理厚度为 33 \AA 的 La_2O_3 介质薄膜^[1], 其泄露电流密度 $J \sim 10^{-1} \text{ A/cm}^2$ (在 $V_{bias}=1V$ 时), $D_{it} = 3 \times 10^{10} \text{ cm}^{-2} \cdot eV^{-1}$ 。利用 Al 栅制成的长沟 MOSFET 性能良好, 亚阈值电压摆幅为 75 mV/dec. , 高场 (1 MV/cm) 下的迁移率大于 $300 \text{ cm}^2/V \cdot s$, 平带电压的偏移为 $+700 \text{ mV}$ 。但是由于 La 很活泼, La_2O_3 吸潮, 介质薄膜暴露在空气中将带来某些无法控制的反应, 因此限制了 La_2O_3 作为栅介质在微电子技术中的应用。

III-V B族的 HfO_2 和 ZrO_2 在 Si 上是热动力学稳定的, 由表 1 可以看出, 它们基本符合栅介质材料的要求, 被认为是很有希望替代 SiO_2 的高介电常数介质材料, 受到了广泛的重视, 成为近两年来高介电常数栅介质材料研究的重点。但是这两种介质材料均存在较高温度下容易晶化, 从而使漏电流增加的缺点。通常, 未掺杂的 ZrO_2 在 $400 \text{ }^\circ\text{C}$ 下便开始晶化。并且, 由于氧在 ZrO_2 和 HfO_2 薄膜中扩散的很快, 在沉积过程和后续退火等工艺中极容易形成界面过渡层, 从而降低总的介电常数, 影响 EOT 的减小。利用 ALD 法已制成了 EOT 小于 1.4 nm 的 ZrO_2 栅介质层, 在 $V_G-V_{fb}=1V$ 时的漏电流密度为 $2 \times 10^{-4} \text{ A/cm}^2$, 其平带电压为 -600 mV 。利用溅射法和 Pt 沉积也制备了 ZrO_2 和 HfO_2 栅介质的 MOSFET。通常 HfO_2 在 Si 上的热稳定性要优于 ZrO_2 。通过首先在 Si 沉底上溅射金属 Hf, 随后在 Ar/O_2 气氛中反应溅射 Hf 的方法, 制成了 EOT 为 11.5 \AA 的 HfO_2 介质薄膜(采用了 Pt 电极), 在 $V_G-V_{fb}=1V$ 时的漏电流为 $1 \times 10^{-2} \text{ A/cm}^2$ 。但其击穿场强只有 4 MV/cm 。利用相同的工艺也制成了 EOT 为 1.6 nm 的 ZrO_2 介质薄膜(采用 Pt 电极), 在 $V_G-V_{fb}=0.5V$ 时的漏电流为 $3 \times 10^{-2} \text{ A/cm}^2$ 。平带电压的漂移在 $+200\sim +300 \text{ mV}$, 界面态密度 $D_{it} = 10^{11} \text{ cm}^{-2} \cdot eV^{-1}$ 。

可见, 不同的高 K 介质材料在器件应用的过程中具有各自的优点, 同时也有它们的局限性, 因此, 如何利用不同的制备方法和工艺手段取长补短, 在不同功能器件中发挥出其特长和优势是高 K 介质材料应用的关键。

1.3 高 k 薄膜材料的制备技术与应用

高 k 薄膜材料自从兴起以来,主要用于信息储存的 DRAM 的电容介质和 MOSFET 的栅介质(如图 2),二者对材料的要求不同。前者要求介质所覆盖的孔洞其深宽比高达 100:1,互连扩散阻挡层也变得越来越薄,不仅如此,还要求介电常数高,通常在几百到上千数量级,除此之外,还需满足漏电流低、介电损耗小、击穿电压高、翻转时间短、耐疲劳性能好等要求。这些苛刻的要求,一般的薄膜沉积技术是达不到的。而后者的 k 值却不能过高,最好在几十到一百之间,因为 k 值过高,即材料的物理厚度太厚,会产生边缘电场效应,在工艺生产中将出现光刻深度及布线时的爬坡等问题;当然 k 值太低,则体现不出新型栅介质的优越性。用于 DRAM 的电容介质对界面质量要求不是很严格,通常控制界面反应的目的是使材料保持总的高有效介电常数。而 MOSFET 用栅介质则对界面的质量要求非常高,这是因为界面粗糙度的增加会使载流子在界面的散射增加,降低了载流子迁移率。此外,高 k 材料作为高质量栅介质材料的基本要求除了介质材料的介电常数尽可能大外,首先为了防止沿晶粒间界的输运,希望栅介质材料在器件制作工艺过程中始终能够保持为非晶态;另外介质材料在 Si 衬底上必须是热动力学稳定的;同时为了降低栅的漏电流,栅介质材料的禁带宽度应该尽可能的大;更重要的是希望栅介质材料与 Si 的导带/价带间的势垒要大 ($>1\text{eV}$)。此外,为了保证器件性能,还要求减少界面的过顶电荷和缺陷态。参见表 2。

表 2 高介电常数栅介质材料的基本要求

要求	原因
始终是非晶态	减少漏电流
与 Si 有好的热稳定性	保持好的材料特性
高介电常数	增加栅介质层的物理厚度
低的缺陷态密度 $D_u \leq 2 \times 10^{11} \text{ cm}^{-2} \cdot \text{eV}^{-1}$	提高性能
大的带隙,高的势垒高度	降低隧穿电流
低的固定电荷密度	提高性能

由此可知,高 k 薄膜材料无论是作为 DRAM 的电容介质层还是作为 MOSFET 的栅介质层,对其薄膜性能的要求都是相当高,因此也对高 k 薄膜的制备技术提出了更高

的挑战。目前,已报道了多种高K薄膜材料的制备技术方法,如电化学沉积、溶胶-凝胶法、化学气相沉积、射频和直流溅射、分子束外延、电子束蒸发、原子层沉积等。由于不同的应用领域对高K介质材料的要求不同,制备方法也有所不同,而制备方法是影响高k介质结构和性能的重要因素,但是无论采用哪一种制备技术,其制备出的介质薄膜除了达到需要的介电常数,其低薄膜表面粗糙度、颗粒度和高致密度也是判断其薄膜质量的重要标准。按照高K介质层的高性能要求,在上述的沉积方法中,原子层沉积方法则是最具优势的制备高k介质薄膜方法。原子层沉积((Atomic Layer Deposition, ALD))方法是近年来发展起来的新型薄膜沉积技术,它基于自限制生长原理,可以在低温下以单原子层控制精度,在衬底上实现大面积均匀薄膜的生长。由于沉积薄膜的厚度跟温度、压力、气体流量以及流动的均匀性、化学原料的损耗、时间等多种因素有关,因此相对于传统的沉积工艺而言,ALD在膜层的薄膜厚度均匀性、厚度控制、薄膜密度、界面质量、保形性、台阶覆盖率、低温沉积以及工业适用性等各方面都具有明显的优势。而这些优势均源于ALD工艺中两个最为重要的工艺基础:表面反应的互补性与自限制性。因此,原子层沉积技术尤其适合高质量高K介质薄膜的沉积,因而成为当前沉积高k薄膜材料中应用最为广泛的方法。

利用原子层沉积方法沉积高质量的高k薄膜材料,除了在器件中作为高k栅介电层的应用外,还可以利用其均匀性、保形性、阶梯覆盖率好的特点,并发挥精确控制其膜厚的优势,应用到其它领域,如例如,生物大分子传感领域中,可以作为微流体器件中纳米孔的表面涂层处理; MEMS 微机电系统中可作为三维空间及外延薄膜材料;光学领域中可用于抗反射涂层、和薄膜电致发光元件和防紫外线材料、和激光器材料;还可用于太阳能电池中的过渡层的沉积。

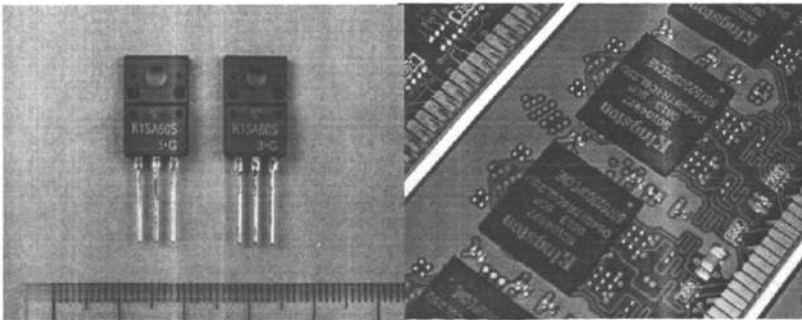


图2 高k介质的器件应用

1.4 论文的研究目的和内容

综合前面对高 k 薄膜材料的介绍可以看出，由于微电子领域中集成电路尺寸的不断缩小，而产生了隧穿电流过大，栅控制力下降的问题，传统的 SiO_2 栅介质层已经不再满足于工业领域中的需求，因此采用高 k 材料来代替较低介电常数的栅介质层成为国际上的又一个研究热点。

然而对高 k 薄膜材料的研究仍存在着问题，如：

1、首先是高 k 薄膜的制备问题，由于高 k 薄膜材料的诸多要求，如介电常数尽可能大，介质材料在 Si 衬底上必须是热动力学稳定的；为了防止沿晶粒间界的输运，希望栅介质材料在器件制作工艺过程中始终能够保持为非晶态，同时为了降低栅的漏电流，栅介质材料的带隙应该尽可能地大；更重要的是希望栅介质材料与 Si 的导带/价带间的势垒要大 ($>1\text{eV}$)。此外，为了保证器件性能，还要求减少界面的过顶电荷和缺陷态，因此如何成功的制备满足要求的高 k 薄膜就显得至关重要。

2、目前的场效应管中的栅介质层大都是 SiO_2 薄膜，但是由于器件的尺寸的缩小，其应用局限性也越来越凸显出来，因此利用高 k 介质薄膜材料替代 SiO_2 薄膜作做栅介质层，是未来的一种趋势，然而利用高 k 介质薄膜作为栅介质制备场效应管研究其特性并没有太多的文献报道，关于这个领域仍需要深入的研究。

3、除了微电子领域中的应用，原子层沉积高 k 介质薄膜在其他领域也有着广泛的应用，例如 MEMS 微机电系统中可作为三维空间及外延薄膜材料；光学领域中可用于抗反射涂层、和薄膜电致发光元件和防紫外线材料、和激光器材料；还可用于太阳能电池中的过渡层的沉积等。但关于原子层沉积高 k 薄膜在微流体器件中的应用还是一个空白。

针对上述问题，本文对原子层沉积高 k 薄膜制备及在纳米器件中的应用进行了研究。其主要内容如下：

第一章，介绍了高 k 薄膜材料概念、兴起、研究进展及在微电子领域、生物传感器领域中的应用。

第二章，针对高 k 薄膜的制备问题，介绍了利用原子层沉积技术制备高 k 薄膜材料的原理，并依据 AFM 对薄膜表面形貌的表征和薄膜介电常数的测量，研究了制备高质量、高介电常数的薄膜的制备工艺。

第三章，针对高 k 介质薄膜作为栅介质制备场效应管的研究鲜有报道，我们成功制

备了 ZnO 纳米线一维结构，并实现了 Al_2O_3 薄膜充当栅介质层的 ZnO 纳米线场效应管的制备和输出特性的测量，并从实验上证实了高 k 薄膜材料作为栅介质的优越性。

第四章，针对高 k 薄膜在微流体器件中应用的空白，我们研究了高 k 薄膜在微流体器件中的重要组成部分的应用，如纳米孔尺度的缩小以进行筛选、引导、定位、测量纳米尺度的生物大分子。首先，我们探索了利用聚焦离子束制备固态绝缘纳米孔的最优工艺条件，其次，针对原子层沉积技术的保型性、薄膜的一致均匀性等优点，介绍了原子层沉积 Al_2O_3 薄膜在微流体器件中纳米孔的应用。

第二章 高 k 介质薄膜材料的制备工艺及介电特性研究

2.1 引言

目前,薄膜沉积方法多种多样,常见的薄膜沉积方法有化学汽相沉积、溅射、真空蒸镀、脉冲激光沉积和近些年兴起和广泛应用的分子束外延及原子层沉积方法等。各种方法都有其独特的优势及局限性和缺点,其考评因素主要表现制备薄膜的厚度均匀性薄膜致密度、台阶覆盖率、界面质量、原料的数目、低温沉积、沉积速率和工业适用性等诸多方面,表 3 给出了上面几种常见薄膜沉积方法的优缺点比较。由表 3 可以看出,针对目前的各种薄膜生长方法,如果从高 k 材料薄膜的制备要求如厚度的均匀性、薄膜密度、台阶覆盖率、界面质量等方面考虑,可以得出原子层沉积方法是目前生长高 k 薄膜的一种最为优异的方法。

表 3 各种薄膜沉积方法优缺点一览表

方法	ALD	MBE	CVD	Sputter	Evaporation	PLD
厚度的均匀性	好	较好	好	好	较好	较好
薄膜密度	好	好	好	好	不好	好
台阶覆盖	好	不好	多变	不好	不好	不好
界面质量	好	好	多变	不好	好	多变
原料的数目	不好	好	不好	好	较好	不好
低温沉积	好	好	多变	好	好	好
沉积速率	不好	不好	好	好	好	好
工业适用性	好	较好	好	好	好	不好

原子层沉积技术(Atomic Layer Deposition, ALD),顾名思义,也就是以原子层的精度一层一层原子的生长,最初称为原子层外延(Atomic Layer Epitaxy, ALE),于 20 世纪 70 年代由芬兰科学家^[12]提出并用于多晶荧光材料 ZnS:Mn 以及非晶氧化铝绝缘膜的研制,这些材料皆是用于平板显示器^[13]。由于“外延”的概念一般是指在结晶薄膜或单晶衬底上,发生有序的可控反应,形成的沉积层,因此在描述非晶薄膜的单原子沉积的时候,容易产生混乱,后来变称为原子层化学气相沉积(Atomic Layer Chemical Vapor Deposition, ALCVD)。这个名字着重强调了和化学气相沉积关系,由于原子层沉积也

是化学气相沉积的一种，工艺类似于 CVD 工艺，但它们之间依然存在着较大的区别。在标准 CVD 工艺过程中，化学蒸气不断的通入真空室内，因此该沉积过程是连续的，而在 ALCVD 工艺过程中，则是将不同的反应物（前驱体）以气体脉冲的形式交替送入反应室中。显然，ALCVD 并非一个连续的工艺过程，这个名字也不能完全的概括这种技术。而 ALD 用来描述这种薄膜生长方式较为全面，而且与最初的名字也最为贴近，因此被广泛的使用。由于这一工艺涉及复杂的表面化学过程和较低的沉积速度，直至 20 世纪 80 年代中后期该技术并没有取得实质性的突破。但是到了 20 世纪 90 年代中期人们对这一技术的兴趣在不断加强，这是由于器件尺寸的缩小导致的介质薄膜厚度的减小已超出了其物理和电学极限，同时高纵横比在器件结构中随处可见。而且传统的沉积技术很难满足需求，因此 ALD 技术的独特性决定了其在半导体工业中的运用前景十分广泛。由于 ALD 技术已充分显示了其优势，为器件尺寸的继续微缩提供了更加广阔的空间。

2.2 原子层沉积技术制备 Al_2O_3 和 HfO_2 薄膜

2.2.1 原子沉积系统简介

我们采用的是美国 Cambridge NanoTech 公司生产的原子层沉积系统（ALD），设备型号是 Savannah-100，如图 3 所示。ALD 系统安装了两个前驱体源，分别是三甲基铝和二甲基氨钆，以及一路前驱体源共用的水蒸气源。反应室内的温度可调范围为 $80^\circ\text{C}\sim 250^\circ\text{C}$ ，也即是衬底所达到的温度范围。它一次最大可以放置 4" 的晶圆，生长的速度大约为 $1.0 \text{ \AA}/\text{cycle}$ 。



图 3 原子层沉积系统

实验仪器主要包括四部分：前驱体容器、反应室、机械泵、加热及温控装置，如图4所示。前驱体容器盛有参与反应的前驱体，通过程序控制针孔阀门的开关，从而精确控制每种前驱体蒸汽的交替输送到反应室内。反应室的作用是提供一个化学反应的环境，通过机械泵将反应室抽至低真空，并将多余的反应物和反应生成的副产物一并抽走，保持反应室内干净气氛。加热及温控装置给反应室加热，并保持恒定的适合的反应温度。

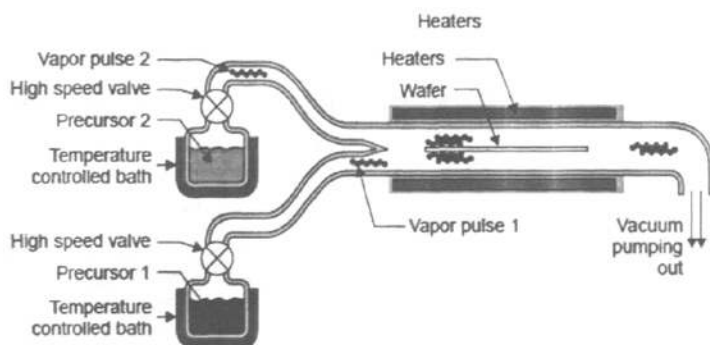


图4 原子层沉积系统内部结构图

2.2.2 原子层生长机制

原子层沉积是一种基于交替脉冲形式的表面饱和和化学反应的化学气相薄膜沉积方法。与其他化学气相沉积技术的区别在于，以脉冲的形式交替通入反应过程中的前驱体，即一次脉冲通入一种前驱体，下一个脉冲通入另一种前驱体，中间停以除气的时间，此过程就构成了一个反应周期。当一种前驱体达到沉积基体表面，它们会在其表面化学吸附（饱和吸附）并发生表面反应，生成该前驱体的一层单元子层。当第二种前驱体通入反应器起就会与已前一种前驱体的单元子层发生反应。两个前驱体之间会发生置换反应并产生相应的副产物，直到表面吸附的第一前驱体或前驱体的单元子层完全消耗，反应会自动停止并形成需要的原子层。因此这是一种自限制过程，而且不断重复这种反应形成薄膜。

ALD的基本步骤如图5所示。这种淀积过程是在一个加热反应器中在经过活性表面处理的衬底上进行的。首先将第一种反应物引入反应室使之发生化学吸附，直至衬底表面达到饱和反应过程中需加热具有一定的温度，适当的过程温度阻碍了分子在表面的物理吸附。过剩的反应物则被从系统中抽出清除，然后将第二种反应物放入反应室，使之和衬底上被吸附的物质发生反应。剩余的反应物和反应副产品将再次通过泵抽或惰性气

体清除的方法清除干净。这个循环过程可以简化为四个步骤：脉冲A，清洗A，脉冲B和清洗B。这样就得到目标化合物的单层饱和表面。这种原子层沉积的循环可实现一层接一层的生长从而可以实现对淀积厚度的精确控制。

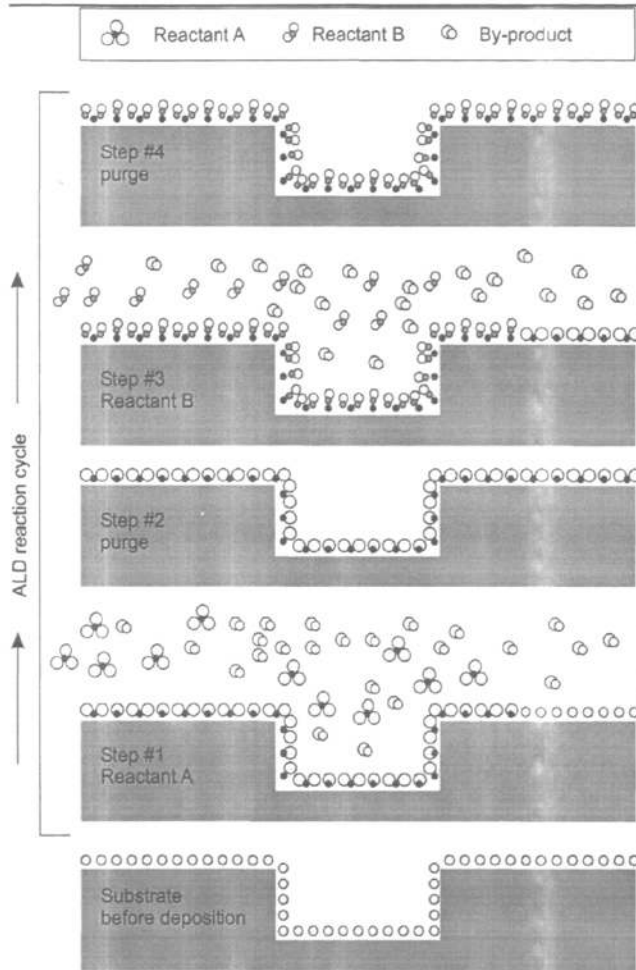


图5 一个 ALD 生长周期的示意图

图5为一个典型的 ALD 生长过程。以 Al_2O_3 为例，具体说明原子层沉积的过程如下。

- 1、清洗衬底表面，使表面羟化，形成一层以OH-终止的原子层。
- 2、以脉冲形式携带反应物A，三甲基铝（TMAL）输送到反应室内，使其充分反应，使 TMAL 的一个甲基与羟基中的 H- 发生置换反应，生成 CH_4 气体。
- 3、清洗过程，将上一过程中未反应完全的三甲基铝和生成的 CH_4 气体通过机械泵抽真空排出。在这个过程中，需要停留一段时间，这个时间称之为“wait time”使反应室

被完全清洗干净。这样，第一层原子已经均匀的形成为衬底表面。

4、以脉冲的形式携带反应物B，将水以水蒸气的形式输送到反应室内，使水中的H-置换出上一层原子中的甲基，生成 CH_4 气体，在样品表面又形成以OH-终止的原子层。如此反复循环，薄膜一层原子一层原子的生长，形成所要的薄膜厚度。

5、清洗过程，同样将上一过程未反应完的水蒸汽和生成的副产物 CH_4 气体一并用机械泵抽真空排出。停留一段“wait time”的时间，以便下一个循环的进行。

以上5个步骤构成了原子层沉积的一个循环，生成了单原子层的 Al_2O_3 ，同理， HfO_2 也是如此，以单原子层的形式生长。

由于这种独特的自限制型薄膜生长机制，原子层沉积技术具有许多优异的特点。其中包括：

1. 可以通过控制反应周期数简单精确地控制薄膜的厚度，所形成的薄膜具有原子层厚度精度；

2. 不需要控制反应物流量的均一性；

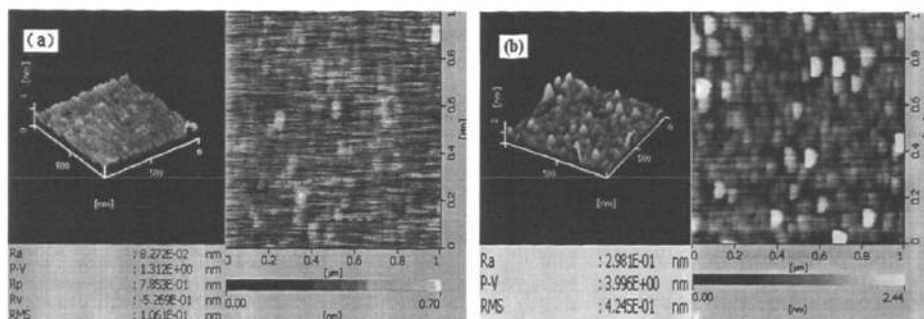
3. 依靠自终止的饱和化学吸附，保证生成大面积均匀性的薄膜；

4. 形成的化学计量薄膜具有三维保型性，可作为台阶覆盖和纳米孔材料的涂层，也可广泛适用于各种形状的衬底；

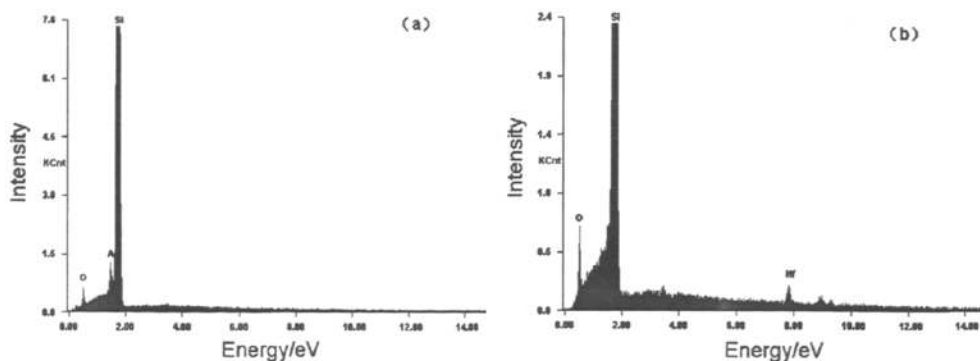
5. 薄膜生长可在低温（ $80^\circ\text{C}\sim 250^\circ\text{C}$ ）下进行；

2.2.3 原子层沉积系统制备 Al_2O_3 和 HfO_2 薄膜形貌和成份的表征

原子层沉积技术制备的薄膜的表面起伏非常小，其表面形貌的原子力显微镜表征如图6所示，可以看出， Al_2O_3 薄膜厚度为10nm，扫描范围为 $1\mu\text{m}\times 1\mu\text{m}$ ，表面粗糙度仅为0.08nm，表面非常平整； HfO_2 薄膜厚度同样为10nm，扫描范围为 $1\mu\text{m}\times 1\mu\text{m}$ ，表面粗糙度为0.4nm，同时可以看出表面有微晶颗粒的出现，可以比较得出利用原子层沉积制备的 Al_2O_3 薄膜为非晶薄膜， HfO_2 薄膜为多晶薄膜，而且在相同膜厚条件下 Al_2O_3 薄膜的表面粗糙度远低于 HfO_2 薄膜。在后面的章节将会具体研究制备工艺对 Al_2O_3 和 HfO_2 薄膜的表面粗糙度形貌的影响。

图 6 Al_2O_3 薄膜 (a) 和 HfO_2 薄膜 (b) 的 AFM 表征

除了表面形貌及结构的表征，我们对薄膜进行了电子能谱分析 (energy dispersive spectrum)，见图 7。图中 (a) 是 Al_2O_3 薄膜的电子能谱分析，可以看出除了硅衬底的影响，出现 Si 元素的峰以外，还有 Al 元素和 O 元素的峰位，图 (b) 显示的是 HfO_2 薄膜的电子能谱分析，可以看出有 O 元素和 Hf 元素的峰位。我们在不同位置分析了薄膜的电子能谱分析，所得结果一致。图中显示的组成薄膜的元素 Al、O、Hf 的峰位清晰可见，其他的一些杂质峰位不突出，由此证明了原子层沉积的薄膜杂质较少。因此，采用 ALD 沉积的高 K 介质薄膜具有高纯度和高质量的特点。

图 7 Al_2O_3 薄膜和 HfO_2 薄膜的 EDS 分析

2.3 Al_2O_3 和 HfO_2 薄膜介电特性的研究

从严格的意义上来说,介电薄膜的介电常数是温度、工作频率的函数。但在大量的实际应用中,我们仍然将电介质的介电常数当作一个常数来考虑,而且最理想的电介质是真空,但是真空的介电常数有些偏小,而且仅适合于开放电磁场应用。面对选择集成电路器件材料、电容器填充材料、微带电路板材料、天线基板材料等应用,通常希望

有更大的介电常数,由此带来的好处是可以利用介质中波长的缩短来减小设备的尺寸。

因此,为了研究如何制备出具有高介电常数的介质薄膜,我们利用原子层沉积系统对 Al_2O_3 或 HfO_2 薄膜的制备工艺进行了研究,并基于电容结构,对制备的介质薄膜进行介电常数测试,研究薄膜制备工艺对介电常数的影响及变化规律,从中总结出高 K Al_2O_3 或 HfO_2 薄膜的最佳制备工艺。

2.3.1 薄膜电容结构的制备

为了研究薄膜的介电常数,我们采用平行板电容器模型,如图 11 所示。衬底为 Si,下电极为热蒸发蒸镀的 Au,中间的绝缘层为 Al_2O_3 或 HfO_2 ,上电极是利用紫外曝光和蒸镀制作的 Au 电极,每个方形区域为 $200\ \mu\text{m}^2$ 。利用公式 $C=\epsilon_r S/4\pi\kappa d$,通过测量 C 的大小,可以算出绝缘薄膜的相对介电常数。其中 ϵ_r 为介质的相对介电常数, S 为平行板电容器的接触面积, d 为薄膜的厚度,也就是 HfO_2 或 Al_2O_3 薄膜的厚度。

(1) 首先介绍使用设备介绍:热蒸发镀膜机、紫外曝光系统、反应离子刻蚀系统:

我们采用的热蒸发设备是沈阳科学仪器厂生产的 RZF400 真空镀膜机(如图 8),有三个蒸发电极,可以同时蒸镀三种金属。该蒸发设备配有上海泰尧科技有限公司生产的 FTM-V 型薄膜测厚仪,可以在蒸发过程中全程监控金属的沉积厚度。系统真空可达到 $6\text{E}-5\ \text{Pa}$,蒸发电流通常为 5 A。



图 8 RZF400 真空镀膜机

我们使用的反应离子刻蚀设备是英国牛津仪器公司的 80Plus-RIE 等离子设备(如图 9),它具备 O_2 、Ar、 CF_4 、 CHF_3 和 SF_6 共 5 路气体来辅助刻蚀多种材料,包括半导体、金属及其氧化物,射频功率最高可达 600 W。刻蚀 HfO_2 或 Al_2O_3 采用氩气辅助刻蚀,刻蚀速率大约为 3~5 nm/min。

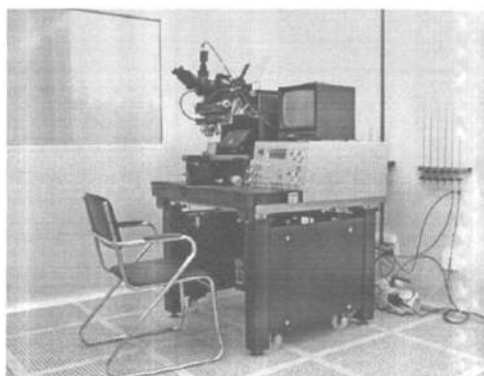


图9 MA6掩膜对准式曝光机

一般实验用的紫外曝光机都属于掩膜对准式曝光机，其基本组成包括光源（汞灯）、掩膜架和硅片台。我们使用的是德国 SUSS 公司的 MA6 曝光机，如图 10 所示，它包括了先进的光学照明系统，使汞灯光源的照明准直性与均匀性大大提高，掩膜与硅片的间隙可以精确控制。例如 SUSS 曝光机在真空接触条件下可达到 $0.5\ \mu\text{m}$ 的图形分辨率，在硬接触条件可达到 $1\ \mu\text{m}$ 的分辨率。对准精度一般可以达到 $1\ \mu\text{m}$ 误差以内。

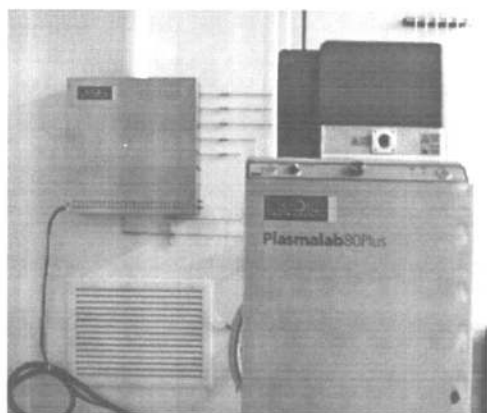


图10 牛津仪器公司的 80Plus-RIE 等离子设备

(2) 制备薄膜电容的基本流程如图 11 所示：

1、清洗硅片：丙酮溶液超声 3—5 分钟，无水乙醇超声 3—5 分钟，前后反复两遍，后用热、冷去离子水冲洗，然后用 N_2 枪吹干，烘干备用。

2、镀金膜：利用真空镀膜机将清洗过的 Si 片表面利用热蒸发的方法镀上一层约 50 nm 厚的金膜。真空镀膜的方法是在在真空室中，加热蒸发容器中待形成薄膜的原材料，使其原子或分子从表面气化逸出，形成蒸气流，入射到基片表面，凝结形成固态薄

膜的方法称为热蒸发法。一般来说，热蒸发法与化学气相沉积、溅射镀膜等成膜方法相比较，有如下特点：设备比较简单、操作容易；制成的薄膜纯度高、质量好，厚度可较准确控制；成膜速率快、效率高，可以用掩膜获得图形；薄膜的生长机理比较单纯。其主要缺点是：膜料容易热分解，膜料粒子初始动能低，膜层填充密度低，机械强度差，所形成薄膜在基片上的附着力较小，工艺重复性不好等等。

3、沉积 HfO_2 或 Al_2O_3 薄膜：利用原子层沉积系统，在 $250\text{ }^\circ\text{C}\sim 80\text{ }^\circ\text{C}$ 范围内，沉积厚度从 $5\text{ nm}\sim 40\text{ nm}$ 的薄膜。沉积方法及原理见 2.2 节。

4、RIE 刻蚀：利用反应离子刻蚀系统将生长的绝缘薄膜刻蚀掉一半，露出底下的金电极。

反应离子刻蚀(Reactive Ion Etch, 简称为 RIE)系统反应离子刻蚀主要用于图形转移。一般是将图形曝光后所形成的抗蚀剂(正型胶或负型胶)图案当作刻蚀下层材料的掩膜，实现对材料的选择性刻蚀。在平行板系统中，刻蚀样品被 rf 电容耦合的下电极托住，从而使接地电极具有很大的面积，此时的腔体本身即为接地电极，这种较大的接地区域结合较低的工作压强 ($< 500\text{ mTorr}$)，使样品表面有大而负的偏压，保证样品受到能量充沛的离子轰击。

5、形成光刻胶的图案：采用亚微米紫外曝光机在薄膜上形成光刻胶的图案。具体过程为：

(a) 涂胶：将正性光刻胶 S1813 旋涂在衬底表面，又叫甩胶，抗蚀剂一般是滴在衬底中央的，通过高速旋转使抗蚀剂均匀的涂覆在衬底表面，胶厚可以通过转速来控制。

(b) 前烘：蒸发掉抗蚀剂中的有机溶剂成分，使衬底表面甩完的胶固化。不同的抗蚀剂有不同的烘烤时间和烘烤温度。

(c) 曝光：利用紫外曝光机将掩模板对准样品，紫外光照射在样品表面的光刻胶上，选择合适的曝光剂量，使 S1813 光刻胶与紫外光发生作用。

(d) 显影定影：不同的抗蚀剂显影液与定影液不同，显影和定影也有相对应的时间，根据抗蚀剂选择正确的显影液和定影液，曝光后把衬底在显影液和定影液中浸泡响应的的时间，使胶中短链分子与溶剂作用从样品表面脱离，在抗蚀剂上得到曝光图形，面积为 $200\text{ }\mu\text{m}^2$ 的方形区域。最后再用去离子水冲洗，用 N_2 枪吹干，烘干。

6、图案转移：再利用真空镀膜机镀上 Au 电极，然后利用丙酮溶脱，在薄膜表面留下与光刻胶图案相反的 Au 图案，最后还可以利用微波氧等离子体轰击的方法去除残胶。

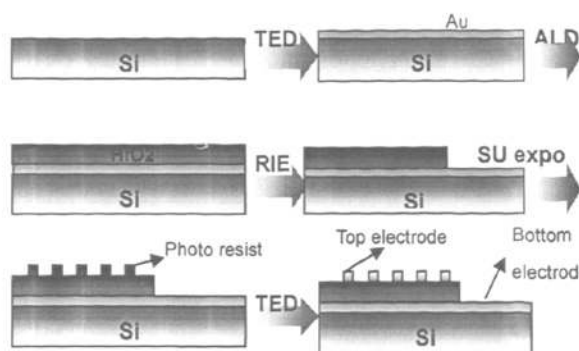


图 11 平板电容器模型的薄膜电容结构制备流程图

经过以上 6 个步骤，我们制得了中间绝缘层为 HfO_2 或 Al_2O_3 薄膜的电容结构，在其光学显微镜下（如图 12），我们可以看出，中间有条明显的界限，这是介质薄膜刻蚀与否的界限，颜色较深的区域为未被刻蚀的原子层沉积的薄膜 HfO_2 或 Al_2O_3 （颜色略有区别，但均比另一半颜色深），颜色较浅的区域的介质薄膜被 RIE 刻蚀掉，因此露出衬底的 Au。图中的 $200\ \mu\text{m} \times 200\ \mu\text{m}$ 的小方块为紫外曝光后沉积的 Au 电极区域，在深色区域，形成 $\text{Au-Al}_2\text{O}_3\text{-Au}$ 或 $\text{Au-HfO}_2\text{-Au}$ 的结构，分别在深浅区域内的正方 Au 块电极中引出电极，进行介质薄膜的特性测量。

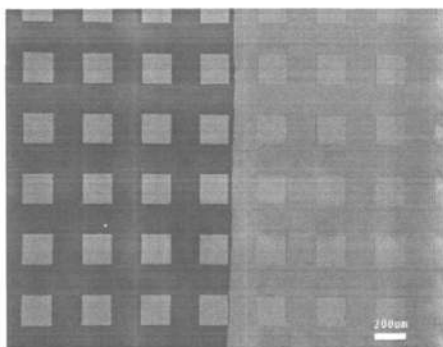


图 12 平板电容器模型的薄膜电容结构的光学显微镜图

2.3.2 沉积温度对 HfO_2 和 Al_2O_3 的介电常数的影响

我们针对不同的介质层，分别测量了 HfO_2 或 Al_2O_3 充当介质层时的薄膜电容，进而根据公式算出薄膜的介电常数。测得的实验结果显示 Al_2O_3 薄膜的介电常数一般在 7~10 之间，如图 13 所示，随着温度的升高，介电常数也变大，当温度为 300°C 时，介电常数达到 7~10 之间，而 Al_2O_3 薄膜的介电常数在 80°C 时的仅为 5 左右，大约也

是高温时的一半，这是因为在低温生长过程中，化学反应较慢，每个循环中间的间隔时间也较长，容易出现硅铝氧化物界面层，这类氧化物界面层的介电常数较低，因此界面层的出现会大大降低薄膜本身的介电常数。

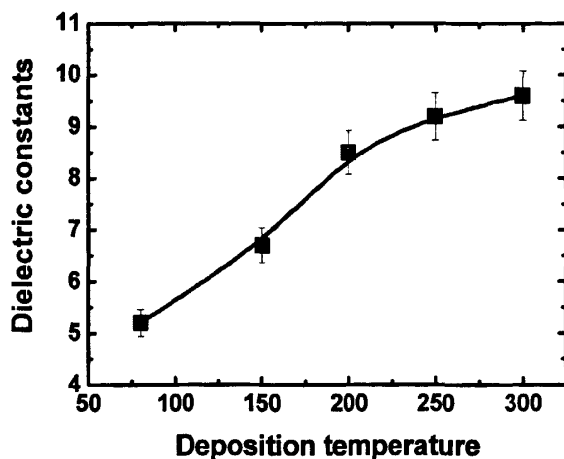


图 13 Al_2O_3 薄膜的介电常数随温度的变化

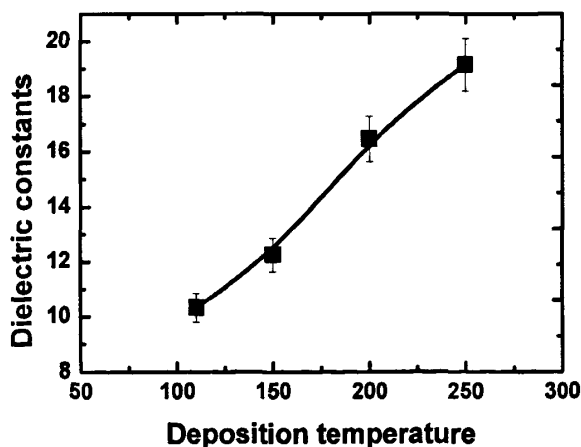


图 14 HfO_2 薄膜的介电常数随温度的变化

而 HfO_2 薄膜的介电常数是在 19~20 之间。如图 13 所示，随着温度的越高， HfO_2 薄膜的介电常数也会越大。这也是因为在低温生长过程中，化学反应较慢，每个循环中间的间隔时间较长，因此在衬底 Si 表面和 HfO_2 薄膜表面会形成 HfSiO_4 或者 $(\text{HfO}_2)_x(\text{SiO}_2)_{1-x}$ 等复合氧化物界面^[14]，这些物质比纯的 HfO_2 的介电常数低很多，因此

界面层的出现会大大降低各自薄膜的介电常数。

而且我们还发现，在同等温度下，对于较薄介质层，薄膜的介电常数低于较厚薄膜的介质层，这是因为，薄膜越薄，界面复合氧化物对其最后算得的介电常数的影响越明显，也就是等效的氧化物厚度越低，从而算得的介电常数也越低。

2.3.3 介电薄膜的漏电特性与击穿电压测试与分析

我们采用美国 Keithley 公司生产的半导体特性测量系统 4200-SCS, 针对分别用 Al_2O_3 和 HfO_2 薄膜作为薄膜电容的介质层，测量电流密度与外加电压的关系，研究其漏电特性。

如图所示，图 15、图 16 分别为 Al_2O_3 和 HfO_2 作为薄膜电容的介质层，所测得的 J-V 特性曲线，在 2 MV/cm（相当于 6 V 电压）以上的电场作用下，漏电开始增大，但即使在 6 MV/cm（相当于 18 V 电压）的电场作用下，其漏电依然小于 $1 \mu\text{A}/\text{cm}^2$ ，没有明显的击穿现象。由图 15 可以看出，当电压达 -6 V 时，其漏电电流密度也仅为 $0.1 \mu\text{A}/\text{cm}^2$ ，当电压为 1 V 时，漏电电流密度小至 $3 \text{ nA}/\text{cm}^2$ ，可见 Al_2O_3 作为绝缘介质层的绝缘性相当好，漏电很小。同时我们也比较了 HfO_2 做为电容介质层时的漏电，如图 16 所示，发现当电压为 1 V 时，漏电流密度仅不到 $2 \text{ nA}/\text{cm}^2$ ，且当外加电场高达 -6 V 时，漏电流也只不过约为 $40 \text{ nA}/\text{cm}^2$ ，可见 HfO_2 的绝缘性能更好。因此原子层沉积的 Al_2O_3 和 HfO_2 薄膜是一种非常理想的栅介质层。

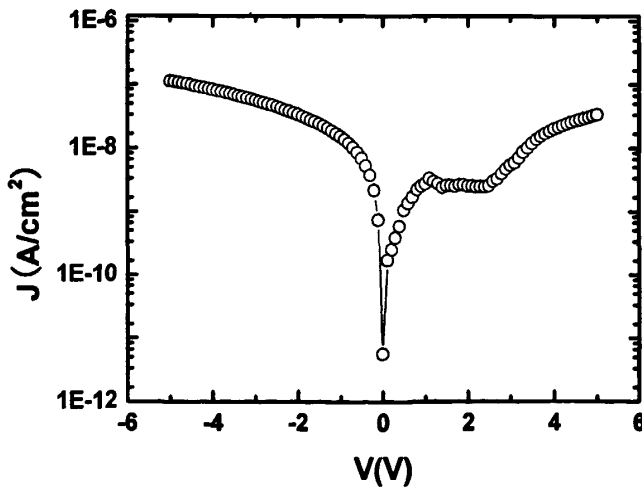


图 15 Al_2O_3 作为绝缘层薄膜电容的 J-V 曲线

由图 15 和图 16 可以看出, HfO_2 薄膜当电场为 $3\text{MV}/\text{cm}$ (相当于电压为 10V) 时, 电流密度约为 $0.1\mu\text{A}/\text{cm}^2$, Al_2O_3 薄膜当电场为 $2\text{MV}/\text{cm}$ (相当于电压为 6V) 时, 电流密度为 $0.1\mu\text{A}/\text{cm}^2$, 因此在相同漏电流大小下, HfO_2 薄膜所能承受的电场更高, 绝缘性能更好。

一般来说, 薄膜的击穿电压与薄膜厚度有关, 我们的通过测试 Al_2O_3 和 HfO_2 薄膜的击穿电压, 发现薄膜厚度为 15nm 、 30nm 、 50nm 时, 面积范围为 $0.3\text{mm}\times 0.3\text{mm}$, 其击穿电压范围分别为 $12\text{V}\sim 16\text{V}$ 、 $30\text{V}\sim 40\text{V}$ 、高于 65V , 其承受的电场相当于 $10\text{MV}/\text{cm}$ 。同样可见, 在承受如此大的电场下, 其 Al_2O_3 薄膜和 HfO_2 薄膜均显示出了优异的漏电特性与击穿特性。

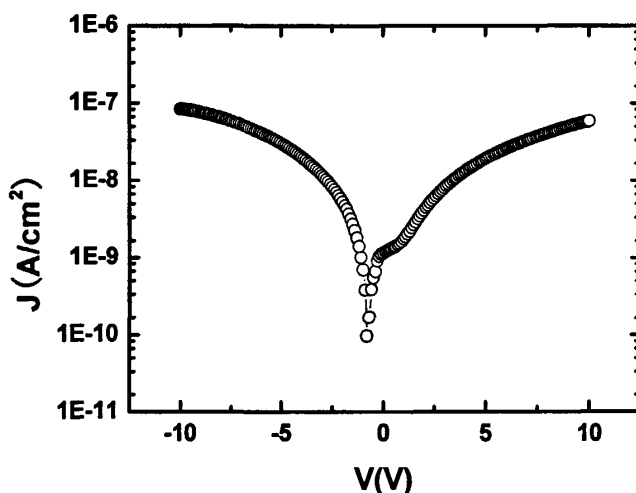


图 16 HfO_2 作为绝缘层薄膜电容的 J-V 曲线

2.4 制备工艺对薄膜表面粗糙度的影响

薄膜的表面粗糙度是评价其质量高低的主要因素之一, 而在各种薄膜的沉积方法中, 原子层沉积由于其薄膜形成机制的特点而可以沉积出具有极低表面粗糙度的薄膜样品。原子层沉积在沉积 Al_2O_3 薄膜的时候, 表面可以有两种形式终止, 一种是 CH_3^- 终止的表面, 另一种是 OH^- 终止的表面。美国的 Nobuhiko 等人^[15]研究了在这两种终止的表面上生长 Al_2O_3 薄膜, 研究表明在 CH_3^- 终止的表面上生长的 Al_2O_3 薄膜的表面粗糙度随着薄膜厚度的增加, 而大大的增加, 在 40nm 的时候, 均方根表面粗糙度 (RMS) 已经达到了 8nm 左右。而以 OH^- 终止的表面的 Al_2O_3 薄膜的表面粗糙度则

没有太大的变化。因此，我们知道衬底的不同终止的表面对于表面粗糙度影响很大，以 CH_3 - 终止的表面上继续生长 Al_2O_3 薄膜，其薄膜粗糙度会越来越大，这会严重影响器件的性能，因此在薄膜沉积前应避免此种情况的发生。由于不同终止表面的沉积的薄膜表面粗糙度已得以研究，因此我们不再对此方面进行深入的研究。但是同是以 OH-终止的表面，原子层沉积系统生长的薄膜的表面粗糙度和那些因素有关呢？本节将对这一问题展开研究。

2.4.1 原子力显微镜的结构及原理

我们采用原子力显微镜对原子层沉积的薄膜样品的表面粗糙度进行详细的表征与分析。首先介绍原子力显微镜的结构及原理。原子力显微镜是扫描探针显微镜的一种，最早是为了检测绝缘体试样才发明的，就是说，为了检测那些隧道电流不能流过的绝缘体试样的表面凹凸，将细小柔软的悬臂插到金属探针的绝缘体试样中间。在细小悬臂的突起前段与绝缘体试样之间的原子间作用力，使悬臂产生变形，表面上看，是把绝缘体试样表面的凹凸转换成导电性试样表面的凹凸，因此这个细小的悬臂就是信息转换器。如图17所示。

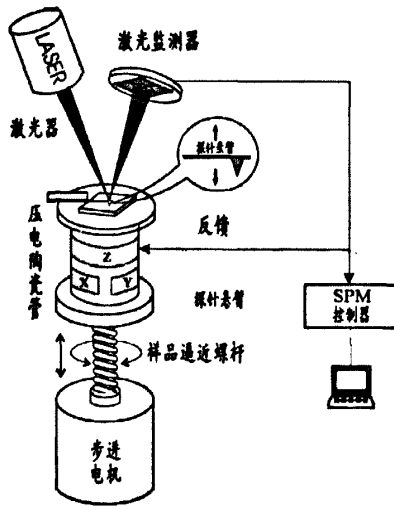


图17 原子力显微镜结构示意图

原子力显微镜具体的工作原理是：将一个对微弱力极敏感的微悬臂一端固定，另一端有一微小的针尖，针尖与样品表面轻轻接触，由于针尖尖端原子与样品表面原子间存在极微弱的排斥力，通过在扫描时控制这种力的恒定，带有针尖的微悬臂将对应于针尖

与样品表面原子间作用力的等位面而在垂直于样品的表面方向起伏运动。利用光学检测法可测得微悬臂对应于扫描各点的位置变化，从而可以获得样品表面形貌的信息。

根据探针与样品表面的作用力不同（如图18），可以将AFM的工作方式分为三种：接触式、轻敲式、非接触式。

接触式模式，也被称为排斥模式，AFM 针尖与样品有轻微的物理接触。在范德瓦尔斯曲线中属于排斥区间。当扫描器驱动针尖在样品表面（或样品在针尖下方）移动时，接触力会使悬臂弯曲，产生适应形貌的变形，检测这些变形，便可以得到表面形貌像。AFM 检测到悬臂的偏转后，则可工作在恒高或恒力模式下获取形貌图像或图形文件。在恒高模式，扫描器的高度是固定的，悬臂的形态变化直接转换成形貌数据。在恒力模式，悬臂变形被输入到反馈电路，控制扫描器上下运动，以维持针尖和样品原子的相互作用力恒定。在此过程中，扫描器的运动被转换成图像或图形文件。

非接触式应用振动悬臂技术，针尖与样品间距处于几纳米至数十纳米范围，在范德瓦尔斯曲线中的非接触区间。针尖与样品之间不接触或略有接触，二者之间的作用力很小，在研究软体或弹性样品时非常有利的。在非接触模式中，采用恒力模式，系统检测悬臂的共振频率或振幅并借助反馈控制器提升和降低扫描器，同时保证共振频率或振幅不变，扫描器的运动转换成图像或图形文件。

轻敲成像模式，同非接触模式相似，在针尖扫描过程中，微悬臂也是震荡的，其振幅比非接触模式更大，同时针尖在震荡时间间断地与样品接触。在微悬臂震荡过程中，由于针尖间断式地与样品接触，因此其振幅不断改变。反馈系统根据检测到这个变化的振幅，不断调整针尖与样品间距，以便控制微悬臂振幅，进而控制针尖在样品表面上里的恒定，从而获得原子力显微图像。因此应用于柔软、易碎和粘附性样品中非常有利。

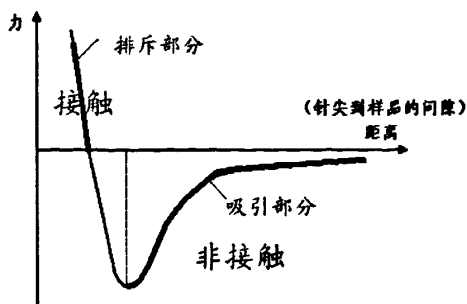


图 18 原子力作用力与间隙关系曲线

我们使用的是日本 SII 公司生产的 SPA-400 型扫描探针显微镜 (如图19), 该机工作模式包括接触、非接触与轻敲模式, 支持多路数据采集和显示。可以用其自带软件对扫描图像进行简单处理和作各种分析, 如样品粒度和粗糙度分析等。该设备的纵向分辨率为0.1 nm, 横向分辨率为1 nm, 最大扫描范围为 $20 \times 20 \mu\text{m}$ 。

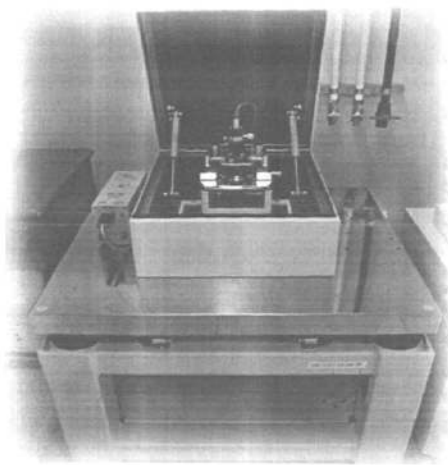


图 19 SPA400 扫描探针显微镜

2.4.2 沉积温度膜厚对薄膜表面粗糙度的影响

首先利用原子力显微镜(AFM)研究了 HfO_2 薄膜样品的表面形貌, 发现随着厚度的增加, 表面形貌有着明显的变化, 如图 20 所示, 当薄膜厚度为 5 nm (a)时, 表面形貌有微小的起伏, 最低与最高高度差仅为 1 nm, 而薄膜厚度为 10 nm、20 nm、40 nm 时, 最低与最高高度差分别为 2 nm、5 nm、10 nm, 表面出现一些微小的晶粒, 我们可以看出在 250 °C 的沉积温度下, HfO_2 薄膜容易形成晶粒, 会出现结晶现象。从量化的表面形貌-均方根表面粗糙度(RMS)也可看出, 薄膜厚度为 5 nm 的情况下, 如图 20(a), RMS 只有 0.2 nm 左右, 但是随着厚度的增加, 当薄膜厚度为 40 nm 时, RMS 则变为原来的 10 倍。但是作为场效应管中的栅介质层, 这就要求薄膜的表面起伏不能太大, 否则漏电流就会增大, 影响器件性能。为此, 我们研究了低温下的 HfO_2 薄膜的表面粗糙度情况, 对比了在 250 °C 沉积的 HfO_2 薄膜的表面粗糙度与在沉积温度为 110 °C 的 HfO_2 薄膜的表面粗糙度, 如图 21 所示。我们能够发现, 在 110 °C 时生长的 HfO_2 薄膜的表面粗糙度的增长速度远远小于沉积温度为 250 °C 时生长的薄膜的表面粗糙度。而且在相同的厚度下, 沉积温度为 250 °C 时的 RMS 大约是 110 °C 时的 2 倍, 这足以说明在低温下生长的 HfO_2 薄膜的表面起伏较小。沉积温度为 110 °C 时生长的 HfO_2 薄膜的 AFM

图像未列出。我们也测了沉积温度分别为 150 °C, 200 °C 时生长的 HfO₂ 薄膜的表面形貌和表面粗糙度, 其规律相同, 未列出。

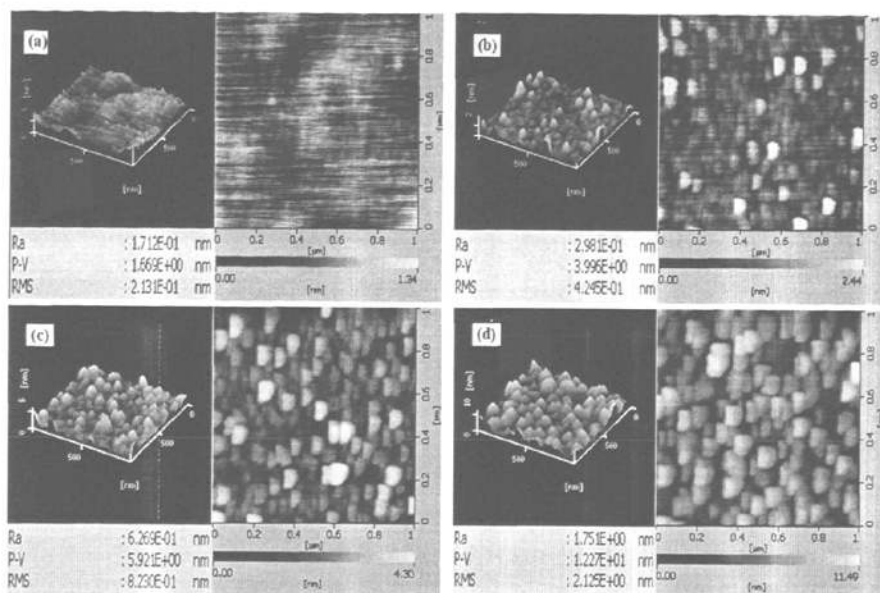


图 20 250 °C 沉积, 厚度分别为 5 nm (a), 10 nm (b), 20 nm (c), 40 nm (d) 的 HfO₂ 薄膜的 AFM 图像

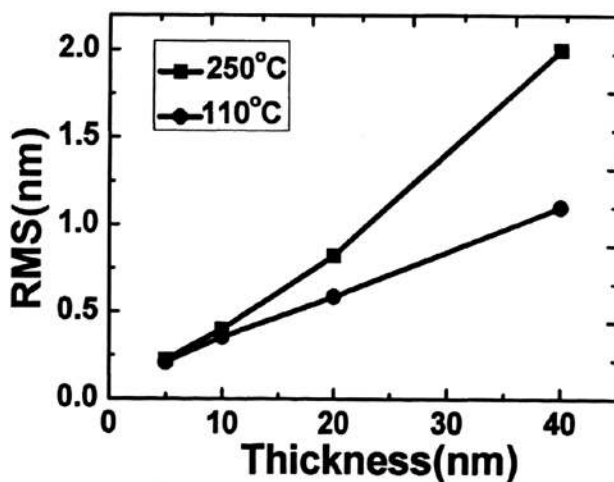


图 21 250 °C 和 110 °C 下沉积 HfO₂ 薄膜的表面粗糙度随厚度的变化

同样, 我们对 Al₂O₃ 薄膜的表面粗糙度也进行了研究。研究表明, 利用原子层生长所沉积的 Al₂O₃ 薄膜是非晶态的, 其 AFM 图像没有微晶出现。如图 22 所示, 当薄膜厚度为 5 nm (a) 时, 表面非常平整, 最低与最高高度差仅为 0.5 nm, 随着薄膜沉

积的厚度增加,当厚度为 10 nm、20 nm、40 nm 时,最低与最高高度差也仅为 1 nm 左右,表面形貌图上也没有微晶的出现,40 nm (d) 图中的一些较亮的颗粒是由一些杂质形成的(由于操作的顺序问题,表面可能吸附一些杂质颗粒)。从量化的表面形貌—均方根表面粗糙度(RMS)也可看出,如图 22 所示,随着厚度的增加,表面粗糙度起伏较小。如沉积温度为 250 °C,薄膜厚度为 5 nm 增加至 40 nm 时,RMS 值由 0.1 增加至 0.15 左右;沉积温度为 80 °C,薄膜厚度为 5 nm 增加至 40 nm 时,RMS 值由 0.23 增加至 0.33 左右。除此以外,表面粗糙度还和温度有关,高温沉积的薄膜,表面粗糙度比低温下的薄膜表面粗糙度小,由图 23 可以看出,80 °C 时生长的薄膜粗糙度约是 250 °C 下沉积的 2.5 倍。这是由于原子层沉积本质上是一种化学气相沉积,低温的条件下,物理吸附容易发生;而且化学反应速率慢,每个循环的间隔时间长,在反应过程中,饱和吸附的前驱体有可能再分解被真空泵抽走,因此生长的薄膜的一致性较差,从而表面粗糙度变大。我们也测了沉积温度分别为 150 °C,200 °C 时生长的 Al_2O_3 薄膜的表面形貌和表面粗糙度,其规律相同,未列出。

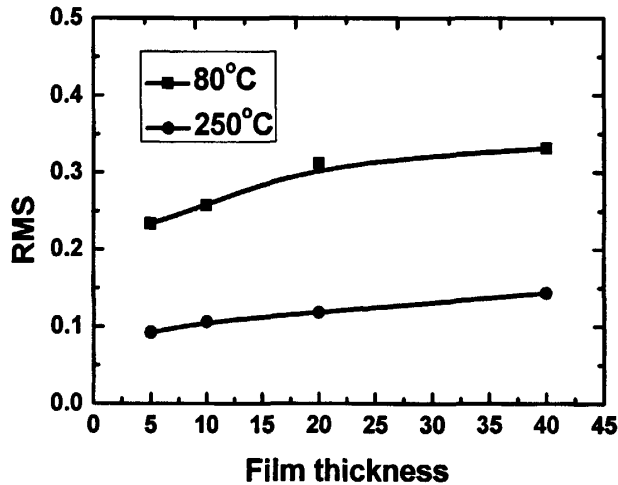


图 22 250 °C 和 110 °C 下沉积 Al_2O_3 薄膜的表面粗糙度随厚度的变化

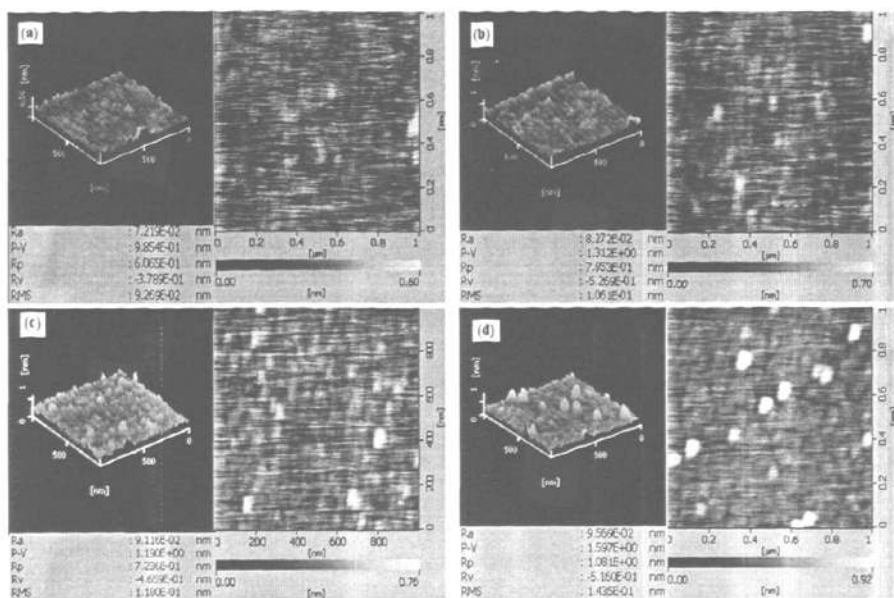


图 23 在 250 °C 沉积温度下，薄膜厚度分别为 5 nm (a), 10 nm (b), 20 nm (c), 40 nm (d) 的 Al_2O_3 薄膜的 AFM 图像

综上所述可以得出在相同的扫描范围及厚度下， Al_2O_3 薄膜的表面粗糙度小于 HfO_2 薄膜，这是因为 Al_2O_3 薄膜是非晶薄膜，表面起伏小，而 HfO_2 薄膜在沉积过程中会有微晶出现，因此薄膜表面起伏大。

2.5 小结

本章主要利用原子层沉积方法制备出高 k 介质层 Al_2O_3 和 HfO_2 薄膜样品，利用电容结构对其介电特性和漏电特性进行了研究，并用原子力显微镜对薄膜样品进行了形貌表征，研究了制备工艺对其表面粗糙度的影响。现小结如下：

1、我们测得 HfO_2 或 Al_2O_3 薄膜薄膜的介电常数，分别为 20 和 9，同时温度会对 HfO_2 或 Al_2O_3 薄膜的介电常数有影响较高，在低温时，界面容易生成界面层，降低了薄膜的等效厚度，从而限制了薄膜的介电常数。用原子层沉积系统在较高温度沉积薄膜时，薄膜的介电常数较大，但表面粗糙度也随之增大，因此在具体选择温度的时候可以参照既定目标来选择合适的温度。

2、利用半导体特性测量系统分别测试了 Al_2O_3 和 HfO_2 薄膜电容的漏电特性，漏电流密度在 +1V 的情况下均不超过 3 nA/cm^2 ，而且 HfO_2 薄膜的漏电特性优于 Al_2O_3 薄膜。漏电小，介电常数高，这为高 k 介质薄膜在场效应管栅介质层方面的应用提供了理论依据。

3、用 AFM 表征不同温度生长的介质层薄膜，可以得出温度越高， Al_2O_3 薄膜的表面粗糙度越大，低温下生长的表面粗糙度较小。80 °C 时生长的薄膜粗糙度约是 250 °C 下沉积的 2.5 倍。而 HfO_2 薄膜在厚度较小时，温度对表面粗糙度的影响不大，但由于高温下易形成微晶，随着厚度的增加，这种影响便会突出。在高温时表面粗糙度随厚度的增大变化远远比低温时的速率快。另一方面，由于微晶的出现，在相同温度下 HfO_2 薄膜粗糙度随着厚度的增加而增加，而 Al_2O_3 薄膜是单晶的，因此随着厚度的增加变化不明显。

第三章 基于 Al_2O_3 栅介质层的氧化锌纳米线场效应管

3.1 引言

ZnO 是一种重要的 II~VI 族直接带隙宽禁带半导体材料, 在光学、光电子学、传感器、传动装置、能源、生物医学和自旋电子学等方面有着广泛的应用, 如表4所示^[16]。

ZnO 的晶体结构是六角纤锌矿结构, 如图24, 所属晶系为六方晶系, 空间群为 $C_{6v}^4=P6_3mc$ 。晶格常数是: $a=0.3249 \text{ nm}$, $c=0.52056 \text{ nm}$, $c/a=1.6021$ ”, 表5 给出了 ZnO 的基本参数。

表4 ZnO 材料的应用

应用领域	特性
光学和光电子学	室温下禁带宽度为 3.37 eV、发射波长相应于近紫外 368 nm、激子束缚能 60 meV, 适合制成室温或高温下的紫外发光器件
传感器和传动装置	压电特性、热电特性
自旋电子学	Mn 掺杂的 ZnO 可作为铁磁半导体
生物医学	生物兼容性、生物可降解性
能源	将水光催化产生氢气
加工	可控的结构和特性、容易合成 (化学方法~70℃; 气-液-固法或气-固法~500℃)、易与硅基微电子器件整合

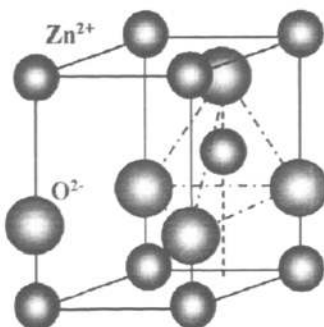


图 24 ZnO 的闪锌矿结构模型^[17]

表 5 室温下 ZnO 的基本参数^[10]

量名称	量/ 单位	数值
晶格常数	a,c/nm	0.325, 0.520
禁带宽度	E_g/eV	3.37
激子束缚能	E/meV	60
密度	$\rho_v/(\text{g}\cdot\text{cm}^{-3})$	5.642
熔点	$t/^\circ\text{C}$	1975
莫氏硬度	H_M	4.5
热导率	$\lambda/(\text{W}\cdot\text{cm}^{-1}\text{K}^{-1})$	1.16±0.08
		1.10±0.09
本征载流子浓度	n_i/cm^{-3}	$<10^6$
抗辐射能	Q/MeV	2
电阻率	$\rho/\Omega\cdot\text{cm}$	10^{12}

由上可以看出, 由于 ZnO 结构独特, 因此氧化锌材料在众多氧化物半导体中形态极为丰富, 例如氧化锌纳米点、纳米线、纳米带、纳米棒、纳米花、纳米环、纳米梳、四角锥等多种结构已被成功制备出来, 不同形态的 ZnO 纳米结构的可控制备和表征已经引起世界范围内人们的广泛关注。这些丰富的结构使 ZnO 材料具有一些独特的优异性能, 并在各种纳米器件中发挥着重要作用。

一些新型半导体材料和器件在纳米尺度范围内的制备、以及对其电学、光学、力学、磁学等范围特性的研究已然成为半导体器件领域的研究热点, 一些研究成果并已投入到工业生产中, 取得了引人注目的成就, 例如: 磁性的纳米棒阵列可以制成量子磁盘, 存储密度高达 400 g/cm^2 ; 一些纳米结构阵列可制成激光器, 具有成本低廉、发光频段可调、转换效率高等优点; 不仅如此, 一些纳米材料可以制成太阳能电池和热电转化元件, 价格低廉且能量转化高; 一些纳米复合材料由于其耐煅烧、抗腐蚀、高强度、高韧性等特点, 被用作轨道炮道轨的制备。以上一些成就充分显示了纳米结构和纳米材料在国民经济新型支柱产业和高技术领域巨大的应用潜力。随着集成电路加工技术的不断发展, 工业化生产的纳米器件加工尺度已实现 45 nm , 并进入 22 nm 范畴。目前, 世界上多个研究组已制作出了纳米尺度的新型场效应晶体管^[19]; 通过将碳纳米管、纳米棒

等直接连接在金属隔离沟道电极的两端，形成纳米线沟道，并用栅极控制电压，经过测试，发现这种由单根半导体纳米线组装的新型场效应晶体管尺寸小，性能优良，非常适合如今半导体器件尺寸越来越小的发展趋势，不仅如此，它具有制备工艺简单、成本低、易于生产制造等优点，并对开发新型半导体器件有很大的应用价值和参考价值^[20]。

由于半导体材料的纳米线的特殊的一维结构，它具有半导体体材料所没有的许多特性和性能，已经在世界范围内引起了广泛的研究^{[21][22]}。作为纳米电子学领域中的一种基本结构，纳米线场效应管具有低于微瓦的操作功率和超高的处理速度等优点而得到了广泛的关注。在大量的半导体纳米线中，ZnO 纳米线凭借优越其的物理特性和各种各样的器件应用前景脱颖而出，成为基于纳米线的场效应管器件研究的焦点。但是，虽然关于 ZnO 纳米线场效应管的报道不少，但是其场效应管的栅极介质层的制备一直是纳米线器件制备的难点，通常采用的方法是蒸发或溅射的方法沉积 SiO₂ 等材料，最近也有采用 Al₂O₃ 薄膜的报道，但是由于沉积方法的限制，导致介质层材料的致密度较差或需要较厚的薄膜才能起到栅极介质层的作用，增加了纳米线场效应管的工作电压和器件功耗，器件性能不甚理想。

因此，本章针对氧化锌纳米线场效应管的研究现状和存在的问题，利用 CVD 碳热还原法制备了高质量的氧化锌纳米线，并研究其与不同金属接触时的 I-V 特性；并且利用原子层沉积方法取代以往的沉积方法，制备了沉积高 K 的 Al₂O₃ 介质薄膜作为栅介质层，制备出 ZnO 纳米线场效应管，研究其电学输出特性，并与其它方法或材料制备栅介质层的场效应管进行比较。

3.2 氧化锌纳米线的制备及其 I-V 特性

对于 ZnO 纳米线场效应管的特性来说，高质量的纳米线制备是至关重要的。不同方法生长的 ZnO 纳米线的粗细、长度也不同，对其生长过程控制和了解是至关重要的。这里，我们首先介绍几种常见的 ZnO 纳米线的制备方法，然后介绍我们制备 ZnO 纳米线的过程及 I-V 特性的测试。

3.2.1 氧化锌纳米线的制备技术和生长机制

目前，氧化锌纳米线的制备方法有多种，主要包括气相法、液相法和模板法。下面将简单介绍下 ZnO 纳米线的制备方法，并对我们所用的碳热还原法作以详细介绍。

气相法

气相法主要是指源物质在制备过程中是气相或通过升华、蒸发、分解等一定的过程转化为气相,随后通过一定的机理形成所需物质纳米材料的方法。气相生长的原理是将生长的晶体材料通过一定过程转化为气态,在适当的条件下使之成为饱和蒸汽,再经过冷凝结晶而生长出晶体。这种生长方法生长的晶体纯度高、完整性好、产率较高,但是需要采用合适的热处理工艺以消除热应力和杂质缺陷。根据源物质转化为气相的方式不同,气相法可以分为:化学气相沉积法(CVD)、磁控溅射法和分子束外延法等。以下主要介绍化学气相沉积法。

目前制备 ZnO 一维纳米材料应用最为广泛的一种方法就是化学气相沉积法(CVD),这种方法的本质是依靠在基片表面上的 Zn 蒸汽和 O_2 蒸汽的相互反应,而得到目标产物。而得到 Zn 蒸汽和 O_2 蒸汽通常有 3 种途径:包括直接蒸发、氧化热 Zn 粉末、碳热还原法、

1、直接蒸发:直接热分解 ZnO 是一种方便、快捷的方式,但是反应需在极高的温度($\sim 1400\text{ }^\circ\text{C}$)下进行,因此维护设备的安全是限制其发展的一个因素。

2、氧化热 Zn 粉末:在 O_2 气氛中高温加热 Zn 粉末,通过化学反应可得到 ZnO 一维纳米结构,这种方法所需温度的较低($500\sim 700\text{ }^\circ\text{C}$),但需精细控制锌分压和氧分压的比例,才能得到目标 ZnO 纳米结构。若在温度、气流条件等其他外界条件相同的情况下,调节锌蒸汽压和氧蒸汽压的压力比,便可得到线状、四角状、片状、梳状、海胆状等多种形态的 ZnO 纳米结构^[23]。

3、碳热还原法^[24]:碳热还原法分为两个阶段,第一阶段是还原反应,第二阶段是氧化反应。将 ZnO 粉末与碳粉混合作为反应物,在 $900\text{ }^\circ\text{C}$ 左右,碳粉先将 ZnO 还原为 Zn 蒸汽和 CO/CO_2 蒸汽,这是第一阶段的还原反应,然后再通过气相传输的方式在低温区域,Zn 蒸汽与 CO/CO_2 蒸汽反应生成 ZnO 晶体纳米结构,这是第二阶段的氧化反应。

液相法:液相法具有反应条件相对温和、设备简单、成本低廉等优点,根据生长方式和环境的不同,液相法主要分为水热法^[25]、溶胶凝胶法^[26]、电化学沉积法^[27]等。简单介绍下水热法,以便对液相法的原理有个简单的认识。水热合成法制备纳米结构式指在密闭的反应器(高压釜)内,采用水溶液作为反应介质,通过对反应容器加热,创造一个高温、高压反应环境,使得通常难溶或不溶的物质溶解并且重结晶。

模板法^[28]:模板法通过使用具有固定结构的材料(孔径为 $\text{nm}\sim\mu\text{m}$ 级的多孔膜)作为

模板, 结合电化学沉淀法、溶胶-凝胶法等让 ZnO 材料沉淀在模板的孔壁上, 并在模板孔道的限制作用下生长, 形成所需的一维纳米结构。模板法具有良好的可控性, 可利用其空间限制作用对纳米线生长的尺寸、形貌、结构和分布等进行控制。模板合成法制备纳米结构材料具有下列特点: 所用模板容易制备, 合成方法简单; 通过改变模板制备条件, 如溶液成分、膜材料性质等, 可优化模板如孔洞分布、孔径大小等结构, 从而可合成功能可控的一维纳米结构的材料; 在模板孔中形成的纳米线容易分离。

比较上述三种方法, 液相法易受溶液环境(如 pH 值、各组分浓度)的影响, 组分比较复杂, 产物形貌难控制, 极易团聚与相互缠绕。模板法的不足之处是使用较多的是无机氧化物(如多孔氧化铝)模板, 去除困难, 会存留一定的杂质^[33]。气相法的直接蒸发需要极高的温度, 氧化 Zn 粉末的方法则较难精细控制锌分压和氧分压的比例, 来得到目标 ZnO 结构。相对来说, 碳热还原法表现出较多的优点, 如加入石墨后, 可显著将 ZnO 的沉积温度从 1400 °C 降低至 900 °C, 而且方法简单, 操作性强, 不需要精细的控制条件, 便能生长出所需要的 ZnO 纳米结构, 因此本文所采用的也是碳热还原法。

我们采用的 CVD 结构装置图如图 25 所示。将反应物放入瓷舟中, 基底表面利用热蒸发系统沉积一层 Au 膜, 作催化剂, 然后放在舟上的载片上, 再把瓷舟放入管式炉中的长玻璃管内, 位于管式炉恒温区中央, 用 Ar 排空后加热到适当温度, 通入适量氧气, 恒温加热 30 min, 停止通氧气, 在 Ar 氛围中冷却。这时会在样品表面有白色絮状沉淀出现, 这层白色絮状物便是大量 ZnO 纳米线堆积出来的。通过实验发现, 当管式炉中心温度升高至 950 °C 时, 所生长出来的 ZnO 纳米线的质量最好, 也就是 ZnO 纳米线长度较长, 直径也较细。经过超声分离后, 单根 ZnO 纳米线如图 33 所示。通过改变其他条件, 例如温度、氧分压与锌分压的比例、蒸汽浓度等, 可以生成其他各种形态的 ZnO 纳米结构, 比如说枝状、梳状、片状、四角状等, 在此不一一罗列。

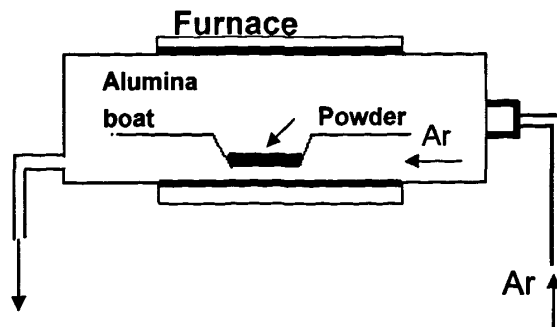


图 25 CVD 管式炉结构装置简图

然而 ZnO 纳米线的形态特征，例如密度分布，长度，直径，同样多种因素决定。图 26 (a) 和图 26 (b) 中的 ZnO 纳米线均是在同样的反应温度 ($950\text{ }^\circ\text{C}$)、氧分压与锌分压等条件下生成的，主要区别在于二者的 ZnO 蒸汽的沉积温度不同，即瓷舟放置于管式炉内的位置不同，图 (a) 的瓷舟放置于石英管的气流出口处，蒸汽沉积温度较低，图 (b) 所示的样品放置于石英管中部，其蒸汽沉积温度较高。比较两幅图可以发现，温度较低的样品表面的 ZnO 纳米线密集，而温度高的样品表面的 ZnO 纳米线稀疏，即蒸汽沉积温度对纳米线的密度是有影响的。

两者生成的纳米线长度大多在 $5\text{-}15\mu\text{m}$ 之间，少量纳米线的长度达到 $20\mu\text{m}$ 以上，直径为 $30\text{-}120\text{nm}$ 。其中图 (a) 样品的纳米线较长且粗，图 (b) 样品的纳米线较短且细。

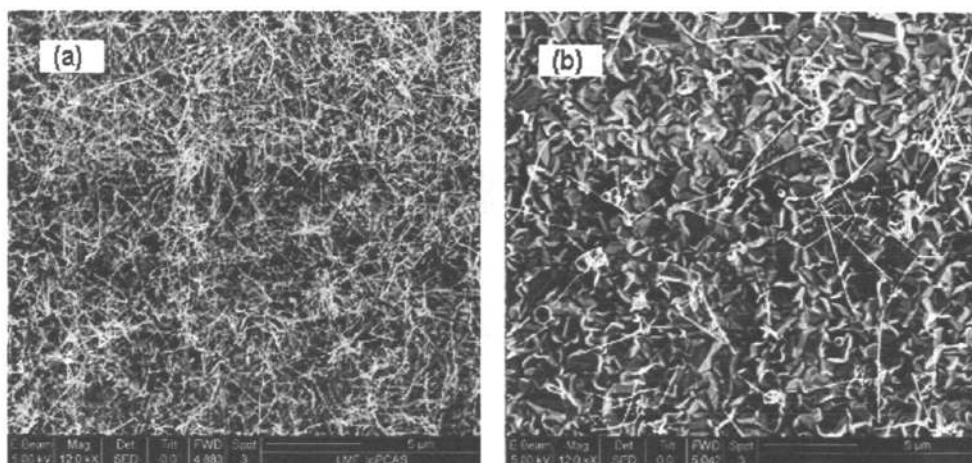


图 26 ZnO 蒸汽沉积温度不同制得的 ZnO 纳米线样品表面

将表面生成白色絮状沉淀的样品放置盛有酒精的样品管内，用超声波分离团聚在一起的 ZnO 线，然后用毛细管吸出少量包含有纳米线的酒精溶液，滴在衬底上，使其挥发，放置约 5-10 分钟，然后放置热板之上， $110\text{ }^\circ\text{C}$ 烘烤 5 分钟。这样，超声分散的单根纳米线便分散分布在衬底上。图 27 为分离出的单根纳米线的扫描电镜的图。图中纳米线长度大约为 $30\ \mu\text{m}$ ，直径约为 $200\ \text{nm}$ 。

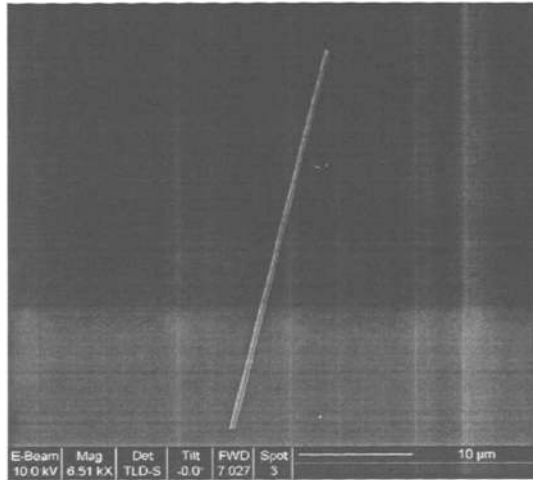


图 27 分离出的单根 ZnO 纳米线扫描电镜图像

下面我们介绍一下气相沉积法制备 ZnO 纳米结构的生长机理，其机理可分为气-液-固法 (VLS)、气-固法 (VS)。我们采用的碳热还原法主要是遵循的 VLS 的生长机理。二十世纪 60 年代，Wagner 和 Ellis 在制备 Si 晶须的过程中，提出 VLS 生长机理，并用它成功的解释了 Si 晶须的生长过程^[29]，随后人们利用这种机制成功解释了其他纳米线的生长，该机制是目前大部分一维纳米材料制备的重要理论基础^[30]。VLS 生长机制就是指反应物首先从气态变成液体最后形成固态的过程，图 28 给出了 VLS 生长机制的示意图。

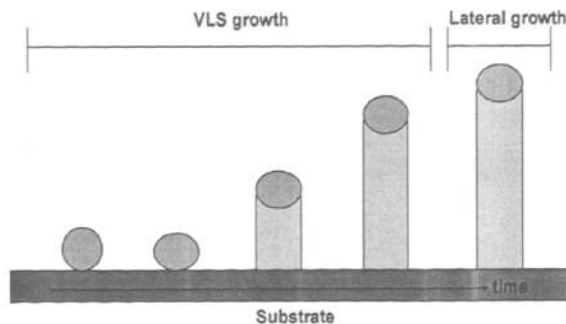


图 28: VLS 机制生长纳米线的示意图

具体生长过程如下^[31]：首先在适当的温度下加热衬底，在衬底表面的金属催化剂薄膜变会形成小尺寸的金属纳米颗粒或纳米团簇，同时沉积材料在高温下转变为气相，气态的沉积材料通过气流传输到衬底的表面，然后同金属纳米颗粒或纳米团簇形成共熔合金液滴，从而在气相反应物和衬底之间形成一个对气体来说具有较高容纳系数的气-液-固界面层，该界面层不断吸纳气相的沉积材料分子，当吸纳的沉积材料达到适合生长的过饱和度时，这个气-液-固界面层便会在衬底表面析出晶体形成晶核，随着晶面不断吸纳气相的沉积材料分子，在晶核上进一步沿着温度梯度或者浓度梯度方向析出晶体，晶核继续生长，将圆形的共熔合金液滴抬高。在 VLS 机制生长过程中，改变共熔合金液滴的位置、大小、类型、化学组成以及和衬底的润湿性能等条件，可以来制备不同形态和性能的目标产物，达到可控生长的目的。利用气-液-固生长机制制备纳米线等纳米结构，共熔合金的颗粒度决定了其结构的尺寸大小，即催化剂金属膜的颗粒度决定了纳米结构的尺寸大小，因此催化剂金属除了可以用 Au 外，还可以用 Ag 来达到催化作用，因此金属 Ag 的颗粒度较小。因而利用气-液-固生长机制形成的纳米结构的顶端会形成球状的 Au 或 Ag 纳米颗粒，这是 VLS 形成机制的典型特征。但有些实验中可能并不会出现 VLS 生长机制的这种典型特征，也就是在纳米线尖端没有球状的金属纳米颗粒，这有可能是 VLS 生长机制一种自催化模式^[32]。我们采用的这种方法制备出的纳米线顶端也是有球状的金属纳米颗粒的，但酒精超声分离单根的纳米线顶端却没有发现其球状的金属纳米颗粒，原因是因为超声分离不仅会使纳米线分散，而且会使纳米线发生断裂。

3.2.2 单根 ZnO 纳米线的 I-V 特性

研究单根纳米线的 I-V 特性，最直接的方法就是利用微加工方法在纳米线上制备金属电极，测试其电学特性，但是不同的制备方式和不同金属电极，纳米线表现的 I-V 特性是不同的。这里，我们分别用电子束曝光系统和聚焦离子束设备在单根 ZnO 纳米线上制作不同金属的电极，测试单根氧化锌纳米线的 I-V 特性，研究单根纳米线的电学性质。

1、利用电子束曝光制备 Cr/Au 电极

利用电子束曝光系统制备电极的过程先是利用光刻胶 (PMMA) 在单根 ZnO 纳米线上形成电极图案，然后使用热蒸发镀膜系统在样品上镀上铬/金金属，通过溶脱工 (lift-off) 将多余金属层去除，完成图案的转移。具体步骤如图 29 所示：

(1) 我们将含有 ZnO 纳米线的酒精溶液用毛细管滴在二氧化硅片上，当酒精挥发后，ZnO 纳米线便会分散在二氧化硅片上。如图 (a) 所示。

(2) 然后我们在该二氧化硅片上通过甩胶机均匀地涂覆一层电子束光刻胶，我们采用是 PMMA495 胶，旋涂转速4000rpm；旋涂后使用180℃的热板对样品进行前烘，前烘时间60秒。如图 (b) 所示。

(3) 利用电子束曝光系统，在ZnO纳米线的两端形成光刻胶的电极图案，其中曝光参数：写场尺寸100 μm ，加速电压10kV，光阑30 μm ，工作高度5mm，曝光剂量通常采用面剂量100 $\mu\text{C}/\text{cm}^2$ ，如图 (c) 所示。

(4) 在曝光过程完成后，然后利用热蒸发系统在样品上镀上一层铬/金的金属膜（通常是10 nm Cr + 50 nm Au），如图 (d) 所示。

(5) 利用溶脱工艺 (lift-off) 将覆盖在光刻胶上的多余的金属膜剥离，就形成了搭在纳米线两端的金属电极，如图 (e) 所示。

从上面过程可以看过，利用电子束曝光系统制备金属电极的过程中，样品的表面始终由一层电子束光刻胶覆盖，因此纳米线不会因为电子束的扫描而损伤。图30为做好 Au 电极的ZnO 纳米线的扫描电镜图。

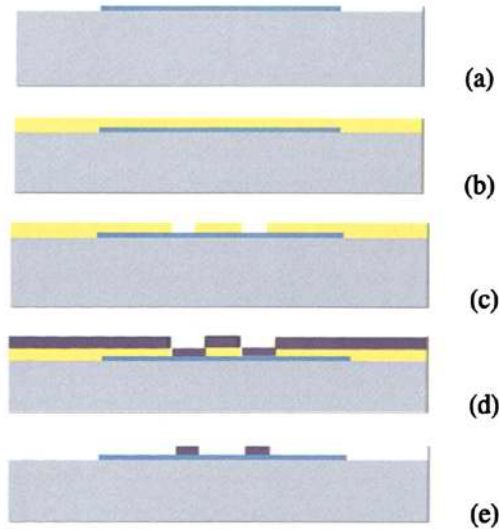


图29 利用电子束曝光系统制备电极的过程简图

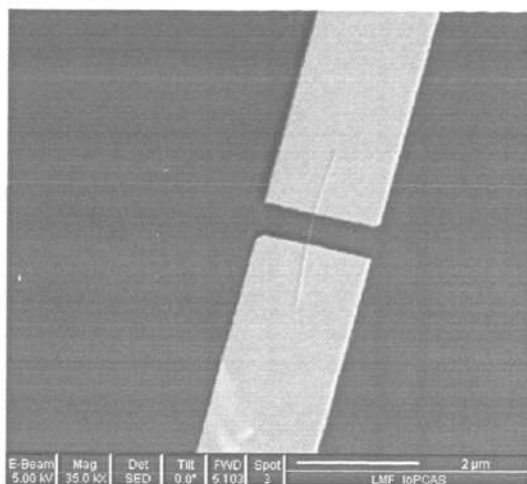


图30 ZnO 纳米线利用电子束曝光系统制作的 Au 电极

2、聚焦离子束沉积 Pt 电极

聚焦离子束技术是一种重要的微加工手段，它的主要作用是沉积和刻蚀，其基本原理在前面已经介绍了。用该方法沉积金属电极最显著的特点是不用图形转移，可以直接在样品表面直写电极。具体过程和上述用电子束曝光系统制备电极的方法相似：首先将ZnO纳米线分散到二氧化硅衬底上，然后在扫描电镜下找到合适的样品，用聚焦离子束沉积金属Pt，将纳米线和金属相连。除了直写的特点外，利用聚焦离子束沉积电极还有一个显著的特点就是：电极的位置以及长、宽、高可任意控制。图31为做好Pt电极的样品的扫描电镜图。

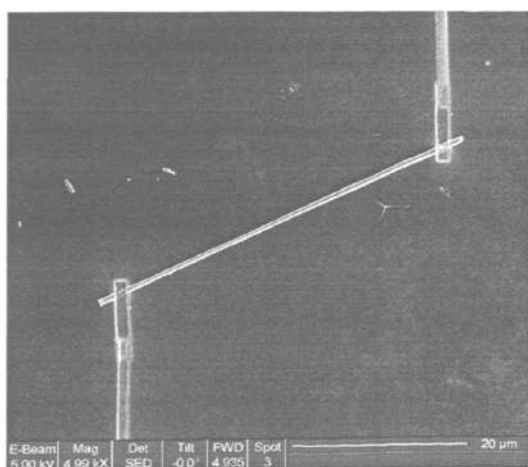


图31 ZnO 纳米线利用聚焦离子束系统制作的 Pt 电极

3. 单根纳米线的I-V特性测试

制备好电极后，我们采用美国Keithley公司的半导体特性测量设备4200-SCS测试其I-V特性。图32和33分别给出利用Pt和Cr/Au做接触电极的I-V特性曲线，可以发现不同金属电极，其I-V曲线特性差异较大，这与ZnO自身的表面功函数特性及带隙特点基于金属接触界面的电子传导模型有关。

由图32可看出，采用Pt双电极测试的ZnO纳米线表现出典型的肖特基接触的I-V曲线。分析其形成肖特基接触的原因，主要是由于利用CVD生长的ZnO纳米线本身具有的氧空位和锌填隙，因此利用化学气相沉积的方法制备的ZnO纳米线天然就是n型的，因此ZnO纳米线是一种n型的半导体材料。目前普遍研究表明n型的ZnO半导体材料的功函数值为 4.4eV ，而金属铂电极的功函数为 5.6eV ，因此当铂电极与ZnO半导体材料接触时，会形成金属-半导体接触。当金属的功函数小于n半导体材料的功函数时，n型半导体中的电子会流向金属，半导体表面带正电，金属表面带负电，因此会在半导体表面形成正的空间电荷区，电场方向由体内指向表面，它使半导体表面电子的能量高于体内，能带向上弯曲，即形成表面势垒。因为在空间电荷区中，主要由空穴组成，电子浓度比体内小很多，因此在半导体表面是一个高阻的区域，常称为阻挡层。因此，当Pt与n型的ZnO纳米线接触时，在ZnO表面会形成正的空间电荷区，表面电子能量高于体内，能带向上弯曲，形成高阻区。我们采用的是Pt-ZnO-Pt结构，因此表现在I-V曲线上就是两个对称的肖特基接触的I-V曲线，在电压-2V至+3V范围内，电流值很小，电阻很大，而超过 $\pm 4\text{V}$ 时，电流突增，是因为外加电压削弱接触表面形成的自建电场，使势垒降低。从另一个方面，我们可知利用化学气相沉积生长的ZnO纳米线是一种n型半导体材料。

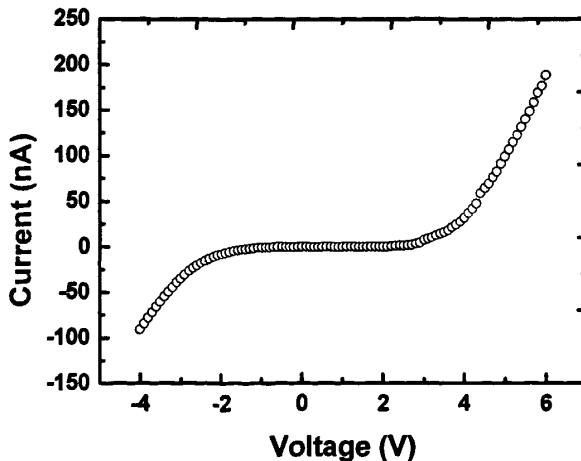


图32 Pt-ZnO纳米线形成的肖特基接触的I-V特性曲线

与Pt电极形成鲜明对比的是Cr/Au电极，图33 I-V曲线则表现为典型的欧姆接触特性。这是因为利用用热蒸发蒸镀的电极Cr/Au，由于Cr的功函数4.5，与ZnO纳米线的功函数相差不多，因此金属与n型半导体接触时，可以看做电子不流动或是流动较小，因此半导体表面的能带不弯曲，或者向下弯曲，因此可以看做没有势垒或是势垒较小，形成一个高电导的区域，对半导体和金属接触电阻的影响是很小的，因此在平常的实验中觉察不到它的存在，在I-V曲线上反映出来就是欧姆接触，是一条直线。如图39所示。

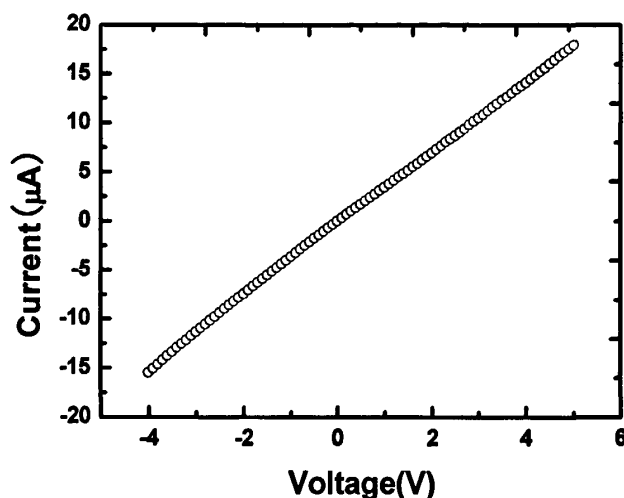


图33 Cr/Au-ZnO纳米线形成的欧姆接触的I-V特性曲线

从上面我们测试和分析可以看出，利用Pt电极与ZnO纳米线接触可以获得具有肖特基势垒的I-V特性，而利用Cr/Au电极与ZnO纳米线接触则可以获得具有欧姆接触的I-V特性，因此我们利用金属电极自身与ZnO纳米线在表面功函数上接近或差异，可以调控ZnO纳米线的I-V特性来满足不同应用的需要，这个结对于基于ZnO纳米线的纳米功能器件来说非常重要。

3.3 ZnO 纳米线场效应管的制备及输出特性测量

在场效应管的发展过程中，根据栅的位置的不同，可以将场效应管的结构分为顶栅³³、背栅³⁴、侧栅³⁵、围栅³⁶四种。顶栅与背栅是以栅介质层为对称轴，顶栅的结构是栅极栅极在栅介质层上面调控沟道的宽度，而背栅则是在栅介质层的下方。

本节以氧化铝作为栅介质层，制备出顶栅型 ZnO 纳米线场效应管，并测量其电学

特性。下面简单介绍下 ZnO 纳米线的制备过程。

3.3.1 场效应管工作原理介绍

在场效应管的发展过程中,根据栅的位置的不同,可以将场效应管的结构分为顶栅^[37]、背栅^[38]、侧栅^[39]、围栅^[40]四种。顶栅与背栅是以栅介质层为对称轴,顶栅的结构栅极在栅介质层上面调控沟道的宽度,而背栅则是在栅介质层的下方。其中顶栅的结构是场效应管中最典型的结构。

这里简单介绍一下场效应管的工作原理。场效应管(Field Effect Transistor)是一种利用电场效应来控制电流大小的半导体器件。通过改变输入电压来控制输出电流,属于电压控制器件。它不吸收信号源电流,不消耗信号源功率,因此其输入电阻十分高,可高达上百兆欧,此外,场效应管还具有稳定性好,抗辐射能力强,噪声低,制造工艺简单,便于集成等优点。目前报道的金属氧化物纳米线场效应管属于金属-氧化物-半导体场效应管(Metal-Oxide-Semiconductor Field Effect Transistor, MOSFET),MOSFET 结构简图如图 34。

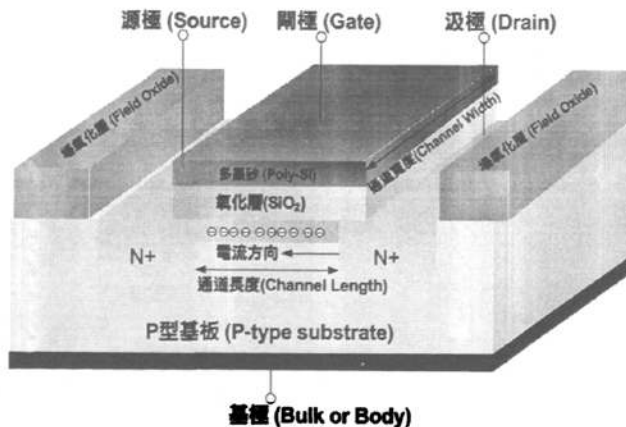


图 34 n-type MOSFET 的截面图

图 34 所示是一个 n-type MOSFET (以下简称 NMOS) 的截面图。MOSFET 的内核是位于中央的 MOS 电容,而上右两侧则是它的源极与漏极。源极与漏极的特性必须同为 n-type (即 NMOS) 或是同为 p-type (即 PMOS)。上图 NMOS 的源极与漏极上标示的“N+”代表着两个意义:(1) N 代表掺杂(doped)在源极与漏极区域的杂质极性为 N;(2) “+”代表这个区域为高掺杂浓度区域(heavily doped region),也就是

此区的电子浓度远高于其他区域。在源极与漏极之间被一个极性相反的区域隔开，也就是所谓的基极（或称基体）区域。如果是 NMOS，那么其基体区的掺杂就是 p-type。反之对 PMOS 而言，基体应该是 n-type，而源极与漏极则为 p-type（而且是重掺杂的 P+）。基体的掺杂浓度不需要如源极或漏极那么高，故在上图中没有“+”。

对这个 NMOS 而言，真正用来作为通道、让载子通过的只有 MOS 电容正下方半导体的表面区域。当一个正电压施加在栅极上，带负电的电子就会被吸引至表面，形成通道，让 n-type 半导体的多数载子—电子可以从源极流向漏极。如果这个电压被移除，或是放上一个负电压，那么通道就无法形成，载子也无法在源极与漏极之间流动。

假设操作的对象换成 PMOS，那么源极与漏极为 p-type、基体则是 n-type。在 PMOS 的栅极上施加负电压，则半导体上的空穴会被吸引到表面形成通道，半导体的多数载子—空穴则可以从源极流向漏极。假设这个负电压被移除，或是加上正电压，那么通道无法形成，一样无法让载子在源极和漏极间流动。特别要说明的是，源极在 MOSFET 里的意思是“提供多数载子的来源”。对 NMOS 而言，多数载子是电子；对 PMOS 而言，多数载子是空穴。相对的，漏极就是接受多数载子的端点。

栅介电层其实就是 MOS 电容中的绝缘层，它起到将栅极和通道隔开的作用。图中显示的是 SiO_2 薄膜，由于随着器件尺寸的进一步缩小，进入到亚 $0.1 \mu\text{m}$ 尺度范围内时，为保证栅对沟道有很好的控制，如果仍然采用 SiO_2 作为栅绝缘介质层，其厚度将小于 3nm 。在这样的尺度下，由于直接隧穿电流随介质层厚度的减小而成指数性增加，于是栅与沟道间的直接隧穿将变得非常显著，由此带来了栅对沟道控制的减弱和器件功耗的增加，这是微电子技术进一步发展的限制性因素之一。克服这种限制的有效方法之一是采用高介电常数的新型绝缘介质材料（简称高 k 材料）^[2]。采用高 k 材料以后，在保证对沟道有相同控制能力（ $C=\epsilon_r S/4\pi kd$ 相同）的条件下，栅绝缘介质介电常数的增加将使栅介质的物理厚度 d 增大，于是栅与沟道间的直接隧穿电流将大大减小。

依据场效应管的工作原理，本章基于单个氧化锌纳米线，以氧化铝作为栅介质层，制备出顶栅型单个 ZnO 纳米线场效应管，并测量其电学输出特性。

3.3.2 氧化锌纳米线场效应管的制备

本文利用微纳加工技术、金属沉积技术和原子层沉积技术等多重技术手段，制备出以 Al_2O_3 为栅介质层的顶栅结构的 ZnO 纳米线场效应管。其工艺包括利用电子束曝光和金属沉积技术制备 ZnO 纳米线场效应管的源、漏电极，然后利用原子层沉积方法在

电极及纳米线上面沉积高 k 的 Al_2O_3 介质层, 最后再利用电子束曝光对准技术和金属沉积过程完成顶栅电极的制作。其中的主要特点是, 在场效应管的栅极介质层制作中采用原子层沉积技术制备了 Al_2O_3 高 k 介质薄膜充当栅介质层, 这种栅介质层的制备方法的优势在第二章已经做过详细介绍, 它将有效降低场效应管的工作电压和器件的功耗, 各方面性能将优于采用其它方法制备的栅介质层。

ZnO 纳米线场效应管的基本制备过程如图 35 所示, 其包括如下步骤:

- 1) 利用传统的清洗工艺将沉积有 500 nm 厚的 SiO_2 薄膜的硅衬底清洗干净, 吹干, 烘烤。
- 2) 将 CVD 法制备的白色 ZnO 纳米线絮状物用刀片从 Si 片上剥离于无水乙醇中, 超声分散后, 将其滴在上步清洗过的 SiO_2/Si 片上。
- 3) 利用电子束曝光系统和热蒸发系统在 ZnO 纳米线两端制备出源漏电极, 电极由 10 nm Cr 和 50 nm Au 组成。
- 4) 利用原子层系统在片子表面沉积 30 nm Al_2O_3 , 充当栅介质层。
- 5) 再利用电子束曝光系统的对准功能在栅介质层上制作出栅电极掩膜, 然后, 再利用热蒸发沉积过程沉积金属电极, 同样也是由 10 nm Cr 和 50 nm Au 组成。

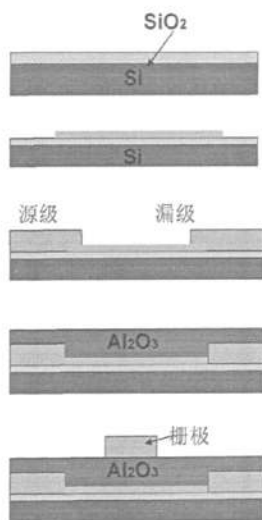


图 35 ZnO 纳米线场效应管的制做过程

利用如上 5 个工艺步骤, ZnO 纳米线场效应管制备完成。图 36 给出了制作完成的单根 ZnO 纳米线的场效应管 SEM 图, 其基本参数是: 三个电极宽度分别为 $1\mu\text{m}$, 电极

间距为 $1\mu\text{m}$ ，其中纳米线长度为 $10\mu\text{m}$ ，直径： Al_2O_3 栅介质层厚度为 30nm 。在此基础上，我们将进行 ZnO 纳米线场效应管的电学输出特性测试。

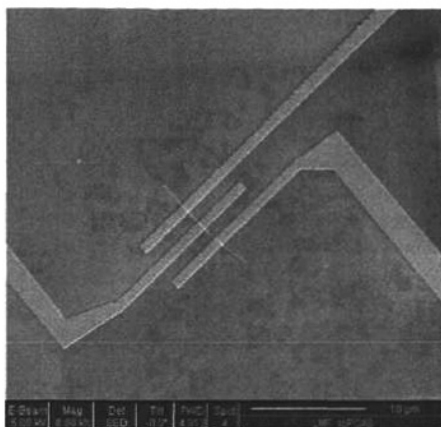


图 36 顶栅结构 ZnO 纳米线场效应管的 SEM 图像

3.3.3 氧化锌纳米线场效应管的电学输出特性测量

场效应管的一个重要的特征是通过改变栅极电压，利用电场效应来调控源漏电极之间的电流。因此在 ZnO 纳米线场效应管制备完成后，我们对不同栅极电压下的 ZnO 场效应管的输出特性进行了研究（如图 37 所示）。图中显示当栅极电压为 2V 的时候，源漏电流为 $8\mu\text{A}$ ，当栅极电压每增加 1V ，其控制的源漏极电流有明显的增大，当栅极电压为 5V 时，源漏电流为 $16\mu\text{A}$ 达到了改变栅压控制电流大小的目的，满足了场效应管的基本要求。

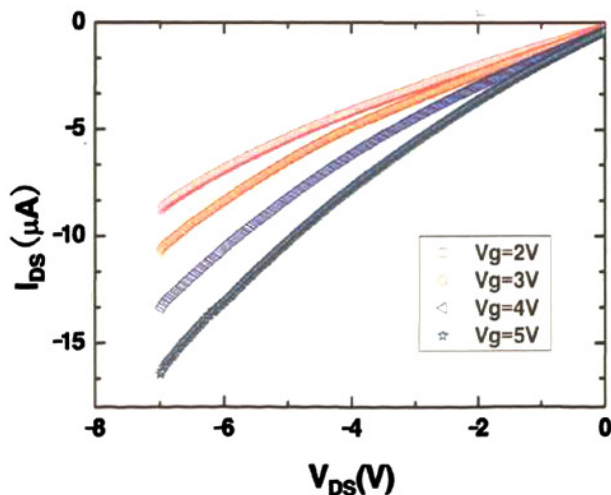


图 37 不同栅压下 ZnO 纳米线场效应管的 I-V 曲线

另外我们还发现，栅介质层为 $30\text{nmAl}_2\text{O}_3$ 时的栅调控电压非常小，仅仅 5V 以内

就可以控制 $16\mu\text{A}$ 的源漏电流，远远小于利用 SiO_2 作为栅介质层时的调控电压^[41]，文献中报道利用 SiO_2 作为栅介质层，栅压从 0V 增加至 7V ，其源漏电流最大仅有 $1.2\mu\text{A}$ ，若要达到 $15\mu\text{A}$ 的源漏电流，需加更大的栅极电压来调控，其输出特性远远小于我们所制备的器件的性能，另外较低的栅极电压可以降低器件的工作电压，减小电路的功耗。这就说明高 k 介质薄膜作为栅介质层应用于场效应管器件中有着相当乐观的前景。

3.4 小结

本章主要对高 k 介质薄膜在微电子领域中的应用，特别是作为场效应管栅介质层的 I-V 特性做了研究，本章现小结如下：

1、基于气-液-固生长机理，采用管式炉碳热还原法在镀有 Au 催化剂的 Si 基片上制备高密度，长短粗细均匀的 ZnO 纳米线，并用酒精超声分散，得到单根长度为 $10\mu\text{m}$ ，宽度为 100nm 以内的 ZnO 纳米线。

2、通过沉积不同的金属电极 Pt 和 Cr/Au，研究了单根 ZnO 纳米线的 I-V 特性，分别得出肖特基接触和欧姆接触两种不同的 I-V 曲线，证实了利用化学气相沉积制备的 ZnO 纳米线是一种 n 型半导体材料。因此我们利用金属电极自身与 ZnO 纳米线在表面功函数上接近或差异，可以调控 ZnO 纳米线的 I-V 特性来满足不同应用的需要，这个结果对于基于 ZnO 纳米线的纳米功能器件来说非常重要。

3、利用电子束曝光系统在 ZnO 纳米两端制备源漏电极，以 30nm 的 Al_2O_3 薄膜作栅介质层然后沉积栅极，三端电极均由 10nmCr 和 50nm 组成。测试其输出特性曲线，栅极电压仅为 5V 就可以控制 $16\mu\text{A}$ 的源漏电流，实现了利用栅压来调控源漏之间的电流大小，满足了场效应管的基本要求，而若要达到同一量级的电流大小， SiO_2 作为栅介质层时的调控电压需远远大于 5V ，因此利用高 k 介质薄膜作为栅介质层可以降低器件的工作电压，减小电路的功耗，体现了高 k 介质薄膜作为栅介质层的优越性。

第四章 高 k 介质薄膜在微流体器件中的应用

4.1 引言

近些年来出现的纳米技术、生物技术、信息技术与认知科学已将科学技术的发展引入到一个关键的转折期。在强调尖端技术和学科间的交叉同时，微流体技术的出现，也为交叉学科的应用提供了一个切入点。微流体技术是指在微观尺寸下控制、操作和检测复杂流体的技术，其应用遍及物理、化学、生物等领域及其交叉领域。基于微流体技术制成的微流体系统，与宏观流体系统类似，所需的器件也包括泵、阀、混合器、过滤器、分离器等。应用于生物物理学领域中的最简单的微流体器件可由单个纳米孔和电极组成，也可以由许多纳米孔阵列组成，以同时进行筛选、引导、定位、测量不同尺度的生物大分子。因此基于纳米孔的微流体器件在生物物理学和生物技术领域中有着广泛的应用前景，其中关键的组成部分——纳米孔逐渐受到了人们的普遍重视，引起了人们的广泛兴趣。尤其是纳米孔作为生物聚合物的检测器件更是引起了人们越来越多的关注。首次利用生物纳米孔—— α -溶血素作为生物大分子的检测为一些生物化学现象的基础研究提供了潜在的可能性^[42]。然而，生物纳米孔所固有的一些缺陷也是很明显的，例如：不稳定性和孔的尺寸不可更改^[43]等。因此，人们广泛致力于研究固态人造纳米孔，用于生物探测器中，这不仅使生物大分子或者蛋白质的分离、按大小排列，甚至是快速测序成为可能；而且它能够充当模板用于纳米电极制备^[44]、局域力执行器^[45]。

利用纳米孔检测生物大分子的基本原理是这样的：将生物大分子放置在被绝缘薄膜分隔的具有缓冲盐溶液中，当生物大分子穿过有纳米孔的绝缘薄膜时，穿过纳米孔电流变小——电流阻塞。不同大小的生物大分子穿过纳米孔时，电流波动幅度也会随之不一样。如图 38 所示。

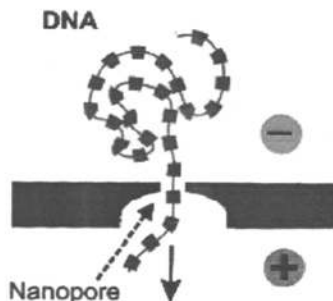


图 38 纳米孔检测 DNA 大分子示意图

然而，直接制备的纳米孔会带来一些非本征的表面特性，例如： $1/f$ 噪声，负的表面电荷，这些都会影响纳米孔的传感能力^[46]。因此制备出一个良好的生物传感器，需要后续的实验工作改善其表面特性。目前主要采用薄膜沉积的方法^[47]，因为薄膜沉积不仅可以改善孔洞周围的表面特性，改善上述所提到的非本征的表面特性，又可以将孔洞缩小至生物传感器所适合的尺度。但是这种方法对薄膜的致密度和厚度的精度控制的要求非常高，同时因为缩孔过程是一个三维方向沉积的过程才能达到缩孔的目的，因此常见的薄膜沉积方法都不能满足这个要求。而原子层沉积方法沉积薄膜的特点是密度高、厚度控制精度低于 1\AA ，同时台阶覆盖率高适合高宽深比的孔洞沉积要求，非常适固态孔的缩小及改善其表面特性。目前这方面的利用原子层沉积薄膜来实现缩小固态纳米孔的工作已经有人开始尝试，但是相关报道较少，工艺也不太稳定，重复性差，因此仍需要大量的研究工作探讨制备薄膜的工艺及其在固态纳米孔表面的物性、稳定性和适用性等方面规律与机制。

本章主要工作主要是针对固态纳米孔缩孔制备过程的存在问题，开展利用原子层沉积 Al_2O_3 薄膜来进行固态纳米孔的缩小工艺技术的研究，利用沉积 Al_2O_3 薄膜具有的高致密度、高稳定性和膜厚控制精确极高的特点，探索应用在微流体器件中的固态纳米孔的缩小工艺，为其在生物传感器件中的应用奠定基础。

4.2 固态纳米孔的制备

在进行固态纳米孔的后期修饰之前，纳米孔的制备是一个关键的问题，制备的纳米孔的质量好坏，直接影响到后期的处理，进而影响器件的性能，而生物化学和基因学的研究需要，推动了对固态纳米孔的研究，因此，大量的传统和非传统的方法被应用来制备固态纳米孔，其中包括：聚焦离子束钻孔^[48]、电子束打孔^[49]、和传统光刻-刻蚀或电子束曝光-刻蚀过程^[50]、微模板技术^[51]和离子轨迹刻蚀^[52]。和上述的其他制备纳米孔的技术相比，聚焦离子束以其众多的优点成为制备纳米孔的最为方便的技术之一。其优点包括：操作简单、不需高压、高的直写重复性等等。在本文中，我们利用聚焦离子束系统在 Si_3N_4 薄膜上制备出了高质量的纳米孔。

4.2.1 固态纳米孔的制备及表征所用仪器介绍

为了更好的了解我们的制备过程，首先了解仪器的原理及构造是有必要的。所以下面我们介绍一下我们打孔用到的聚焦离子束系统。

聚焦离子束（focus ion beam, 简称为 FIB）系统与扫描电镜设备非常相似，只是利用聚焦的离子而非电子产生扫描信号。离子源为一个涂有低熔点金属薄膜的直径约几微米的缠绕钨丝，在尖端曲率半径小于 $1\ \mu\text{m}$ 的钨丝上加一个较高的电场，于是便可以抽取得到扫描所需的离子。

高压加速的离子在达到固体样品时，会在样品表面通过粒子的碰撞分散开来，发生原子的溅射和电子的激发等过程，如图 39 所示，导致表面的化学反应、原子错位和离子注入等效果。在样品表面被溅射出来的二次电子和离子可以收集起来用于成像。由于被成像的材料和聚焦离子束斑大小的差别，所获得的图像分辨率也有所不同。目前，FIB 设备的二次电子和二次离子成像的分辨率分别达到了 $2\ \text{nm}$ 和 $5\ \text{nm}$ 。

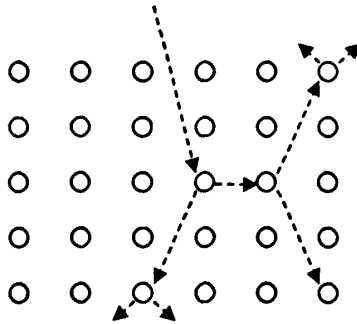


图 39 入射离子与固体表面的相互作用

典型的 FIB 设备包括液态金属离子源、离子柱系统、二次粒子探测器、多轴移动样品台、真空系统、电子控制面板和计算机控制系统等硬件部分。我们使用的设备为美国 FEI 公司生产的 DB235 电子束/离子束双束工作站（图 40）。所谓双束，即电子束和离子束同在一个真空腔体内，可以同时满足 FIB 精细加工和电子束高分辨成像的要求。电子束的分辨率为 $3\ \text{nm}$ ，最大可加工 $2''$ 晶圆，加工的最小特征尺寸为 $20\ \text{nm}$ ，可原位的刻蚀和沉积 SiO_2 和金属 Pt、W。

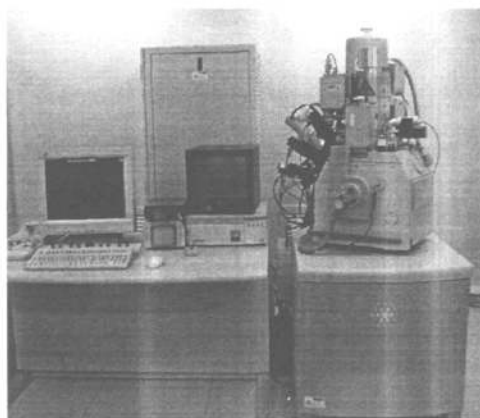


图 40 聚焦离子束/电子束工作站

FIB 的功能主要有：1. 定点切割； 2. 选择性材料蒸镀； 3. 选择性刻蚀； 4. 刻蚀终点探测等。

离子束的位置通过偏转线圈来控制，曝光剂量通过离子束流的大小、点停留时间和步长来控制，离子束可以在选定的位置上进行刻蚀。聚焦离子束系统也可用来沉积金属和绝缘层。另外，FIB 系统中还常配有碘和氟化氙等气体，针对不同材料进行相应的化学辅助增强刻蚀。

FIB 设备在十几年前开始进入商业领域，第一台设备是用来修复光刻掩模板的缺陷，以生产出无缺陷的掩模板。由于能在选定的微区进行刻蚀和沉积金属或者绝缘层，使得 FIB 系统成为在微纳米人工结构加工、材料分析样品制备和微纳电子器件制作等领域里的理想设备。如已经被广泛应用的微机电系统^[53]、电路修复^[54]、失效分析^[55]、电子束和 X 射线曝光掩模板的修复、TEM 样品制备、微纳米尺度的三维结构直写^[56]和纳米探针的三维结构修复等^[57]。

下面主要介绍一下 FIB 的主要工作过程

1、图像获取

离子束通常在样品表面利用静电透镜聚焦成亚微米级的束斑，然后由一个带电离子探测器收集由离子束在样品表面溅射出来的二次带电离子。被溅射出来的离子或二次粒子探测器接收，得到二次离子像或者二次电子像。被溅射出来的二次离子的数量和类型充分体现了样品表面的形貌。由 FIB 得到的二次电子像比二次离子像有更高的信噪比，但是由不同材料溅射出来的二次离子产生的二次离子像的对比度很大，两种成像模式互为补充。采集的图像可以保存下来并进行更多的分析。

2、刻蚀

我们利用 FIB 在 Si_3N_4 薄膜上打孔主要利用的是聚焦离子束的刻蚀作用。我们所利用的是 Ga 离子源。离子束经过一系列变化的孔径光阑决定了其束流的大小，再经过二次聚焦至样品表面，利用物理碰撞或化学诱导实现切割或沉积的目的。离子束通过静电透镜聚焦到衬底上几十平方纳米的几平方毫米的范围，二次带电粒子通过微通道器和电子通道倍增器被采集，离子束通过其能量或化学增强刻蚀的办法刻蚀选定区域内的相应材料，或者在选定区域内沉积金属或绝缘层。因为离子束成像其实就是通过采集离子束轰击出的样品表面的二次电子或离子信号得到的，所以刻蚀一个结构也可以被认为是过成像，或者认为是得到刻蚀后的图像。

FIB 刻蚀限度受到束斑大小和刻蚀材料的密度及所需加工图形结构等条件影响，通常 FIB 可以加工到小于 100 nm 的尺寸，如线条或者孔径，有些甚至可以小于 20 nm。除了横向尺寸上有限制外，加工的深宽比也是有要求的，通常尺寸越小，能达到的深宽比就越小，在 1 μm 左右的线宽尺寸，加工的深宽比可以达到 1: 10。另外，由于刻蚀的同时在紧邻刻蚀位置的周围会有刻蚀出的材料再沉积等原因，所以想精确去除掩模板上的多余的污染物，也是非常困难的。因此在离子束刻蚀的位置注入含卤素的气体，使之与溅射出来的产物产生挥发性物质，这样就可以改善再沉积的影响，并提高刻蚀深宽比的极限。气体辅助刻蚀只是在离子束辐照的局部区域与溅射产物发生化学反应，不影响其他区域，从而很好的进行特定微区的加工。使用 FIB 的气体辅助增强刻蚀功能可以增加刻蚀的深宽比，同时侧壁的垂直度可以做到接近 90 度，并提高了刻蚀的速度。另外，气体辅助刻蚀是有选择性的：不同的气体组分对不同材料有不同的刻蚀率，所以也称之为选择性增强刻蚀。在器件修复和失效分析等众多应用中，选择性的去除某种材料，保留另外一种材料的刻蚀方法是非常有用的。例如， XeF_2 对 SiO_2 的增强刻蚀倍率约 7-10 倍，但对于 Al 的增强刻蚀效果却很小，一般不到 2 倍，在电路修复工艺中使用选择性增强刻蚀，可以很好的剥离绝缘层凸现出电路，进而进行失效分析。

3、沉积

微区化学气相沉积也是微加工领域中重要的一部分。通常用于沉积的气体，如有机金属化合物，通过一只很细的距离离子束聚焦位置不到 300 μm 、内径小于 300 μm 的毛细管注入到真空系统中，通过聚焦离子束的辐照分解，将金属或者绝缘物质沉积到样品上（如图 41 所示），同时分解的残余气体排出系统外。沉积的金属通常是金属 Pt 或者金属 W，沉积的绝缘层为硅的类氧化物。通常毛细管的尖端距离样品表面 100-200 μm 。

FIB 诱导气相沉积的机理已经在文献中做了大量详尽的报道。沉积是 FIB 进行沉积和刻蚀的动态平衡的过程，选择合适的束流密度并改善束流的大小、点停留时间和步长等参数可以得到最佳的沉积条件。

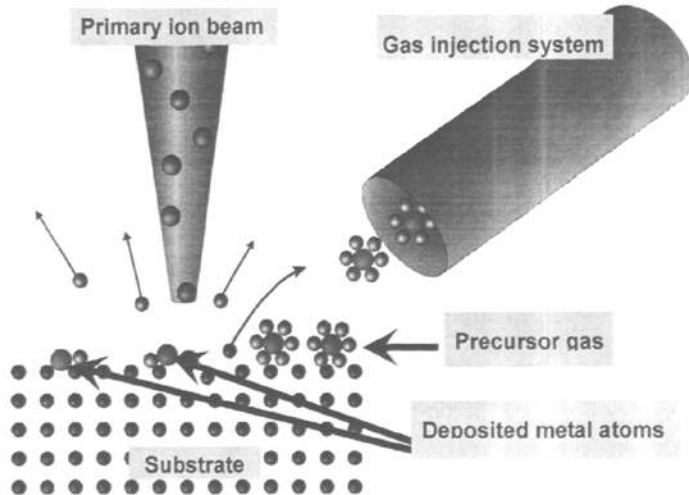


图 41 气体辅助的 FIB 化学沉积过程

4.2.2 聚焦离子束打孔的工艺研究

我们在氮化硅薄膜上进行纳米孔的制备，因为氮化硅薄膜具有一些优异的特性：高热冲击阻力、抗氧化性、耐磨性、优异的断裂韧性、抗蠕变和抗疲劳等。我们所用的是 Si_3N_4 薄膜是从 Structure Probe 公司购买的厚度为 50 nm 自支撑薄膜，衬底厚度约 350 μm 厚的 Si。该薄膜也可以自行制备，具体方法如下：首先在 Si 衬底上用低压化学气相沉积 (PECVD) 的方法沉积 50 nm 厚的 Si_3N_4 薄膜，然后利用光刻和 Si 定向湿法刻蚀的工艺制备出一个倒金字塔型的矩形窗口，窗口大小根据实验需要可以随意调整。

在自支撑的 Si_3N_4 薄膜上，利用聚焦离子束双束系统进行局域减薄，得到不同厚度的区域，然后用 50 pA 和 10 pA 的束流分别刻蚀一系列尺寸不等的纳米孔，50 pA 和 10 pA 的束斑大小分别为 15 nm 和 10 nm。实验结果显示纳米孔的大小随着不同的刻蚀条件（如：束流大小、 Si_3N_4 膜的厚度和每个孔的刻蚀时间）变化的规律。例。如图 42 (a) 所示，同样的束流下，随着离子束的辐照剂量的增加孔径增大，在相同的剂量下，束流大的刻蚀的孔径也大。图 42-b 和 c 是在相同剂量下，50 pA (b) 和 10 pA (c) 刻蚀的纳米孔对比，(d) 和 (e) 显示了相同束流 (10pA)，刻蚀时间越长，刻蚀的纳米孔也就越大。因此，为了刻蚀更小的纳米孔就需要用较小的束流和较短的时间。

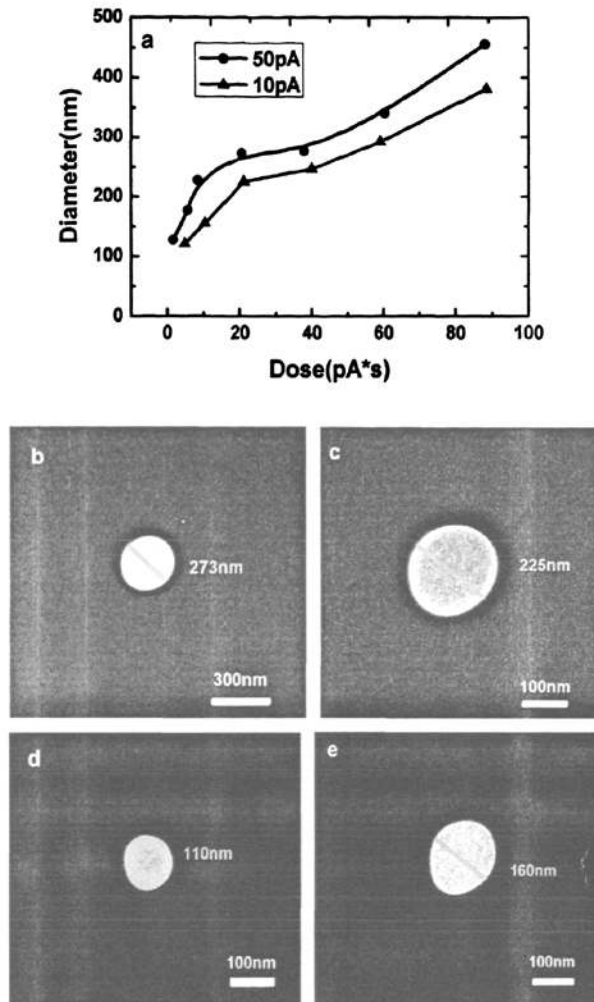


图42 (a) 50 pA和10 pA束流制备的纳米孔孔径与离子束流剂量的关系, (b)和(c) 是分别相同剂量下用50 pA和10 pA刻蚀的纳米孔的TEM图像, (d)和(e)是用相同的束流密度10 pA不同刻蚀时间所刻蚀的纳米孔的 TEM 图像。膜厚均为25 nm。

另一方面,我们还研究了 Si_3N_4 膜厚与刻蚀的纳米孔的直径大小关系。如图 43 (a) 可以看出,在较厚的 Si_3N_4 薄膜上,我们所能得到的最小的纳米孔,要比在较薄的 Si_3N_4 薄膜上所得到的最小的纳米孔大,相应的在 10 nm 和 17 nm 厚的薄膜上所制备的纳米孔的透射电子显微镜 (TEM) 的照片分别如图 43 (b) 和 (c) 所示。在厚膜上刻蚀出孔需要较高的束流能量,而束流能量高势必导致最小孔径不能足够小。因此,理想的情况是在更薄的薄膜上用小束流,和合适的刻蚀时间,使得离子束刚好能够将薄膜打穿。因

此如何将薄膜减的更薄是一个关键的问题。

我们用垂直入射的方法来减薄薄膜，通过精细的调整刻蚀的时间来估算出剩余薄膜的厚度。我们发现用这种方法，我们最终会得到 10 nm 厚的薄膜，并且继续增加减薄时间便会损坏薄膜。我们在 10 nm 厚的薄膜上所得到的最小的纳米孔直径为 10 nm，其 TEM 图像如 43 (b) 所示。因此只有改善减薄的方法，获得更薄的薄膜，才有可能获得 10 nm 以下的纳米孔。为此，我们改善了减薄条件，使离子束略入射到薄膜表面进行局域减薄，这样我们获得了更薄的 Si_3N_4 薄膜，厚度约 7 nm。在此薄膜上，我们制备出了直径 6 nm 的纳米孔，纳米孔的 TEM 图像如图 44 所示，我们可以清晰的看出孔的边缘，孔的宽度为 6 nm。

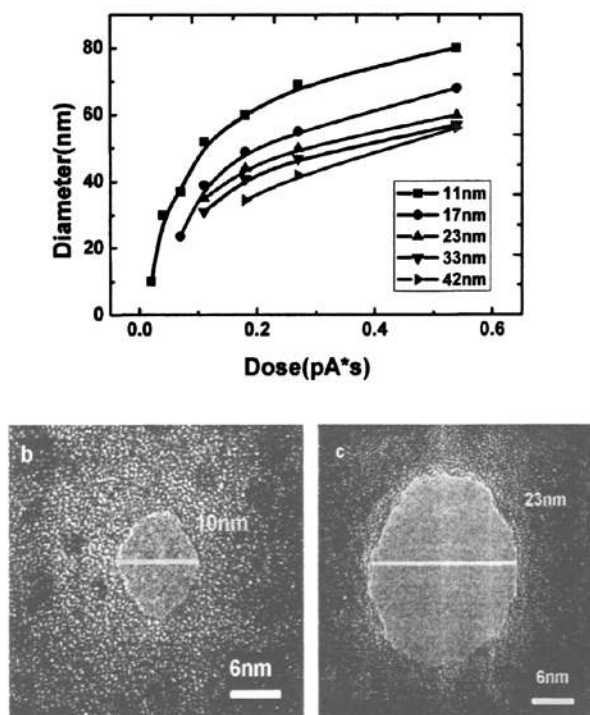


图43 (a) 在离子束流为10 pA的情况下，纳米孔的直径与膜厚的依赖关系(b)和(c)分别是在10 nm和17 nm厚的 Si_3N_4 薄膜上所获得的最小的纳米孔。

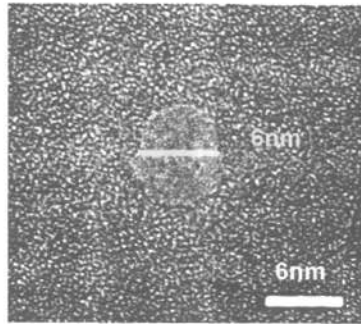


图 44 利用 FIB 在 7 nm 厚的 Si_3N_4 薄膜上刻蚀的 6 nm 的纳米孔

虽然我们采用聚焦离子束刻蚀的方法，通过刻蚀工艺的摸索和优化制备出低于 10 纳米的固态纳米孔，但是由于聚焦离子束技术的局限性，低于 20 纳米孔的制备成功率不高，同时单凭经验无法重复很小纳米孔的制备。此外由于利用聚焦离子束刻蚀的费用较高，又对纳米孔的周围表面有较大注入和损坏，因此不利于纳米孔在生物流体传感器件中应用。为此，我们采用原子层沉积的方法沉积高质量薄膜的途径，在膜厚的精确控制缩小固态孔径同时有修复和改善刻蚀损害的表面性能，详细过程在下一节重点介绍我们在这方面的工作。

4.3 ALD 沉积均匀薄膜缩孔

如本章引言中提到，通过薄膜沉积不仅可以实现纳米孔的缩孔的目的，还可以改善纳米孔的性能。Ronald kox 领导的研究小组^[21]利用场发射透射电子显微镜辐照纳米孔，引起纳米孔周围的原子迁移，而使纳米孔的尺寸缩小，但是这种方式采用高压，电子束的能量很大，容易损伤样品表面。而且电子束辐照产生的形变不可控，孔的形状经辐照后变的不规则，因此这里我们采用原子层沉积系统沉积表面均匀的、台阶覆盖率好的高质量 Al_2O_3 薄膜，实现缩小纳米孔。

4.3.1 Al_2O_3 膜厚控制对缩孔过程影响

作为一种薄膜生长技术，原子层沉积是一种非常具有吸引力的新型薄膜生长技术，因为它具有很多优点，例如：保型性生长、薄膜一致性、高密度和高覆盖率等。首先利用聚焦离子束在 Si_3N_4 薄膜刻蚀直径大于 20nm 的纳米阵列，然后利用原子层沉积系统在 Si_3N_4 薄膜上沉积 Al_2O_3 。为了保证高质量 Al_2O_3 的沉积，我们采用 250°C 的沉积工艺，对应沉积速率约为 1Å/循环。图 45 给出了沉积薄膜前后的纳米孔的 TEM 图。图中

清楚地显示出随着沉积厚度的增加，孔的直径缩小近 1/3。图 (a) 为沉积 Al_2O_3 之前的纳米孔，直径约为 30 nm，图(b)为用 ALD 沉积 5 个循环后的纳米孔的 TEM 图像，直径约为 25 nm，图 (c) 为 ALD 沉积了 7 个循环后的纳米孔的 TEM 图像。直径缩小约为 20 nm。因此利用原子层沉积的方式在 Si_3N_4 薄膜上沉积薄膜，可以逐渐将纳米孔的直径缩小，达到有效缩孔目的；此外利用这种方法不仅可以在原孔的基础上实现高重复性和可靠性的缩孔过程，而且还可以修复和改善纳米孔周围的性能，降低孔洞表面粗糙度，提高生物微流体器件中纳米孔分离，检测生物大分子的信噪比。

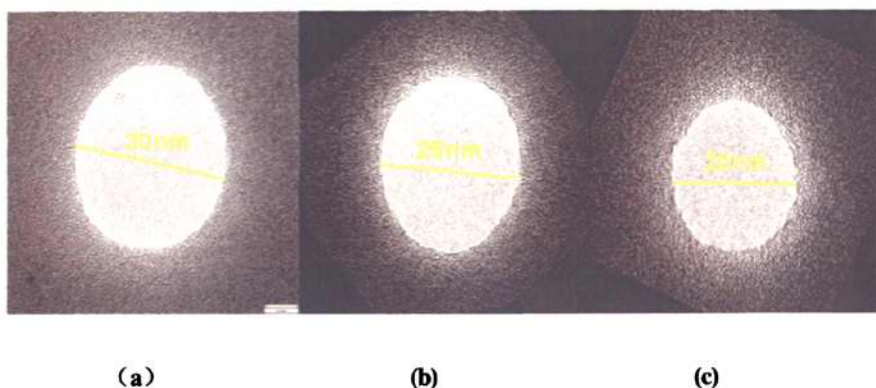


图 45 Al_2O_3 沉积前后的 TEM 图像

但是我们发现， Al_2O_3 薄膜沉积的厚度与实际的缩孔尺寸并不一致，这与纳米孔周围的纳米尺度效应和原子层沉积的实际过程有关。在几十纳米量级的孔径区域内侧和外侧，ALD 沉积过程会与在平面或微米量级三维结构的沉积不同，沉积厚度会因为几何位置的变化而变化，从而造成比实际单个循环的平均厚度要大，如果忽略 TEM 测试过程的误差，实际上薄膜在孔口的沉积厚度出会由于几何效应而比孔口周围的其它平面的区域要大，这一点可以从图 45 的孔径随沉积循环次数的变化中看出。此外。我们还发现了另一个现象，就是当对直径小于 20 nm 纳米孔进行薄膜沉积缩孔是，沉积 Al_2O_3 薄膜后孔洞会发生添埋现象，图 46 清楚地显示了原子层沉积后的被添埋的纳米孔。

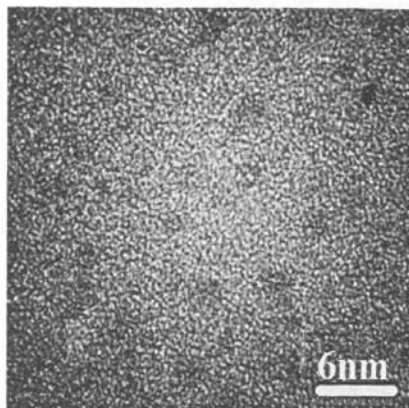


图 46 沉积 Al_2O_3 后的纳米孔的 TEM 图像

4.3.2 缩孔填充现象的原因分析及解决办法

利用原子层沉积设备对纳米孔进行缩孔, 与其单原子层沉积的原理不同, 沉积速度大于单原子层的沉积速度, 尤其在尺寸小于 20nm 的纳米孔处。造成这一现象的原因有如下可能, 首先, 在 ALD 生长过程中, 如果控制不好温度和反应室内的前驱体的流量, 那么生长的模式将不再是 ALD 的模式, 而是 CVD 的模式。因为温度过低, 或前驱体的流量过高, 前驱体蒸汽的反应速度较慢, 而每个循环的间隔时间不足, 就会引起前一个循环的未反应完全的前驱体残余气体停留在反应室内, 这就意味着下一个循环的反应物不再是严格定量的, 导致薄膜不是按照一层一层的原子层生长, 沉积的薄膜厚度远远大于所设定的厚度值。关于这一可能原因, 我们延长了每个循环中的间隔时间, 使得前驱体气体停留在反应室内的时间增长, 确保反应充分进行; 同时延长除气时间, 使反应室内没有反应完的气体能够被充分排除, 保证每一个循环的单原子层生长, 但结果没有明显改善。另外一个可能原因是由于前驱体的气流在反应室内表面形成漩涡, 因而在薄膜表面形成反射, 结果只在衬底表面形成一层薄膜, 因此我们所看到的是 Al_2O_3 薄膜覆盖在了纳米孔的表面。

如果可以将前驱体的气流从顶端喷入, 形成淋浴形式, 给气流施加一进入到孔洞之中的力, 从而达到在孔洞中生长的目的。实现这一目的需要对原子层沉积系统进行改造, 把原有的反应腔体中的气流输入方式改造成由喷淋式注入, 应该会改善或解决小于 20nm 纳米孔填充现象。进一步的改造和工艺摸索将在今后的研究中逐步实施。

4.4 小结

本章主要对应用在生物领域的纳米孔进行了制备研究,实现了高质量的纳米孔的制备,并在利用原子层沉积的薄膜缩孔的过程中,提出了一个新的问题,作为后续研究的主要内容。本章小结如下:

1、利用聚焦离子束系统在 Si_3N_4 薄膜上打孔,通过在相同薄膜厚度上打孔,比较不同的束流密度的影响,发现纳米孔的尺寸会随着离子束的曝光剂量而增加。因此,为了刻蚀更小的纳米孔则需要用较小的束流和适合的时间。另外比较相同的离子束的辐照剂量,不同厚度的薄膜上的纳米孔的尺寸大小不同,得到薄膜越薄,获得最小的纳米孔的尺寸就越小。因此,在较薄的薄膜上用较小的束流,并用合适的时间刻蚀,使得离子束刚好能够将薄膜打穿时所得到的纳米孔的尺寸是最小的。同时采用离子束略入射的方式减薄薄膜,获得的更薄的薄膜,最终我们优化束流密度、薄膜厚度、刻蚀时间这三个参数,得到 6 nm 的纳米孔。

2、在打孔的 Si_3N_4 薄膜上,采用原子层沉积系统沉积 Al_2O_3 薄膜,随着沉积厚度的增加,孔的直径缩小近 1/3,实验结果表明原子层沉积系统沉积的薄膜确实能够缩小纳米孔的尺寸,同时由于原子层沉积系统保型性的特点,薄膜沉积前后纳米孔的形状不会因沉积薄膜而改变。这也正是采用原子层沉积薄膜缩孔的原因之一。

3、 Al_2O_3 薄膜沉积的厚度与实际的缩孔尺寸并不一致,这与纳米孔周围的纳米尺度效应和原子层沉积的实际过程有关。另外,当对直径小于 20 nm 纳米孔进行薄膜沉积缩孔是,沉积 Al_2O_3 薄膜后孔洞会发生添埋现象,解决这一问题我们除采用延长循环间隔时间外,我们试图改造原子层沉积系统,把原有的反应腔体中的气流输入方式改造成由喷淋式注入,应该会改善或解决小于 20nm 纳米孔填充现象。进一步的改造和工艺摸索经在今后的研究中逐步实施。

第五章 总结

本文主要通过原子层沉积系统制备出 Al_2O_3 和 HfO_2 高 k 介质薄膜, 对其进行了形貌和成分的特征, 以及漏电特性与击穿特性的研究; 并以 Al_2O_3 薄膜作为栅介质层, 制备出 ZnO 纳米线场效应管, 对其输出电学特性进行了研究; 并利用 FIB 系统制备纳米孔, 然后用 Al_2O_3 薄膜沉积缩孔, 现总结如下:

1、利用原子层沉积 HfO_2 或 Al_2O_3 薄膜, 测得介电常数, 分别为 20 和 9, 同时温度会对 HfO_2 或 Al_2O_3 薄膜的介电常数有影响, 在低温时, 界面容易生成界面层, 降低了薄膜的等效厚度, 从而限制了薄膜的介电常数。用原子层沉积系统在较高温度沉积薄膜时, 薄膜的介电常数较大。

2、利用半导体特性测量系统分别测试了 Al_2O_3 和 HfO_2 薄膜电容的漏电特性, 漏电流密度在 +1V 的情况下均不超过 3 nA/cm^2 , 而且 HfO_2 薄膜的漏电特性优于 Al_2O_3 薄膜。漏电小, 介电常数高, 这为高 k 介质薄膜在场效应管栅介质层方面的应用提供了理论依据。

3、用 AFM 和 EDS 分别表征介质层薄膜的表面形貌和成分结构。可以得出温度越高, 介质薄膜的表面粗糙度越大的结论, 相对来说, Al_2O_3 薄膜表面粗糙度随温度变化不明显, 而温度越高, 氧化铪薄膜越易出现微晶, 因此温度其表面粗糙度的影响较为明显。另一方面, 由于微晶的出现, 在相同温度下 HfO_2 薄膜粗糙度随着厚度的增加而增加, 而 Al_2O_3 薄膜是单晶的, 因此随着厚度的增加变化不明显。

4、基于气-液-固生长机理, 利用化学气相沉积的方法在镀有 Au 催化剂的 Si 基片上制备 ZnO 纳米线, 超声分离得到单根长度为 $10 \mu\text{m}$, 宽度为 100 nm 左右的 ZnO 纳米线。比较不同电极 Pt 和 Cr/Au 形成金属-半导体接触系统, 研究了单根 ZnO 纳米线的 I-V 特性, 分别得出肖特基接触和欧姆接触两种不同的 I-V 曲线, 证实了利用化学气相沉积制备的 ZnO 纳米线是一种 n 型半导体材料。

5、利用电子束曝光系统在 ZnO 纳米线两端制备源漏电极, 沉积 30 nm 的 Al_2O_3 薄膜充当栅介质层, 然后沉积栅极电极, 电极均由 10 nmCr 和 50 nm 组成。测试其输出特性, 利用栅压来调控源漏之间的电流大小是可以实现的, 满足了场效应管的基本要求, 并与 SiO_2 充当介质层的栅极调控电压作比较, 实验上验证了高 k 介质薄膜作为栅介质层的优越性。

6、针对原子层沉积的薄膜在生物纳米孔领域的应用进行了研究。实现了高质量的

纳米孔的制备，最终我们优化束流密度、薄膜厚度、刻蚀时间这三个参数，我们能够得到 6 nm 的纳米孔。

7、在打孔的 Si_3N_4 薄膜上，采用原子层沉积系统沉积 Al_2O_3 薄膜，随着沉积厚度的增加，孔的直径缩小近 1/3，实验结果表明原子层沉积系统沉积的薄膜确实能够缩小纳米孔的尺寸，同时由于原子层沉积系统保型性的特点，薄膜沉积前后纳米孔的形状不会因沉积薄膜而改变。这也正是采用原子层沉积薄膜缩孔的原因之一。然而 Al_2O_3 薄膜沉积的厚度与实际的缩孔尺寸并不一致，这与纳米孔周围的纳米尺度效应和原子层沉积的实际过程有关。另外，当对直径小于 20 nm 纳米孔进行薄膜沉积缩孔是，沉积 Al_2O_3 薄膜后孔洞会发生添埋现象，解决这一问题我们除采用延长循环间隔时间外，我们试图改造原子层沉积系统，把原有的反应腔体中的气流输入方式改造成由喷淋式注入，应该会改善或解决小于 20nm 纳米孔填充现象。进一步的改造和工艺摸索经在今后的研究中逐步实施。

参考文献

- [1] R chan, J kavalieros, B Roberds, et al. 30nm Physical Gate length CMOS Transistor with ps n-MOS and 1.7 ps p-MOS Gate delays[J]. IEDM Tech Dig, 2000, 45-48
- [2] Buchanan D. A., et al. Scaling the Gate Dielectric: Materials, Integration, and Reliability[J]. IBM J. Res. Develop., 1999, V43(3): 245
- [3] Wilk G. D., Wallace R.M., Anthony J. M.. High-k Gate Dielectrics: Current Status and Materials Properties Considerations[J]. Journal of Applied Physics, 2001, V89(10): 5243
- [4] Kingon A. I., Maria J. P., Striffe S. K.. Alternative Dielectrics to Silicon Dioxide for memory and Logic Devices[J]. Nature, 2000, V406(31): 1032
- [5] Plummer J. D. and Griffin P. B.. Material and Process Limits in Silicon[J]. VLSI Technology. Proceedings of the IEEE, 2001, V89 (3): 240
- [6] Hubbard K. J., Schlom D. G. Thermodynamic Stability of Binary Oxides in contact with Silicon[J]. J. Mater. Res., 1996 V11(6): 2757
- [7] Maeda S., Maegawa S., Ipposhi T., et al. Impact of a Vertical Φ -shape Transistor ($V\Phi T$) Cell for 1Gbit DRAM and Beyond[J]. IEEE Trans. Electron Devices, 1995 V42 (12): 2117-2114
- [8] Gossner H., Wittmann F., Eisele I., et al. Vertical MOS Technology with Sub-0.1 μ m Channel Lengths[J]. Electron Lett., 1995, V31: 1394
- [9] Buchanan D. A., Gusev E. P., Cartier E., et al. 80nm poly-silicon gated n-FET with ultra-thin Al_2O_3 gate dielectric for ULSI application[J]. Tech.Dig. Int. Electron Device Meet, 2000, 223
- [10] Auth C. P., Plummer J. D.. Scaling Theory for Cylindrical, Fully-Depleted, Surrounding-Gate MOSFET's[J]. IEEE Electron Device Letters, 1998, V18(2): 74-76
- [11] 王阳元, 张兴, 康晋锋. 微电子芯片技术发展对材料的要求[M].天津: 天津大学出版社, 2000
- [12] Suntola T., Antson J.. U.S., Patent: 40584301977
- [13] Suntola T., Antson J., Pakkala A., et al. Soc. Information Display, 80 Dig, 1980, V11: 108
- [14] 张邦维. 高k栅极电介质材料与Si纳米晶体管[J]. 微纳电子技术, 2006, V3: 113-120
- [15] Kobayashi N. P., Donley C. L., Wang S. Y., et al. Atomic layer deposition of aluminum oxide on hydrophobic and hydrophilic surface[J]. Journal of Crystal Growth, 2007, V299: 218-222

- [16] Jagadish J., Pearton S.J.. Zinc Oxide Bulk, Thin Film and Nanostructures[M]. Elsevier, 2006
- [17] Wang Z. L.. Materials Science and Engineering[M]. 2009, V64: 33–71
- [18] 谌小斑, 贺英, 张文飞. ZnO纳米线及其器件研究进展[J]. 纳米材料与结构. 2008, V45(10): 590-595
- [19] Li M., Zhang H.Y., Guo C. X., et al. The research on suspended ZnO nanowire field-effect transistor[J]. Chinese Phys. B, 2009, V18: 1594-1597
- [20] Keem K., Jeong D. Y., Kim S., et al. Fabrication and Device Characterization of Omega-Shaped-Gate ZnO Nanowire Field-Effect Transistors[J]. Nano Lett. 2006, V6(7): 1454-1458
- [21] Qin Y., Wang X. D., Wang Z. L.. Microfibre-nanowire hybrid structure for energy scavenging[J]. Nature, 2008, V451(7180): 809-813
- [22] Hochbaum A. I., Chen R. K., Delgado R. D., et al. Enhanced thermoelectric performance of rough silicon nanowires[J]. Nature, 2008, V451(7175): 163–167
- [23] Chang P.C., Fan Z. Y., Wang D.W.. ZnO nanowires synthesized by vapor trapping CVD method[J]. Chem. Mater., 2004, V16: 5133-5137
- [24] Wang F. F., Cao L., Pan A.L., et al. Synthesis of tower-like ZnO structure and visible photoluminescence origins of varied-shaped ZnO nanostructures[J]. J. Phys. Chem. C., 2007, V111(21): 7655-7660
- [25] Sun Y., George N. A., Riley D. J., et al. Synthesis and photoluminescence of ultra-thin ZnO nanowire/ nanotube arrays formed by hydrothermal growth [J] . Chemical Physics Letters, 2006, V431(4-6): 352-357
- [26] 张绍岩, 丁士文, 刘淑娟, 等. 均相沉淀法合成纳米ZnO及其光催化性能研究[J]. 化学学报, 2002, V60(7): 1225-1229
- [27] Zheng M. J., Zhang L. D, Li G. H., et al. Fabrication and optical properties of large-scale uniform zinc oxide nanowire arrays by one-step electrochemical deposition technique[J]. Chemical Physics Letters, 2002, V363 (2): 123-128
- [28] Hulteen J.C., Martin C.R..A general template-based method for the preparation of nanomaterials[J]. J. Mater. Chem. 1997, V7: 1075
- [29] Wagner R. S., Ellis W. C., Vapor-Liquid-Solid Mechanism of Si₃N₄ Crystal Growth [J]. Applied Physics Letters, 1964, V4(5): 89-90
- [30] Wang Y. W., Meng G. W., Zhang L. D, et al. Catalytic growth of large-scale

- Si₃N₄ molecule-crystal CdS nanowires by physical evaporation and their photoluminescence [J], *Chemistry of Materials*, 2002, V14(4): 1773-1777
- [31] 于东. ZnO 纳米结构与器件的制备和研究[D]. 大连: 大连理工大学, 2009
- [32] Ramgir N. S., Late D. J., Bhise A. B., et al. ZnO multipods, submicron wires, and spherical structures and their unique field emission behavior[J]. *Journal of Physical Chemistry B*, 2006, V110(37): 18236-18242
- [33] Kim S., Keem K., Kang J., et al. A fabrication technique for top-gate ZnO nanowire field effect transistors by a photolithography process[J]. *Microelectron Eng.*, 2007, V84(5-8): 1622-1626
- [34] LaRoche J. R., Heo Y. W., Kang B. S., et al. Fabrication approaches to ZnO nanowire devices[J]. *J. Electron. Mater.*, 2005, V34(4): 404-408
- [35] Cha S. N., Jang J. E., Choi Y., et al. High performance ZnO nanowire field effect transistor u Si₃N₄ self-aligned nanogap gate electrodes[J]. *Appl. Phys. Lett.*, 2006, V89(26): 263
- [36] Wade T. L., Hoffer X., Mohammed A. D., et al. Nanoporous alumina wire templates for surrounding gate nanowire transistors[J]. *Nanotechnology*, 2007, V18(12):125
- [37] Kim S., Keem K., Kang J., et al. A fabrication technique for top-gate ZnO nanowire field effect transistors by a photolithography process[J]. *Microelectron Eng.*, 2007, V84(5-8): 1622-1626
- [38] LaRoche J. R., Heo Y. W., Kang B. S., et al. Fabrication approaches to ZnO nanowire devices[J]. *J. Electron. Mater.*, 2005, V34(4): 404-408
- [39] Cha S. N., Jang J. E., Choi Y., et al. High performance ZnO nanowire field effect transistor u Si₃N₄ self-aligned nanogap gate electrodes[J]. *Appl. Phys. Lett.*, 2006, V89(26): 263
- [40] Wade T. L., Hoffer X., Mohammed A. D., et al. Nanoporous alumina wire templates for surrounding gate nanowire transistors[J]. *Nanotechnology*, 2007, V18(12):125
- [41] 张俊艳, 邓天松, 沈昕, 等. 单根砷掺杂氧化锌纳米线场效应晶管的电学及光学特性[J]. *物理学报*, 2009, V58(6): 4156-4160
- [42] Kasianowicz J.J., Brandin E., Branton D., et al. DNA heterogeneity and phosphorylation unveiled by Si₃N₄ molecule electrophoresis[J]. *Proc. Natl. Acad. Sci. U. S. A.*, 1996, V93: 13770-13773
- [43] Wang H., Branton D.. Nanopores with a spark for single-molecule detection[J].

Nat. Biotechnol., 2001, V19: 622–623

[44] Krapf D., Wu M. Y., Smeets R. M. M., et al. Fabrication and characterization of nanopore-based electrodes with radii down to 2 nm[J]. Nano Lett., 2006, 6: 105

[45] Keyser U. F., Koeleman B. N., Dorp S. V., et al. Direct force measurements on DNA in a solid-state nanopore[J]. Nature Phys., 2006, V2: 473

[46] Chen P., Mitsui T., Damon B., et al. Atomic Layer Deposition to Fine-Tune the Surface Properties and Diameters of Fabricated Nanopores[J]. Nano Lett, 2004, V4: 1333-1337

[47] Kox R., Chen C., Maes G., et al. Shrinking solid-state nanopores using electron-beam-induced deposition[J]. Nanotechnology, 2009, V20: 115302-115308

[48] Li J., Gershow M., Stein D., et al. DNA molecules and configurations in a solid-state nanopore microscope[J]. Nat. Mater., 2003, V2: 611–615

[49] Dekker C., Storm A. J.. Fabrication of solid-state nanopores with single-nanometer precision[J]. nature materials, 2003, V2: 537-540

[50] Nakane J.J., Mark A., Andre M.. Nanopore sensors for nucleic acid analysis[J]. Phys. Condense. Matter, 2003, V15: R1365-R1393

[51] Mara A., Siwy Z., Trautmann C., et al. An asymmetric polymer nanopore for single molecule detection[J]. Nano Lett, 2004, V4: 497-501

[52] Siwy Z. S., Trofin L., Kohli P., et al. Protein Biosensors Based on Biofunctionalized Conical Gold Nanotubes[J]. Am. Chem. Soc. 2005, V127: 5000–5001

[53] Chen X., Wang R., Yao N., et al. Foreign object damage in a thermal barrier system: mechanisms and simulations[J]. Materials Science and Engineering, 2003, A352: 221-231

[54] Harriott L. R., Wagner A., Fritz F.. Integrated circuit repair using focused ion beam milling[J]. J. Vac. Sci. Technol. B, 1986, V4(1): 181-184

[55] Shaver D. C., Ward B. W.. Integrated circuit diagnosis using Si₃N₄g focused ion beams[J]. J. Vac. Sci. Technol. B, 1986, V4(1): 185-188

[56] Lohau J., Moser A., Rettner C. T., et al. Writing and reading perpendicular magnetic recording media patterned by a focused ion beam[J]. Appl. Phys. Lett., 2001, V78(7): 990-992

[57] Yu N., Polycarpou A. A.. Use of the focused ion beam technique to produce a sharp spherical diamond indenter for sub-10nm nanoindentation measurements[J]. J. Vac. Sci. Technol. B. 2004, V22(2): 668-672

攻读硕士学位期间取得的科研成果

1. **Zongni Yao, Kaige Wang, Aizi Jin, Jun-jie Li, Hai-fang Yang, Yi-guang Zhang, Chang-zhi Gu**, Fabrication of Nanopores for Biomacromolecule Detection[J], Journal of Nanoscience and Nanotechnology, 2010, (In press).
2. **Yiguang Zhang, Kaige Wang, Haifang Yang, Xiaoxiang Xia, Zongni Yao, and Changzhi Gu**, The Fabrication of Ferromagnetic Nanocontact Structure[J], Journal of Nanoscience and Nanotechnology, 2010, (In press).

致谢

时光冉冉，不知不觉我在西北大学共计七年的学生生活也行将结束。回顾我在西大走过的几年求学时光，不禁感慨万千，经历过的酸甜苦辣历历在目却无言以表，只能在此对西北大学、西北大学物理学系、西北大学光子所，以及对我的老师、家人、同学及友人致以由衷的谢意！

本论文是在中国科学院物理研究所微加工实验室完成的。首先感谢我的导师王凯歌副研究员推荐我到微加工实验室进行学习和进行论文工作。无论是在西北大学，还是在中科院物理研究所，王老师在我的学习和生活上都给予了很大的帮助。在此谨向王老师表示诚挚的感谢！

在物理所微加工实验室准备论文的一年多时间里，我要特别感谢顾长志研究员和李俊杰研究员。顾老师和李老师渊博的学识，活跃的学术思想以及启发性的建议都将使我终身受益，在此谨向顾老师和李老师致以衷心的感谢！除了我的导师王老师和顾老师以外，白晋涛，任兆玉，侯影丽，金爱子，杨海方，李无暇，罗强等等诸位老师也给了我极大的帮助，在此一并表示诚挚的感谢。

在此，我还要感谢在一起愉快的度过研究生生活的同学，正是由于你们的帮助和支持，我才能克服一个一个的困难和疑惑，直至本文的顺利完成。

在论文即将完成，我行将离校之际，我的心情无法平静，只能再次感谢我的母校、各位老师及同学。

末了，我为自己是西大人而自豪，希望将来西大亦会因我而骄傲！