

## 摘 要

伴随着半导体材料的发展,白光 LED 成为许多领域照明的首选器件。由于便携式应用对白光 LED 亮度均匀性的要求,以及白光 LED 自身的正向导通电压大、电学参数离散性大、容易受温度影响等特点,需要设计专门的电源管理芯片来驱动白光 LED。本文分析了四种最常用的白光 LED 驱动模式的基本原理,包括(1)恒压输出加镇流电阻的并联驱动方式,(2)单恒流源加镇流电阻的并联驱动方式,(3)多路恒流源的并联驱动方式,(4)电感升压的串联驱动方式。本次课题的目的就是要研究能够用于白光 LED 驱动的第(1)种电源管理方式,并设计其主要的模拟电路模块。

经过对开关电容式恒压输出原理的分析,决定采用电荷泵加控制电路的方法实现恒压源驱动并联 LED 的结构,这是一个 DC-DC 的电源管理模式。由于传统开关电容式 DC-DC 中的电荷泵多采用 2 倍的升压方式,这在以锂电池为电源的应用中(电源电压为 2.7V~5.5V),电源的转换效率是很低的。针对这个缺点,论文中提出了利用分数增益电荷泵的多增益特点实现高效率开关电容式 DC-DC 转换的设计方案。该方案改进了传统开关电容式 DC-DC 只反馈输出电压给控制电路的单反馈模式,将输入电压和输出电压都反馈给控制电路,通过对输入电压的采样,决定电荷泵工作的增益,通过对输出的采样,决定电荷泵的工作状态。

根据这样的设计思路,完成了以下一些设计任务:

1. 分析了用于开关电容式 DC-DC 的电荷泵原理,对分数增益电荷泵进行了较为仔细的研究,设计了一个可以实现 7 种增益的 14 个开关管的电荷泵电路,对电路的功能和性能进行了仿真。
2. 将 14 管电荷泵简化为 4 管电荷泵电路,为使电荷泵正常工作,设计了给电荷泵的 PMOS 开关管提供背栅压的电路。针对电荷泵中使用的都是大宽长比的 MOS 管,为节省面积保证性能,将其设计为蛇形栅平面结构。另外,还设计 3-bit ADC 电路。这些电路都在华润上华科技(无锡)有限公司的 6S06DPDM-CT02 标准 CMOS 工艺下进行了流片。并对芯片进行了仔细的测试,得到了令人满意的测试结果。
3. 设计了 DC-DC 电路所需要的其它模拟电路模块,提出了 DC-DC 数字控制电路的设计流程,以及输入电压和输出电压的采样方案。

## Abstract

With the development of semiconductor materials, white LEDs are main selection of illuminating devices. Considering characteristics of white LEDs and necessity of uniform brightness in portable field, they need to be driven by special power management circuits. In this paper, we analyzed basic theories of four kinds of white LED driver. Purpose of this project is studying a kind of driver with constant output voltage called DC-DC converter, and designing main analog circuits of it.

Having analyzed theory of switched-capacitor DC-DC converters, we need to design a charge pump and its control circuits to realize them at least. In the conventional converters, there is a voltage doubler. Applying a doubler to a converter supplied by lithium ion battery with voltage of 2.7V to 5.5V, transformation efficiency of power is pretty low. So we proposed a DC-DC converters with new structure comprised by a fractional charge pump, ADC, comparator and other circuits. New structure has two feedback paths to sample input voltage and output voltage respectively instead of only one paths to feedback output.

We have completed the tasks as showed hereafter.

- a) Analyzed theories of fractional charge pump thoroughly, designed a fractional charge pump with 14 MOS transistors that can achieve 7 gains.
- b) Simplified the charge pump to new one with 4 MOS transistors. To make charge pump work properly, designed a bulk voltage generator that supply to bulk of PMOSs used in charge pump. All MOSs used in charge pump is with a large value of W/L. In order to get more efficient area and more robutness of charge pump, we designed them as bent-gate MOSs. A 3-bit ADC and a comparator were also designed. All these circuits were taped out in CSMC Technologies Corporation. And we got satisfying testing results.
- c) Designed some other analog circuits needed in DC-DC converter. Proposed a design flow of digital control circuit and sampling ways of input and output voltages.

# 第一章 前言

## 1.1 白光 LED 带动新的产业革命

### 一 半导体发光材料的发展

发光二极管 (LED: Light Emitting Diode) 是 p/n 结型半导体, 它具有小型、抗震、坚固、寿命长、不易发热、低耗电量且功能稳定等特性。虽然目前 LED 发光效率还很低, 但随着国内外研究机构的不断努力, 其发光效率不断的在提升。LED 使用的材料全部都是化合物半导体, 半导体发光材料的发展大致经历了下面的三个阶段:

以硅材料为代表的第一代半导体材料的发展是从 20 世纪 50 年代开始的, 目前硅材料仍然是电子信息产业最主要的半导体器件材料, 但是硅材料带隙(禁带)较窄和击穿电压较低等物理属性的特点限制了其在光电子领域和高频大功率器件方面的应用。

20 世纪 90 年代以来, 随着无线通信的飞速发展和以光纤通信为基础的信息高速公路与互联网的兴起, 以砷化镓(GaAs)和磷化铟(InP) 为代表的第二代半导体材料开始崭露头角。目前 GaAs 几乎垄断了手机制造中的功放器件市场。

第三代半导体材料的兴起, 是以 GaN(氮化镓)材料 P 型掺杂的突破为起点, 以高亮度蓝光发光二极管(LED)和蓝光激光器的研制成功为标志的。GaN 半导体材料的商业应用研究开始于 1970 年, 其在高频和高温条件下能够激发蓝光的独特性质, 从一开始就吸引了半导体开发人员的极大兴趣。但是 GaN 的生长技术和器件制造工艺直到近几年才取得了商业应用的实质进步和突破。LED 使用的半导体是在单晶衬底上利用外延生长方式合成为单晶薄膜。外延生长方式因材料状态不同, 可分为液相生长法(LPE: Liquid Phase Epitaxy)、气相生长法(VPE: Vapour Phase Epitaxy)、分子束生长法(MBE: Molecular Phase Epitaxy)等三大类, 其中气相生长技术的进步成为 LED 性能快速改善的主要原因之一。

图 1-1 是原日本日亚公司研究员中村修二开发的 GaN 系蓝色 LED 单一量子阱结构。图中 InGaN 薄膜是发光层, AlGaN 薄膜是包覆层(clad), N 型层扩散 Si,

P 型层扩散 Mg, 衬底采用蓝宝石(sapphire)的 C 面(0001)。发光层 InGaN 的厚度为 30Å, 两侧利用宽能带的 GaN 与 AlGaIn 层夹住, 形成单一量子阱结构。由于此结构可以提高进入电子与空穴之间载流子的复合效率, 因此可以获得很高的发光效率, 所释放出来的光线波长与能带宽度相当, 而且只需要调整发光层半导体 In 的比例就可以控制发光层的能带宽度, 发光波长由紫外(3.30eV)到红色(1.95eV)。[1~3]

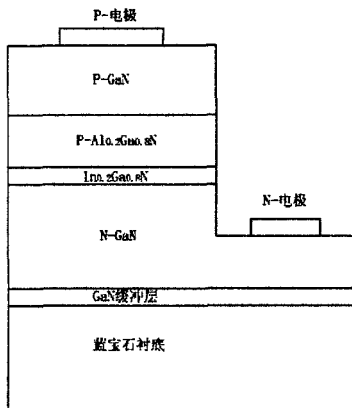


图 1-1 中村开发的蓝色 LED 结构

## 二 照明产业的“绿色革命”

在丰富了色彩的同时, GaN 基 LED 最诱人的发展前景是其用作普通白光照明。半导体照明一旦成为现实, 其意义不亚于爱迪生发明白炽灯。与传统的照明工具相比, 半导体照明工具, 尤其是氮化镓基白光 LED 照明, 在功耗及寿命方面均有不可比拟的优越性。传统白炽灯泡采用热发光技术, 浪费了 90% 的能源。而发光二极管的效能转换率却非常高。GaN 成为半导体照明产业的“发动机”。

按照目前的技术水平和发展趋势, 半导体普通白光照明市场的开始启动大约会在 2006 年前后, 而某些特殊照明市场已经开始启动。除了具备发出蓝光和绿光的本领, GaN 基高亮度 LED 在能量转换过程中不辐射热量, 并且具有较长的寿命。在节能和减少环境污染受到普遍重视的今天, GaN 基高亮度 LED 比普通 LED 和灯泡具有更好的发展潜力。很多汽车制造商已经开始用 GaN 基高亮度

LED 来装备车灯尤其是汽车尾灯。

由于可以激发荧光, GaN 基高亮度 LED 一个具有革命性的应用领域是普通白光照明市场, 不过要想在普通光照明市场获得市场份额和竞争能力, 目前 GaN 基 LED 的亮度至少要提高 5 倍以上。专家认为这个革命性市场的启动至少在 5~10 年以后。不过作为手机彩色显示的白光背景, GaN 基白光 LED 目前具有很好的市场竞争力。目前包括飞利浦、通用等光照及汽车行业的跨国大公司正积极与 GaN 器件领域的顶尖制造商合作, 共同开发汽车和照明应用中的 GaN 基 LED 产品。

传统白炽灯泡采用热发光技术, 浪费了 90% 的能源。而发光二极管的效能转换率却非常高。专家指出, 白光 LED 照明的耗电量仅为相同亮度白炽灯的 10%~20%。普通灯泡寿命只有 1000 小时; 而白光 LED 灯寿命却可以达到 10 万小时。

氮化镓基白光 LED 照明另外一个突出的优点就是环保。只用 3 伏的直流电压保证其没有电磁干扰, 同时寿命长又保证少产生废物, 不像日光灯点亮后会产生汞蒸汽等污染物。除此之外, 氮化镓基白光 LED 照明光源体积小、重量轻、方向性好, 并可耐各种恶劣条件, 比如可以泡放在水中等。这些优点使它足以对传统光源市场造成巨大冲击。

单是我国台湾地区, 如果能够用白光 LED 取代传统光源, 每年就能够省下约一座核能电厂的电力。

### 三 新产业商机无限

据美国市场调研公司 StrategiesUnlimited 的分析数据, 2001 年世界 GaN 器件市场销售额接近 7 亿美元, 属于发展期。而据该公司预测, 即使最保守发展, 2009 年世界 GaN 器件市场也要达到 48 亿美元的销售额。

虽然白光 LED 在照明领域还没有完全能够从商用转为民用, 但其在手持便携式设备背光照明、电子仪表显示照明方面, 已经显示出巨大的市场潜力。尤其在手机和 PDA 等低电源应用领域中, 用户对背光和显示色彩的要求越来越高。过去电致发光(EL)和冷阴极荧光管(CCFT: Cold Cathode Fluorescent Tube)被广泛用于产生白光光谱, 但这两种方式需要高压驱动, 这在手机和 PDA 应用中显然是不利的。因此, 结构非常紧凑的白光 LED 正好满足了其对体积和功耗的苛刻要

求，成为理想的低成本方案。

氮化镓基白光 LED 照明如此优越的性能及其所能够带来的巨大市场早已经让掌握 LED 技术的半导体公司垂涎欲滴。据了解，目前，世界上掌握 LED 技术的半导体公司都已经纷纷和老牌灯泡制造商结盟，如美国惠普公司联合了日本日亚和德国西门子；美国克雷公司、德国西门子又和奥斯林联合；美国 EMCORE 公司和通用公司联合等。

对此感兴趣的不仅仅是各大公司，还有各国政府。目前，美、日、欧盟皆由官方成立专案，编列预算与计划推行白光 LED 照明。日本有关部门在“21 世纪光计划”中提出，日本将在 2006 年底完成用白光 LED 照明替代 50% 的传统照明转变；美国的国家半导体照明计划则是从 2000 年到 2010 年，其计划耗资将达到 5 亿美元；欧盟的彩虹计划也于 2000 年 7 月启动，其计划是通过欧洲共同体的补助金来推广白光 LED 的应用。

尽管目前各国都已经有自己的计划，而且有很多公司已经介入，但目前涉足氮化镓基 (GaN) 白光 LED 的企业基本还处于产品研发阶段。正是技术上的不成熟，使各企业在消化柯达公司和剑桥 CDT 公司的专利技术授权方面的进度大致相同。谁能够在发光材料的研制和器件的制造工艺方面率先取得突破，谁就有可能在行业取得一定的主导地位。从目前情况来看，我们与国外只有 2~3 年的差距，如果从现在开始抓紧，我们在光电子领域就一定能够有所作为。

目前我国对这一新兴领域的发展非常重视。ZnSe 基蓝绿光激光器材料与器件在“七五”和“八五”期间就得到了“863”计划、“攀登计划”、国家自然科学基金及其它基金的多方面支持；聚合物蓝光材料和 LED 已被列为国家自然科学基金“九五”重点项目；GaN 基蓝光材料得到了“863”计划和自然科学基金的重点支持；SiC 材料得到了国家自然科学基金的支持。国家“攀登”计划和国家自然科学基金还支持了其它一些蓝光材料的基础研究。

然而上述努力还远远不够，落后于世界产业发展步伐给我们的教训已经足够深刻。正是由于我们没能在微电子发展早期及时进入，结果我们在以后的发展中缺乏核心技术和竞争力，这直接导致我国失去了在微电子领域的发展机会。因此，我国氮化镓基 LED 的发展还需要国家从战略的高度出发，对其发展专门进行立

项，以使我国氮化镓基 LED 能够在未来的世界产业发展中争取足够的发言权。

## 1.2 白光 LED 概述

### 1.2.1 白光 LED 原理

#### — LED 发光机理

GaN 系白光 LED 属于异质结注入发光。采用异质结的目的就是为了提高载流子注入效率，图 1-2(a)表示未加偏置时的异质结能级图，对电子和空穴具有不同高度的势垒。图 1-2(b)表示加正向偏置后，这两个势垒均减小。但空穴的势垒小得多，而且空穴不断从 p 区向 n 区扩散，得到高的注入效率。N 区的电子注入 P 区的速率却较小。这样 n 区的电子就越迁到价带与注入的空穴复合，而发射出

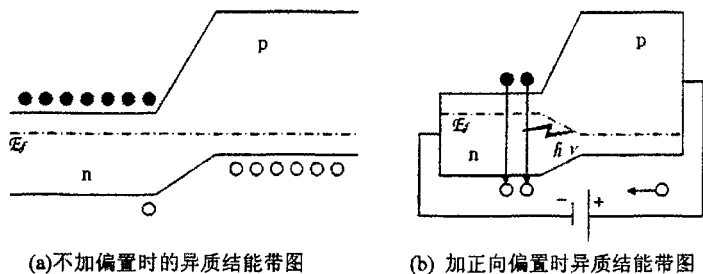


图 1-2 LED 发光原理

由 n 型半导体能隙所决定的辐射。由于 p 区的能隙大，光辐射无法把电子激发到导带，因此不发生光的吸收，从而可直接透射出发光二极管外，减少了光能的损失。

发光二极管与半导体二极管同样加正向电压，但效果不同。发光二极管把注入的载流子转变成光子，辐射出光。一般半导体二极管注入的载流子构成正向电流，在同质界面结构中，电子在半导体的导带内流动很顺利，同样空穴在价带中流动也很顺畅，两者之间因为没有较大的能带差，使得电子与空穴相遇、复合产生光子的概率很低。在图 1-1 的 LED 结构中，采用了双异质结结构，中间发光层的能隙高度小于两边束缚层的能隙高度，如此以来大大改善了发光层的电子与空穴的局限效果，提高了发光效率。

## 二 白光 LED 产生方式

目前一般所使用的白光 LED 生产技术, 主要可分为单晶型和多晶型两种, 各技术特征简述如表 1 中所示:

表 1 白光 LED 的发光方式

方式	激发源	发光元素与荧光材料	白光产生方式
单晶型	蓝色 LED	InGaN/YAG 黄色荧光体	以蓝色激发发黄光之荧光体
	紫外光(UV)LED	InGaN/RGB 三波长荧光体	以 UV 激发 RGB 荧光体
多晶型	红色/蓝色/绿色 LED	InGaN、AlInGaP、AlGaAs	组合红、绿、蓝三原色 LED
	蓝绿色/琥珀色 LED	InGaN、AlInGaP、GaP	组合互补两色 LED

资料来源: IT IS (2002/9)。

### (一)单晶型

#### (1)蓝色 LED+发黄光的荧光粉

其原理是利用发黄光系列的钇铝石榴石荧光粉 (Yttrium Aluminum Garnet, YAG) 收到蓝色 LED 照射后会发出黄光, 经与未被吸收的蓝光混合后, 即可产生被肉眼视为白色的光。这是目前最为主要的生产方式, 因为其结构与驱动电路设计较为简单, 生产容易, 且没有多晶型生产方式普遍存在的各个 LED 晶粒的光衰减率、温度特性和寿命有差异的缺陷, 但是其发光效率较低, 约为 15~20lm/W, 且在高电流操作下, 色温升高的问题较为严重

#### (2)紫外光 LED+发红、蓝、绿光的荧光粉

这种发光原理和荧光灯的发光原理相似, 利用紫外光或近紫外光激发 RGB 三色荧光粉, 产生 RGB 三元色的光混合产生白光。其发光光谱和蓝色 LED+YAG 相比要宽的多, 而且可以利用荧光体的组合, 发出白光以外的各种发光色, 但是



紫外光转换为黄绿光的过程中,能量损失比蓝光的要大,因此发光效率要略逊一筹。

另外,单晶型最新的技术动向是改变活性层的性质,利用三种单纯的活性层半导体产生 RGB 三色光,进而直接产生白光效果,所使用的发光材料是 InGaN 多量子阱结构。

## (二)多晶型

### (1)红色 LED+蓝色 LED+绿色 LED

通过将电流控制在适当的输出功率比下,可将红 (AlGaAs) 蓝 (InGaN) 绿 (AlInGaP) 三元色的 LED 所发出的光混合成白光,并可通过电流加以控制调整其频谱特性,具有较高的发光效率且色温易调整的优点,但是它要使用三颗 LED 晶粒,且个别晶粒材质差异很大,因此在驱动电路设计上较为复杂,整体生产成本较高。

### (2)蓝绿色 LED+琥珀色 LED

美国 Gentex Corporation 利用 InGaN 蓝绿光 LED 和 InAlGaP 琥珀色 LED 的互补色关系生产互补色白光 (Binary Complementary White LED; BCW LED),几乎与以三元色 LED 混合成的白光 LED 具有相同的特性,但是其演色系数 ( $R_a$ ) 较低。[4~7]

## 1.2.2 白光 LED 特性

### 一 离散的电学特性

现在市场上广泛使用的白光 LED 基本上是以单晶型白光 LED 为主,因为其驱动电路简单。而单晶型白光 LED 采用发光晶粒为蓝光、紫外或近紫外光发光晶粒,晶粒材料都是宽带隙化合物半导体材料,这样白光 LED 的正向压降  $V_F$  比一般的有色 LED 要高。红光~黄光的 LED 驱动电压只要 1V~2V 左右。而蓝白光 LED 在正向电流为 20mA 的情况下,正向电压  $V_F$  一般在 3V~4V 之间。不仅如此,在同一正向电压下,流过蓝白光 LED 的电流也有很大的离散性。图 1-3 中是从两个白光 LED 生产商产品中各取三个样品进行测试的 I-V 曲线[8]。从图中结果看,如果采用单一电压驱动这样的六颗 LED,将造成正向电流从 10mA

到 43mA 的差异。

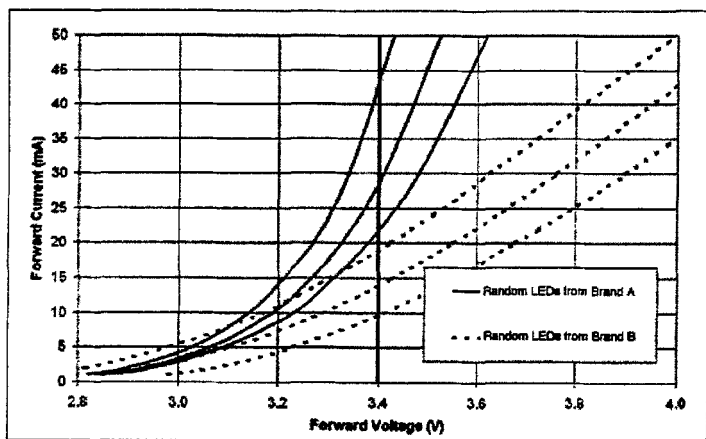


图 1-3 不同白光 LED 的正向 I-V 曲线

## 二 温度对白光 LED 工作状态的影响

### (一) 温度对白光 LED 正向电压的影响

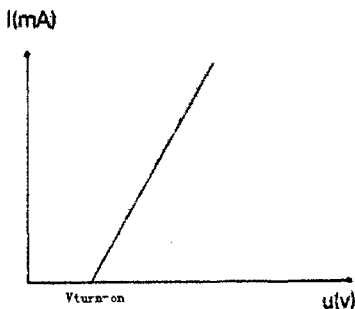
图 1-4 是白光 LED 理想状态下的正向伏安特性曲线，LED 伏安特性的数学模型可以表示为：

$$V_F = V_{\text{turn-on}} + R_s I_F + \left( \frac{\Delta V_F}{\Delta T} \right) (T - 25^\circ\text{C}) \dots \dots \text{(式 1-1)}$$

其中， $V_{\text{turn-on}}$  是 LED 的启动电压， $R_s$  表示伏安曲线的斜率， $I_F$  表示 LED 的正向电流， $T$  环境温度， $\Delta V_F / \Delta T$  是 LED 正向电压的温度系数，对于大多数 LED 而言，它的典型值为  $-2\text{V}/^\circ\text{C}$ 。[9]

从 LED 的伏安曲线及数学模型看，LED 在正向导通后其正向电压的细小变动将引起 LED 电流的很大变化，并且，环境温度，LED 老化时间等因素也将改变影响 LED 的电气性能。而 LED 的光输出直接与 LED 电流相关，所以 LED 驱动电路在输入电压和环境温度等因素发生变动的情况下最好能控制 LED 电流的

大小。否则，LED 的光输出将随输入电压和温度等因素变化而变化。



### LED 正向伏安特性

图 1-4 理想状态下，白光 LED 的正向 I-V 特性

### (C) 温度对白光 LED 正向电流的影响

白光 LED 的正向电流的大小也是随温度变化而变化的，图 1-5 是日亚公司提供的常用白光 LED 的允许正向电流随温度的变化曲线[8]。当环境温度一旦超过  $50^{\circ}\text{C}$ ，白光 LED 的容许正向电流会大幅度降低，在此情况下如果仍旧施加

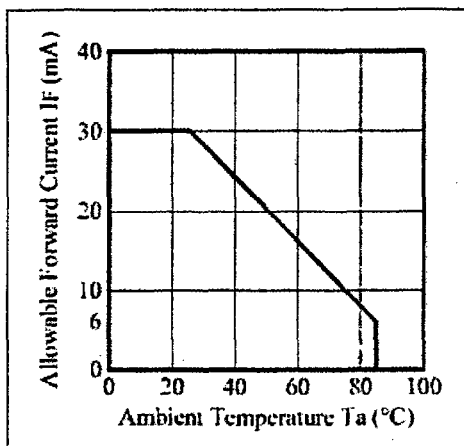


图 1-5 白光 LED 正向电流随温度的变化曲线

电流, 很容易造成白光 LED 老化。

## 本章小结

本章从多个角度介绍了白光 LED 产业兴起的前提和原因, 指出了其给照明产业带来的划时代意义和其不可估量的商业价值, 以及国家优先发展与此相关科研的必要性。

本章还从物理学的角度对白光 LED 的原理及其特性做了科普性的介绍。

## 参考文献

- [1] S. P. DENBAARS. *Gallium-Nitride-Based Materials for Blue to Ultraviolet Optoelectronics Devices*. Proc. IEEE, vol. 85, no.10, pp. 1740-1749, 1997.
- [2] 尹长安, 赵成久等. 白光LED的最新进展. 发光学报, 2000, 21(4): 380-382
- [3] 李忠辉, 丁晓民等. 高亮度InGaN基白光LED特性研究. 红外与毫米波学报, 2002, 21(5): 390-392
- [4] Yu Ri Song, Chang-Sub Won, Hyuangkeun Ahn et al. *The Study on Optimal Design and Optical Properties of LED Module for Full-color Displays*. Proc. the 5<sup>th</sup> International Conference on Properties and Applications of Dielectric Materials, May 25-30, Seoul, Korea, vol. 2, pp. 956-959, 1997.
- [5] J. K. Sheu, S. J. Chang, C. H. Kuo et al. *White-Light Emission From Near UV InGaN-GaN LED Chip Precoated With Blue/Green/Red Phosphors*. IEEE Photonics Technology Letters, vol. 15, no.1, pp. 18-20, 2003.
- [6] App. Note: *Contrast Enhancement Techniques for LED Displays*. Agilent Technologies, Inc., 1999.
- [7] Paul S. Martin, J. Bhat, C. H. Chen, et al. *High Power White LED Technology for Solid State Lighting*. Lumileds Lighting LLC Company.
- [8] App. Note: 白色LED的恒流驱动. <http://www.maxim-ic.com.cn>.
- [9] 胡逢康. LED驱动电路技术概述. <http://www.ye2000.com>.

## 第二章 白光 LED 驱动方式

### 2.1 为什么要开发白光 LED 驱动芯片

前言中，我们介绍了白光 LED 的电学特性具有很大的离散性，而且其电学参数的温度特性也很不稳定。白光 LED 的发光辉度由驱动电流决定，当 LED 两端的电压发生波动，驱动电流就等比的产生波动从而影响 LED 的发光辉度，造成其发光质量下降。[1]

目前，LED 照明的应用主要集中在两个方向上，一个是低亮度应用场合，包括手机、PDA 等小型便携式电子产品的背光照明，电子仪表的照明等。另一个是需要高亮度照明的应用场合，包括大平面液晶的背光照明、汽车用照明、家用及户外照明等，对于这种大功率的照明应用场合，LED 在功耗和寿命上面的优势很明显。

#### 一 低亮度 LED 应用

随着近几年移动电话、PDA 等便携式电子产品的液晶显示屏从黑白背景换成了彩色背景，要显示色彩丰富逼真的图像，就必须放弃有色 LED 作为液晶背光照明的方案，而采用白光 LED 照明方案。一个完整的背光照明方案，最基本的要求是 LED 发光亮度的稳定，以及在整个背景屏幕上亮度均匀。

但是 LED 的应用环境却给稳定的 LED 发光提出了各种各样的挑战。拿手机应用来讲，首先，电池的电压不是固定的，在一定时段内，它是直流电源，但电池电源供电要求在 2.7V~5.5V 内，电路都能够正常工作，这样大的变化范围工作，电源又是不稳定的。我们不想使用的手机亮度会随使用时间的延长而发生很明显的降低。其次，手机中存在各种各样的数字信号，对模拟信号的干扰太大。这些数字信号有来自麦克风和耳机的音频信号，有来自基带部分的高频信号，又有来自射频模块的射频信号，这些信号即便在很好屏蔽措施下，还是会对手机内模拟信号产生很大的电磁干扰(EMI: Electromagnetic Interference)。面对如此大范围变化的电源电压和很大 EMI 情况下的应用环境，再加上白光 LED 本身对正向电压(>3.6V)和正向电流(20mA 左右)的苛刻要求，很需要一个能够给白光 LED 提供稳定的输出电压或电流的驱动电路。

## 二 高亮度应用

一种实现高亮度的方式是采用单个高功率大晶粒的 LED。最有代表性的是 Lumileds 的产品，最大驱动电流可以达到 1A，一般使用的驱动电流为 400mA~500mA，输出光量可达 18lm/w，最大可达 30lm/w，晶粒制作尺寸为 1mm×1mm。这种单晶粒 LED 结构的好处是可以得到较高的亮度，而且体积可以缩减到最小，光点集中，有利于光学设计。但是要得到单个大颗粒晶粒很难，材料生长工艺要求很复杂，因此成本很高，而且单个大晶粒使用大电流驱动使晶粒温度大幅度升高，这对 LED 亮度的提高反而不利。另一种结构是为了得到较高的光源，采用 LED 矩阵，每颗 LED 采用较小颗粒的晶粒，单颗晶粒采用 20mA 电流驱动，这样既可以保证 LED 亮度稳定，又可以保证比较高的光源亮度。但是多颗晶粒构成的矩阵使光源面积变大，因此没有了 LED 体积小特点。[2]

高亮度的白光 LED 一般都需要大于 200mA 的驱动电流，其应用和低亮度 LED 应用类似，都要专门的电源管理驱动芯片。

## 2.2 白光 LED 驱动方式

根据前面对白光 LED 的特性分析和背光照明应用时对光源的要求，都需要对白光 LED 进行专门的电源管理。

目前，白色 LED 驱动电路按照负载连接方式分为：并联型、串联型和串并联型；从提供驱动源的类型分为：电压驱动型和电流驱动型。通常白光 LED 的驱动分类是结合上面两种分类，分为四种常用的电源驱动方式，1)电压源加镇流电阻；2)电流源加镇流电阻；3)多路电流源；4)磁升压方式驱动串联 LED。[3]

### 2.2.1 电压源加镇流电阻驱动方式

该驱动类型如图 2-1 所示，电路用稳压源配合镇流电阻控制 LED 的电流，这种结构的优点是选择电压源的余地很大，提供一定电压给白光 LED 而不需考虑其正向电压。驱动芯片与 LED 之间只需要一个连接端点，外围储能元件只需要若干电容就可以从 2.7V~5V 的输入电压得到稳定的 5V 输出电压，完全不需要电感，使整个应用电路所占体积很小，非常适用于轻便微型需要节省电路板面积的应用场合（如，手机应用）。另外，由于它不需要使用电感关系，也就没有

一般电压转换器最头痛的线圈引入的噪声问题，电磁干扰问题也就不存在了。

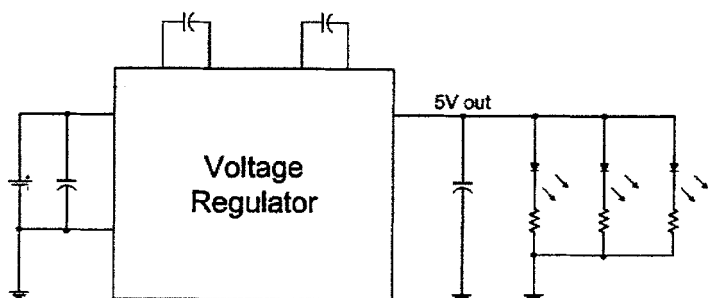


图 2-1 电压源加镇流电阻驱动模式

然而这种驱动方式的缺点也很明显，第一，虽然它可以提供一个比其正向电压大的恒定电压给白光 LED 提供正向驱动，但对白光 LED 而言，其正向电压很大的离散性，也造成了白光 LED 亮度不一致的情形。第二，由于锂电池利用电荷泵升压最多采用倍压方式，也就是说对锂电池而言，假设其电压为 4V，若使用电荷泵倍压，在没有稳压的情形下，其输出电压应为 8V，而为了得到稳定的 5V 输出电压，需要牺牲掉多出来的电压，这种工作方式就造成了此方式输入电压越高，电源转换效率越低的主要原因。另外，镇流电阻的存在也是造成该方式效率低的一个原因，而且，它对 LED 正向电流的控制也不是很精确。

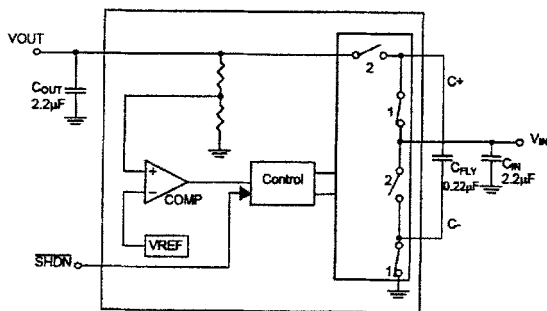


图 2-2 简单电荷泵电压源原理图(App. Note: AIC1845)

图 2-2 是一个利用开关电容电荷泵结构实现 5V 稳压的电压源原理图[5]，从图中电荷泵的工作方式可以看出其工作在倍压方式下，电路通过对输出电压

$V_{OUT}$  分壓得到一反饋電壓  $V_{FB}$  與  $V_{REF}$  比較的結果判斷輸出是否達到 5V 穩壓要求，從而通過 Control 模塊控制電荷泵的工作狀態。當  $V_{FB}$  高於  $V_{REF}$  時，Control 模塊將開關 1 關閉，並將開關 2 打開，此時輸入電壓對  $C_{FLY}$  充電至  $V_{IN}$ ，而負載所需之能量由輸出電容  $C_{OUT}$  來提供。當輸出電容的能量逐漸消耗，輸出電壓也隨之下降。當  $V_{FB}$  低於  $V_{REF}$  時，控制器將開關 1 打開並將開關 2 關閉，此時輸入電壓會透過  $C_{FLY}$  對  $C_{OUT}$  充電；在前一階段跨在  $C_{FLY}$  兩段的電壓等於輸入電壓，因此在這一個階段  $C_{OUT}$  會儲存相當於兩倍的輸入電壓，內部的兩個分壓電阻會將輸出電壓穩在 5V。

### 2.2.2 電流源加鎮流電阻驅動方式

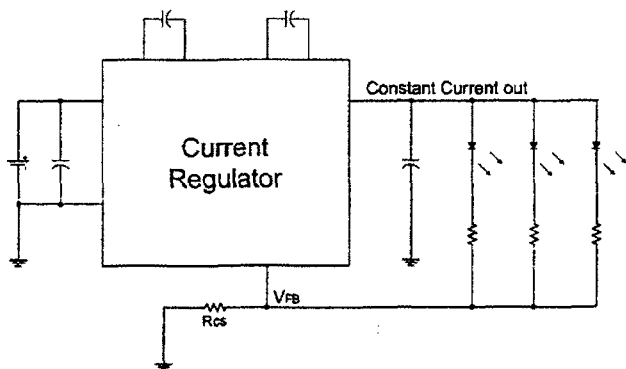


圖 2-3 電流源加鎮流電阻驅動模式

圖 2-3 是電流源加鎮流電阻驅動方式的外圍拓撲結構。此方式下，電流驅動器採用帶有整流功能的電荷泵，電荷泵向外提供穩定的電流輸出。這種結構好處是不但具備解決方案電路簡單、體積小的優點，還考慮了提高電流的匹配性能。雖然總的輸出電流穩定了，但是為了匹配各個 LED 的電流，使用了鎮流電阻來檢測 LED 電流。電流可以利用反饋連接至鎮流電阻的 LED 進行調節。由於 LED 之間的正向電壓各不相同，因此電流匹配的精度非常有限，電路可以通過減小鎮流電阻，使功耗降低，但是這種結構在鎮流電阻上的耗電仍然較大。

圖 2-4 是採用恒流輸出加鎮流電阻驅動並聯 LED 的電路原理圖[6]。電路採用電荷泵升壓方式為並聯 LED 提供符合要求的高電壓，電荷泵一般採用 1.5 倍



升压或者 1.5、2 倍升压兼有的方式。电路中的 analog detector 模块用来确定要得到预先设置的电流水平，所需要的最大电压值，同时调节电荷泵的输出。每个 LED 都有一个线性电流校正电路，以保证流过每个 LED 电流的匹配和稳定。

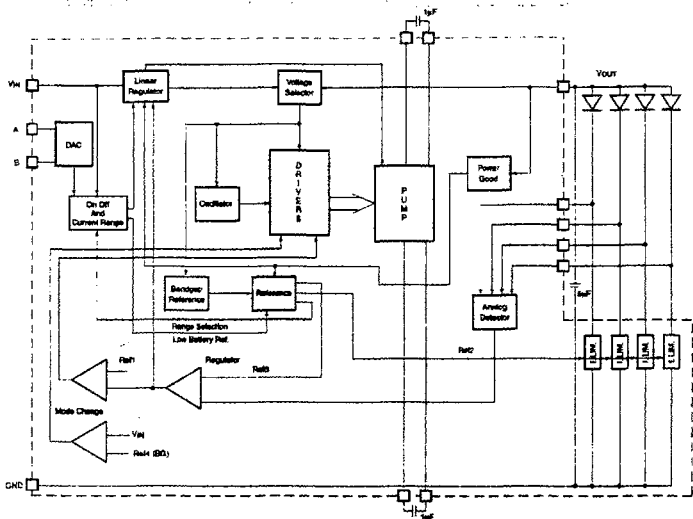


图 2-4 恒定电流源加镇流电阻驱动并联 LED 原理图(App. Note: FAN5608)

### 2.2.3 多路电流源驱动方式

图 2-5 是采用多路电流源驱动白光 LED 的方案，电路可以分别调节 LED 的电流，不需要镇流电阻。电流调节精度和匹配度取决于每个独立电流源调节器。由于没有了镇流电阻，就没有了输出电阻上的电损耗，而且该结构允许输入和输出电压的压差可以很低，这两个方面都提高了电路的效率。这种结构能够保证较高的性能指标，镇流电阻的减少也进一步减小了应用电路的有效体积，更适合空间极为狭窄的场合使用。该结构和基于电感结构驱动方案比具有很大的竞争力，它唯一的缺点是驱动白光 LED 的数量由它的输出端口数目决定。

图 2-6 中是一种采用多路电流源驱动并联 LED 的原理图[7]。它是通过电荷泵将输入电压升压到 1.5 倍为输出端的并联 LED 提供足够高的驱动电压。流过白光 LED 的电流值是通过设置  $R_{SET}$  的大小来调节的，先在  $R_{SET}$  支路根据其大小

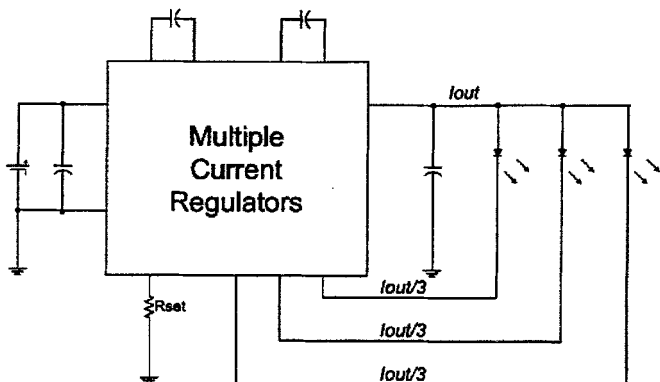


图 2-5 多电光源驱动并联 LED 结构

得到一电流值，然后再将该电流值以一定倍率镜像到 4 个白光 LED 的驱动端，从而实现对 4 个并联 LED 的恒流控制。它还有专门的亮度调节端 BRGT，通过在该端口加入模拟或 PWM 信号，实现对并联 LED 的亮度调节。

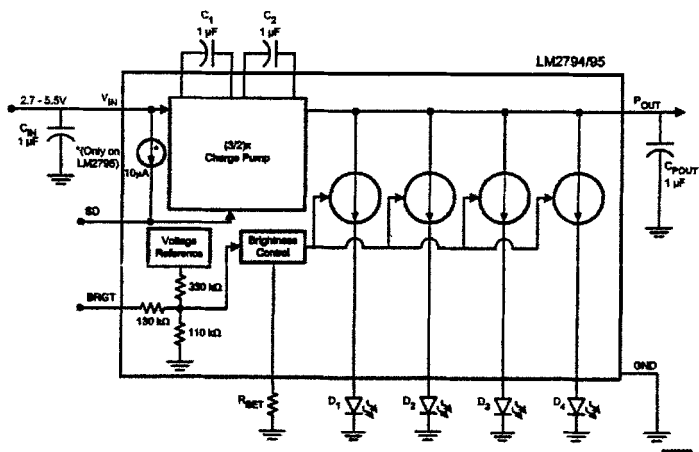


图 2-6 多路电光源驱动并联 LED 原理图(App. Note: LM2794)

更简单一些的多电光源驱动原理是，去掉图 2-6 中的电荷泵模块，而使用外接电源作为恒流源的驱动电源[8]。

## 2.2.4 串联 LED 驱动方式

由于白光 LED 的平均正向导通电压为 3.6V, 所以驱动串联 LED 需要电路能够提供很高的输出电压和 20mA 左右电流输出, 还要能保持很高的电源转换效率。电荷泵电路很难做到这一点, 基本上都是采用电感磁升压电路结构。

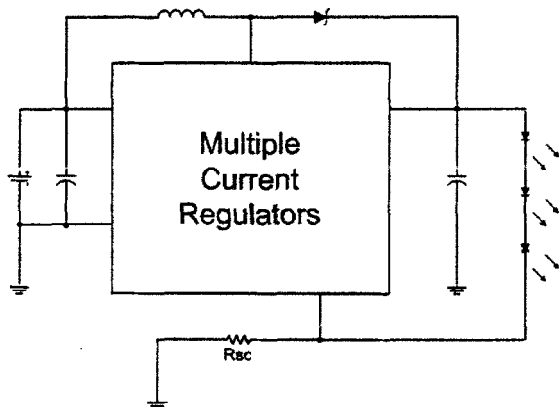


图 2-7 磁升压驱动串联白光 LED 外围结构图

图 2-7 给出了磁升压电路的外围结构图。串联驱动的最大好处是能够提供一固定电流驱动白光 LED, 对于每个 LED 而言流过的电流都是一样的, 因此 LED 的亮度也相同, 不存在亮度不匹配的问题。而且升压转换在其最大工作周期内可以有适当的升压比, 可以提供一足够大的电压以驱动 LED, 这种方式驱动 LED 可以得到很高的电源效率。另外, 驱动器和 LED 之间只需要两个连接端口, LED 的使用数量也不会收到升压种类的影响, 使设计灵活性更大, 应用场合很广。但是其缺点是, 电感元件外形体积比较大, 成本也偏高, 同时还会带来 EMI 辐射干扰。

图 2-8 给出了一种磁升压驱动器 AIC1896 的外围连接电路和内部的电路原理框图[9]。电路采用脉宽调制(Pulse Width Modulation: PWM)方式控制升压比。(b) 图中, 反馈电压(FB)和内部基准电压( $V_{REF}$ )经 Error Amp 比较放大产生一控制信号(VC), 而 VC 再与 1.4MHz 的连续三角波信号( $V_{st}$ )做比较, 如果 VC 比  $V_{st}$  大则输出开关信号切换到高电平, 反之则为低电平, 内部 N-MOSFET 的开关就是

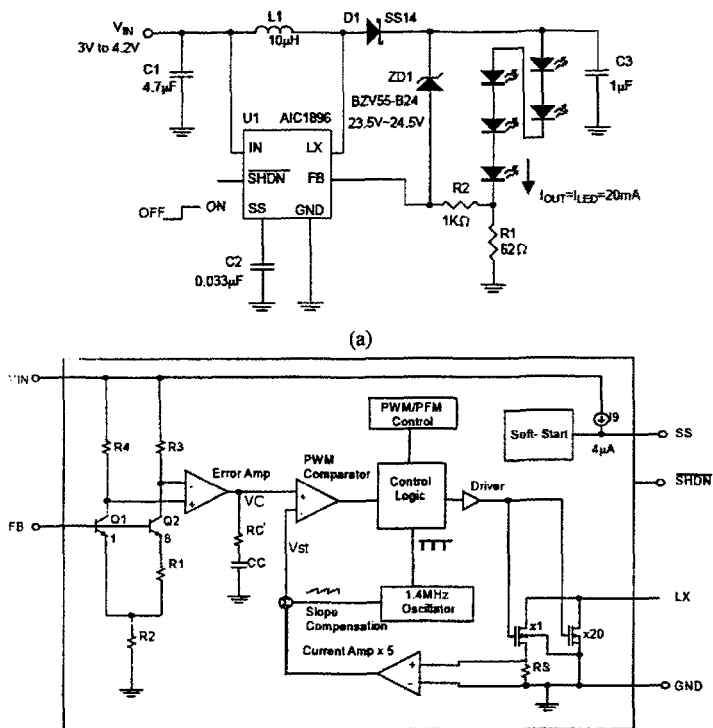


图 2-8 (a)AIC1896 典型应用电路图; (b)磁升压串联 LED 驱动器原理框图  
(App. Note: AIC1896)

由此开关信号控制, 以保证输出电流和电压的稳定。需要注意的一点是, (a)图中电路如果不接 LED 或者有一个或多个 LED 坏掉的话, 输出电流为 0, 反馈电压也为 0, 即: 输出开路。根据电路的内部工作原理, 此时驱动电路工作在全周期状态下, 其输出电压很有可能上升到芯片的最大耐压而造成芯片损坏, 因此在输出和反馈端之间需要接一个齐纳二极管做开路保护, 齐纳二极管的额定电压可以选择约等于芯片的最大耐压。另外为防止流过齐纳二极管的电流太大而损坏齐纳管, 还要接入一个电阻  $R2$  来限制流过齐纳管的电流, 且让此电流大于齐纳管雪崩击穿的溃通电流。

图 2-9 给出了电感磁升压的等效开关原理图[4, 10]。(A)为升压转换器的等

效电路图, 当开关 SW 关闭时, 电感 L 开始储存能量, 此时负载端需求的能量是由输出电容所提供的, 其等效电路如(B)所示, 设开关关闭的时间为  $t_1$ ; 当开关 SW 打开时, 原本储存在电感里的能量会同输入电压的能量一同对输出电容充电, 其等效电路如(C)所示, 这段时间为  $t_2$ 。(其中,  $t_1$  和  $t_2$  代表电路中, SW 开关时钟的两个相位时间。)

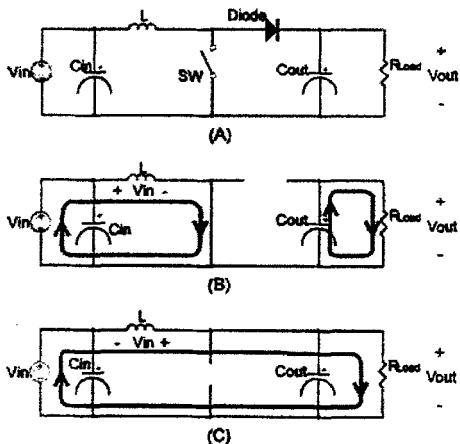


图 2-9 磁升压转换器原理的等效开关电路 (A)等效开关电路; (B)开关关闭时的等效电路; (C)开关打开时的等效电路

流过电感电流的大小可以通过式子  $I = L \frac{dV}{dt}$  计算得到。磁升压转换器工作时的开关时钟频率很高,  $t_1$  和  $t_2$  可以是微秒级的时间片段, 因此在理想状态下, 在开关过程中, SW 关闭时, 流过电感的电流可以近似为  $I_{on} = L \frac{V_{in}}{t_1}$ ; SW 断开时,

流过电感的电流可以近似为  $I_{off} = L \frac{V_{out} - V_{in}}{t_2}$ , 根据 SW 打开和关闭时电流不可

突变的性质, 即:  $I_{on} = I_{off}$ , 可以得到:

$$V_{out} = V_{in} \left( 1 + \frac{t_2}{t_1} \right) = V_{in} \left( \frac{t_1 + t_2}{t_1} \right) = V_{in} \left( \frac{T}{t_1} \right) \dots \dots \dots (\text{式 } 2-1)$$

其中, T 表示开关时钟的周期。

从式 2-1 可以看出,磁升压转换器的电压增益是随开关时钟脉冲宽度的变化而变化的,这是该类型 DC/DC 转换器可以根据采用 PWM 方式控制的最根本原因。

## 2.2.5 并联驱动和串联驱动白光 LED 比较

### 一 电路应用特点比较

前面我们讨论了三种并联驱动白光 LED 的方式和一种串联驱动白光 LED 的方式,可以看到,三种并联方式都用到了开关电容式升压电荷泵。而串联方式用到的是电感升压方式。前面已经讲到了并联驱动和串联驱动各自的优缺点,下面再以表格方式简单列举一下。

表 1 并联方式和串联方式驱动白光 LED 优缺点比较

并联方式驱动白光 LED	串联方式驱动白光 LED
低驱动电压(4.1V~5V)	高驱动电压(通常高于 16V)
低(或无)EMI 辐射,低噪声	高 EMI 辐射,高噪声
流过每个 LED 的电流不相同	流过每个 LED 的电流恒定
需要预先分档选择 LED 正向导通电压,考虑其离散性对亮度的影响	应用时无需考虑 LED 正向导通电压离散性
开关电容式 DC/DC 转换器,无需电感,设计面积小、应用成本低	DC/DC 磁升压转换器,需要电感,设计面积大、应用成本高
容错设计,当一个 LED 失效,其他 LED 仍会发亮	无容错设计,当一个 LED 失效,所有 LED 都不会发亮
LED 需要多个连接端引出	仅需要两个到 LED 串的连接端
LED 的亮度控制可以单独完成	所有 LED 具有相同的亮度水平
LED 效率较低	LED 效率较高

### 二 驱动白光 LED 效率比较

并联驱动以多电流源驱动并联白光 LED 为例,设升压电荷泵的增益为  $n$ ,那么流过白光 LED 总的输出电流  $I_{LED} \leq \frac{I_{in}}{n}$  (假设电荷泵功率转换效率为 100%,那么式子取等号)。此时,并联驱动器的 LED 效率可以定义为:

$$\eta_{LED,parallel} = \frac{P_{LED,parallel}}{P_m} = \frac{V_{LED} \cdot I_{LED}}{V_m \cdot I_m} \leq \frac{V_{LED} \cdot I_{LED}}{n \times V_m \cdot I_m} = \frac{V_{LED}}{n \times V_m} \dots\dots (式 2-2)$$

其中  $\eta_{LED,parallel}$  为并联驱动器白光 LED 的效率,  $P_{LED,parallel}$  是其损耗功率,  $V_{LED}$  为其正向压降, 而  $I_{LED}$  为流过 LED 的电流。

同样的, 在串联驱动器应用中, 其 LED 的效率可以定义为:

$$\eta_{LED,series} = \frac{P_{LED,series}}{P_m} = \frac{\sum V_{LED} \cdot I_{LED}}{V_m \cdot I_m} \dots\dots\dots (式 2-3)$$

其中  $\eta_{LED,series}$  为串联驱动器白光 LED 的效率。

以图 2-8(a)中的串联白光 LED 驱动器应用电路为例, 流过 LED 的电流为:

$I_{LED} = V_{FB}/R1 \dots\dots (式 2-4)$ , 其中  $V_{FB}$  为 FB 端的参考电压, 其值为 1.23V。其输出

电压可以表示为:  $V_{out} = \sum V_{LED} + V_{FB} \dots\dots (式 2-5)$ 。将式 2-4 和式 2-5 带入到式 2-3 中可以得到:

$$\begin{aligned} \eta_{LED,series} &= \frac{(V_{out} - V_{FB}) \times I_{LED}}{P_m} = \frac{V_{out} \cdot I_{LED} - V_{FB} \cdot I_{LED}}{P_m} \dots\dots\dots (式 2-6) \\ &= \eta - \frac{V_{FB} \cdot I_{LED}}{P_m} = \eta \left( 1 - \frac{V_{FB}}{V_{out}} \right) \end{aligned}$$

其中  $\eta$  是磁升压 DC/DC 的电源转换效率。[3]

让我们假设一个场景, 用 3.3V 的电源输入驱动 4 个正向导通电压为 3.6V 的白光 LED, 流过每个 LED 的电流为 20mA。

假设并联驱动的升压电荷泵的增益为 1.5 倍, 那么当电荷泵转换效率为 100% 时, 并联驱动器的 LED 效率为:

$$\eta_{LED,parallel} = \frac{V_{LED}}{n \times V_m} = \frac{3.6V}{1.5 \times 3.3V} \times 100\% = 72.7\%$$

在串联驱动 LED 应用中, 其输出电压为:

$$V_{out} = \sum V_{LED} + V_{FB} = (3.6 \times 4) + 1.23 = 15.63V$$

假设其整体应用电路的效率  $\eta = 80\%$ , 则 LED 的效率为:

$$\eta_{LED,series} = \eta \left( 1 - \frac{V_{FB}}{V_{out}} \right) = 0.8 \times \left( 1 - \frac{1.23}{15.63} \right) \times 100\% = 73.7\%$$

从这个结果看, 好像两个的 LED 差别不明显。但是从两个效率表达式看,

并联方式的 LED 效率与输入电压  $V_{in}$  和电荷泵增益的乘积成反比，如果输入电压变为 3.6V，电荷泵增益增加到 2，并联驱动的 LED 效率就会降到 50%，如果输入再高，效率就会更低，因此，现在的电荷泵升压方式为了能够得到高的平均效率，都会采用多增益的开关电容式电荷泵结构。

而串联驱动方式中 LED 的效率基本上还是取决于应用电路的电源转换效率  $\eta$ ，因此该效率比较稳定，不会随输入电压的大范围变化而有很大的变化。

## 本章小结

本章根据白光 LED 自身的特性和其能够广泛应用的领域，介绍了现在最常用的 4 种驱动白光 LED 的方式，恒压并联驱动方式、一路电流源并联驱动方式、多路电流源并联驱动方式和串联驱动方式。指出了并联和串联驱动从升压方式上的本质区别，并对二者的优缺点进行了简单的比较。



## 参考文献

- [1] Chia-Ming Lee, Chang-Cheng Chuo, I-Ling Chen. *High-Brightness Inverted InGaN-GaN Multiple-Quantum-Well Light-Emitting Diodes Without a Transparent Conductive Layer*. IEEE Electron Device Letters, vol. 24, no. 3, pp. 156-158, 2003.
- [2] 吕永隆. 超高亮度LED之技术现况与趋势. [www.eedesign.com.tw](http://www.eedesign.com.tw).
- [3] 吴志钰. 白光LED驱动器—在串联及并联应用之比较. [www.eedesign.com.tw](http://www.eedesign.com.tw).
- [4] Serge Jaunay, Jess Brown. App. Note: *DC to DC Design Guide*. [www.vishay.com](http://www.vishay.com).
- [5] App. Note: *AIC1845- Regulated 5V Charge Pump in SOT23*. [www.analog.com.tw](http://www.analog.com.tw).
- [6] App. Note: *FAN5608- Serial/Parallel LED Driver with Current- Regulated, Step-up DC/DC Converter*. [www.fairchildsemi.com](http://www.fairchildsemi.com).
- [7] App. Note: *LM2794/LM2795- Current Regulated Switched Capacitor LED Supply with Analog and PWM Brightness Control*. [www.national.com](http://www.national.com).
- [8] App. Note: *MAX1916- Low- Dropout, Constant- Current Triple White LED Bias Supply*. [www.maxim-ic.com](http://www.maxim-ic.com).
- [9] App. Note: *AIC1896- 1.4MHz SOT23 Current-Mode Step-up DC/DC Converter*. [www.analog.com.tw](http://www.analog.com.tw).
- [10] Jianping Xu. *An Analytical Technique for the Analysis of Switching DC-DC Converters*. Circuit and Systems, IEEE International Symposium, vol. 2, pp. 1212-1215, 1991.

## 第三章 高效率开关电容式 DC-DC 转换器

### 3.1 设计目标及意义

#### 一 设计目标

第二章中我们讨论的四种驱动电路中, 并联驱动方式都是用开关电容式电荷泵电路作输出级给白光 LED 提供电源, 因此这种电荷泵的特点是: 低电压输出 (4.1V~5V), 能够提供大电流输出 (几十~几百毫安)。这种电荷泵电路正好能够采用现有的最主流的模拟集成电路设计工艺——标准 CMOS 工艺设计实现。

在便携式应用中的白光 LED 驱动电路, 基本上都是采用 CMOS 工艺, 这是因为 CMOS 工艺在低功耗上有标准 Bipolar 工艺无法比拟的优势, 而且 CMOS 工艺在成本上远远低于更适合设计大电流驱动的 BiCMOS 工艺。标准 CMOS 工艺有很难提供稳定大电流输出的先天缺陷。而白光 LED 驱动, 很重要的一点就是要提供稳定的大电流输出。尽管如此, 标准 CMOS 工艺下, MOS 管也可以提供几十~几百毫安的大驱动电流, 也正好可以满足现行便携式白光 LED 驱动的应用条件。但是大电流工作下, MOS 管必须有很大的宽长比, 这就会占用很大的版图面积, 寄生参数就会变大而影响 MOS 管的其它电气性能, 从而对电路功能造成不良结果。

我们的设计目标就是利用无锡上华提供的  $0.6\mu\text{m}$ 、5V 电源电压的标准 CMOS 工艺设计实现一个能够提供多种增益的开关电容式电荷泵电路, 测试电荷泵电路所采用的大宽长比 MOS 管的性能特性, 同时研究具有高效率电源转换效率的开关电容式 DC-DC 转换器的工作原理, 以及分析和设计其模拟电路部分的主要组成子模块电路。

#### 二 设计意义

在第二章图 2-2 中 AIC1845 的电路原理框图, 恒压驱动并联白光 LED 使用的是开关电容式升压电荷泵, 电荷泵的增益为 2, 实现 5V 的稳定输出。根据式 2-2 给出的驱动器驱动 LED 的效率, 可以看到, 随着输入电压的增加, LED 效率会降低。这对于强调功耗和节电的便携式应用来讲, 并不是理想的 DC-DC 转

换器。因此，在现代高性能电源管理技术中，开关电容式 DC-DC 转换器都采用多增益电荷泵来提高电源效率，以达到电源电压的最有效利用。

电荷泵结构的变化，使得 DC-DC 转换器的内部控制原理也发生了变化。在 AIC1865 的电路原理图中，因为电荷泵只有 2 倍的增益，控制电路要做的就是根据输出电压的反馈分压和参考电压的比较结果，决定升压电荷泵要不要工作。当采用多增益电荷泵电路后，不但需要一个类似的输出电压的反馈回路，还需要额外的电路去判决电荷泵以怎样的增益工作，还会增加数字控制电路的复杂度，这需要一种新的电源管理模式。

根据以上所述，高效率的开关电容 DC-DC 转换器，需要高性能的模拟电路实现低压大电流输出，也需要精准的数字控制电路去控制模拟电路实现精确、稳定和输出电压，这是一个典型的数模混和电路。

这样的电路有很广的应用领域，不仅在白光 LED 驱动，还可以用在各种稳压驱动场合，其高效的电源转换效率，更增加了其应用在便携式设备，尤其是电池供电设备上的前景。

### 3.2 高效率开关电容式 DC-DC 转换器原理

图 3-1 中给出了一个采用多增益电荷泵实现 DC-DC 转换的原理框图。电路的功能是用来在电池供电系统中提供一个经过升压/降压的输出校准电压，其输入电压范围为 2.5V~5.5V，通过配置内部数字控制单元，可以得到的输出校准电压为 1.8V、3.3V 和 5V 等标准电源电压或者其他的任何需要的电压值。其内部电路由开关电容电荷泵(SWITCH ARRAY)、电压基准源、电压比较器和关断逻辑控制电路组成。

如图 3-1 中所示，电压转换电路有两条反馈路径，用以产生尽可能最高驱动效率的校准电压。**第一条反馈路径**从输出电压端  $V_{out}$  开始经过比较器 COMP、与门  $G_1$ 、相位发生器和开关电容阵列。当  $V_{out} < V_{REF}$  时，比较器输出高电平，与门输出为振荡器的时钟信号，时钟信号经数字控制单元产生不同相位时钟信号开启开关电容电荷泵产生新的输出电压；当  $V_{out} > V_{REF}$  时，比较器输出低电平，与门输出为零，数字控制单元关闭电荷泵，以保持电压稳定。在这种方式下，电荷泵只是在需要的时候才对输出进行充电。**第二条反馈路径**控制多增益电荷泵的增益

配置。这条路径由 ADC 模块、数字控制块、相位发生器 and 开关电容阵列组成。输入信号经过 ADC 转化为数字信号，数字控制块根据 ADC 和比较器输入的不同，配置了 5 个可供选择的增益值，数字控制块会自动计算采用哪一个最有效率的增益值，将增益信号送到相位发生器，相位发生器再产生合适的时序和配置信号到电荷泵的开关电容阵列，产生最有效率的电压输出。[1]

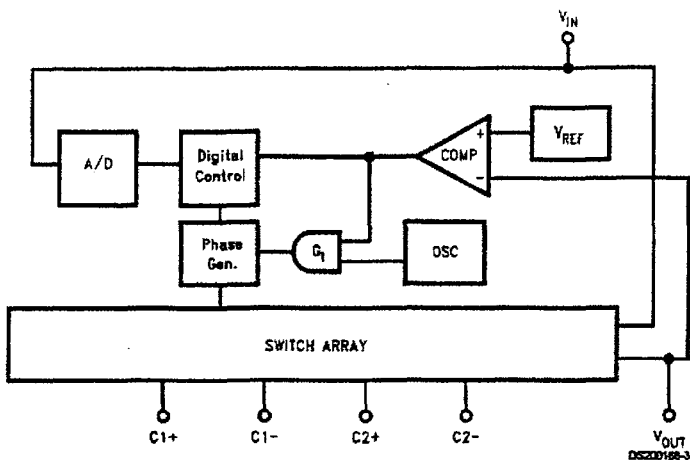


图 3-1 采用多增益电荷泵的 DC-DC 转换电路原理图(App. Note: LM3354)

在上面的原理框图的基本模块中，电荷泵、基准电压源、振荡电路、比较器和 A/D 是模拟电路部分；数字控制电路、相位发生电路和与门则是数字电路部分。

我们主要研究 DC-DC 转换器的模拟电路部分，其中详细研究了开关电容式电荷泵电路的原理，给出了多增益电荷泵电路的设计方案，并对多增益电荷泵电路、比较器和 A/D 电路进行了流片和测试。

下面将对电荷泵的基本原理做一个比较全面的介绍。其它子电路将在分析和仿真的时候进行介绍。

### 3.3 基本電荷泵電路原理

#### 一 基本原理

開關電容電荷泵電路用來產生一個比輸出電壓高的電源電壓，不同於線圈升壓方式，它是一個直流到直流的升壓（Boost）電路，又因為升壓電荷泵的輸出需要若干個時鐘周期才能穩定，因此這種電荷泵又稱為 Step-up 型。圖 3-2 中給

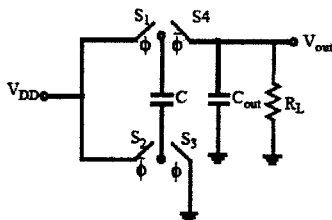


圖 3-2 基本開關電容倍壓電荷泵

出了一個最基本開關電容倍壓電荷泵。在開關時鐘相位  $\phi$  時，開關  $S_1$  和  $S_3$  關閉， $S_2$  和  $S_4$  斷開，輸入電壓  $V_{DD}$  給電容  $C$  充電。在下一個時鐘相位時， $S_2$  和  $S_4$  關閉， $S_1$  和  $S_3$  斷開，電容  $C$  的下極板被接到電勢  $V_{DD}$ ，上極板作為電壓輸出得到  $V_{out}$ 。根據電容存儲電荷不能突變的原理， $C$  在前一個時鐘相位存儲的電荷量為  $V_{DD}C$ ，這就意味着在時鐘相位為  $\bar{\phi}$  時有：

$$(V_{out} - V_{DD}) \cdot C + V_{out} \cdot C_{out} = V_{DD} \cdot C \cdots \cdots \text{(式 3-1)}$$

即：

$$V_{out} = \frac{C}{C + C_{out}} \cdot 2 \cdot V_{DD} \cdots \cdots \text{(式 3-2)}$$

如果輸入  $V_{DD}$  也接一個和輸出負載電容  $C_{out}$  同樣大小的電容  $C_{in}$ ，(式 3-2) 就變為：

$$V_{out} = \frac{C + C_{in}}{C + C_{out}} \cdot 2 \cdot V_{DD} = 2 \cdot V_{DD} \cdots \cdots \text{(式 3-3)}$$

(式 3-3) 就是倍壓電荷泵名稱由來的原因。當輸出端接有輸出電阻  $R_L$  時，在輸出電壓上就會產生紋波電壓  $V_R$ ，如果輸出電容  $C_{out}$  足夠大，那麼  $V_R$  相對於

$V_{out}$  而言就可以忽略, 电荷泵实现 DC-DC 功能。

要实现电压增益的倍数大于 2 倍的升压电荷泵, 通常是将多个倍压电路级联来实现。

## 二 Cockcroft-Walton 电荷泵

这种结构的电荷泵最早用于实现开关电容升压的, 是由 Cockcroft 和 Walton[2] 两人在研究原子物质结构的过程中提出的, 可以做到稳定输出 800,000V 的电压。该电路结构如图 3-3 所示:

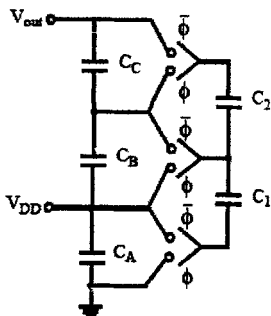


图 3-3 Cockcroft-Walton 升压电荷泵

电容  $C_A$ 、 $C_B$ 、 $C_C$  串联接在一起, 每个的电容值都为  $C$ 。在时钟相位为  $\phi$  时,  $C_1$  和  $C_A$  并联在一起,  $C_1$  也被充电到  $V_{DD}$ ; 当开关切换到下一个时钟相位  $\bar{\phi}$  时,  $C_1$  将和  $C_B$  共同分配上一相位时在  $C_1$  上充满的电荷, 如果  $C_1=C$ , 它们各自的电压变为  $V_{DD}/2$ 。另一个时钟周期内, 在  $C_1$  再一次被充电到  $V_{DD}$  时,  $C_2$  和  $C_B$  并联接在一起, 如果  $C_2=C$ ,  $C_2$  和  $C_B$  的电压变为  $V_{DD}/4$ 。很明显, 当这样的过程再持续几个时钟周期以后, 电荷会不断转移到每个电容上来, 直到输出电压  $V_{out}$  达到  $3V_{DD}$  为止。

这个原理可以很容易的被扩展, 继续增加串联电容就可以得到更高的电压输出。但是实际上, 如果 Cockcroft-Walton 电荷泵被集成在一个单独的芯片上时, 由于寄生电容的影响, 电荷泵的效率会变得非常低。而且, 电路的输出阻抗会随着级联电容数目的增加而迅速变大。

为了克服以上限制, Dickson[3]提出了一种更适合用于单片集成的升压电荷

泵电路结构。

### 三 Dickson 电荷泵

Dickson 电荷泵[3]的电路原理如图 3-4 所示, 电路的时钟幅度为  $V_\phi$ , 二极管的正向导通电压为  $V_d$ , 寄生电容为  $C_s$ 。电路的升压是通过沿着二极管链在每个时钟周期内的连续充放电实现的。

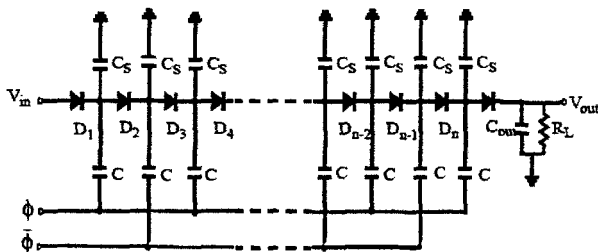


图 3-4 Dickson 电荷泵

不考虑  $C_s$ , 在时钟相位  $\phi$  为低电平时, 二极管  $D_1$  导通, 节点 1 上的电压变为  $V_m - V_d$ ; 当  $\phi$  的幅度切换到  $V_\phi$  时, 节点 1 的电压变为  $V_m + (V_\phi - V_d)$ , 使得  $D_2$  导通, 给节点 2 的电容充电, 直到节点 2 的电压变为  $V_m + (V_\phi - V_d) - V_d$  时  $D_2$  重新截止。当  $\phi$  再次变为低电平时, 节点 2 的电压变为  $V_m + 2 \cdot (V_\phi - V_d)$ 。依次类推, 电压传过  $N$  级以后, 输出端的电压为:

$$V_{out} = V_m + N \cdot (V_\phi - V_d) - V_d \dots \dots \dots \text{(式 3-4)}$$

考虑了寄生电容  $C_s$  的影响, 时钟电压  $V_\phi$  会在传输过程中被衰减到原来的

$\frac{C}{C+C_s}$ 。因此, 实际的输出电压为:

$$V_{out} = V_m + N \cdot \left( \left( \frac{C}{C+C_s} \right) V_\phi - V_d \right) - V_d \dots \dots \dots \text{(式 3-5)}$$

电路中二极管实际就起到了一个开关的作用, 但这个开关不是理想的, 是有一定导通电阻的开关, 每个开关的导通电阻可以表示为  $\frac{1}{(C+C_s) \cdot f_{osc}}$ , (其中  $f_{osc}$

是电荷泵的工作频率)。如果电路的输出电流为  $I_{out}$ ，那么在整个开关链上的压降

就为  $N \cdot \frac{I_{out}}{(C+C_S) \cdot f_{OSC}}$ ，这样输出电压的表达式变为：

$$V_{out} = V_{in} + N \cdot \left( \frac{C}{C+C_S} \cdot V_{\phi} - V_d - \frac{I_{out}}{(C+C_S) \cdot f_{OSC}} \right) - V_d \dots \dots \dots \text{(式 3-6)}$$

上面的式子可以被写成：

$$V_{out} = V_O - I_{out} \cdot R_S \dots \dots \dots \text{(式 3-7)}$$

其中

$$V_O = V_{in} - V_d + N \cdot \left( \frac{C}{C+C_S} \cdot V_{\phi} - V_d \right) \dots \dots \dots \text{(式 3-8)}$$

$$R_S = \frac{N}{(C+C_S) \cdot f_{OSC}} \dots \dots \dots \text{(式 3-9)}$$

从 (式 3-7) 可以得到电荷泵电路的一个直流模型，如图 3-5 所示：

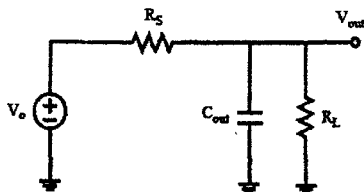


图 3-5 Dickson 电荷泵的直流模型

由于输出负载电阻的影响，我们还需要注意的就是输出电压上的纹波电压， $V_R$ ，该电压可以用下面的式子进行计算：

$$V_R = \frac{I_{out}}{f_{OSC} \cdot C_{out}} = \frac{V_{out}}{f_{OSC} \cdot R_L \cdot C_{out}} \dots \dots \dots \text{(式 3-10)}$$

Dickson 电荷泵在 CMOS 技术下实现的实际电路如图 3-6 所示，电路中用二极管接法的 NMOS 管代替了图 3-5 中的二极管，输出电压表达式中就需要把二极管的正向导通电压  $V_d$  改为 MOS 管的阈值电压  $V_{th}$ ：



$$V_{out} = V_m + N \cdot \left( \frac{C}{C+C_S} \cdot V_{\phi} - V_m - \frac{I_{out}}{(C+C_S) \cdot f_{osc}} \right) - V_m \dots\dots\dots (式 3-11)$$

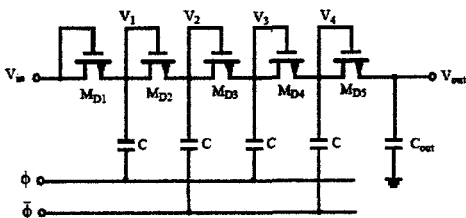


图 3-6 四级 Dickson 电荷泵

我们定义在每个电容和 MOS 管的节点上的电压变化为  $\Delta V$ ，根据上面分析，

$$\Delta V = \frac{C}{C+C_S} \cdot V_{\phi} - \frac{I_{out}}{(C+C_S) \cdot f_{osc}} \dots\dots\dots (式 3-12)$$

电荷泵电路两级之间的电压差可写为：

$$V_N - V_{N-1} = \Delta V - V_m \dots\dots\dots (式 3-13)$$

Dickson 电荷泵的缺陷是当电源电压减小时，时钟幅度  $V_{\phi}$  会降低， $\Delta V$  和  $V_N - V_{N-1}$  都会随之降低。一旦  $V_N - V_{N-1} = \Delta V - V_m < 0$ ，电荷泵就不会有升压功能。所以 Dickson 电荷泵不适合低电源应用场合。如果电荷泵结构能够将 (式 3-13) 中的  $V_m$  项抵消掉，那么就更适合在低电源场合应用。这个可以通过修改 Dickson 电荷泵电路的结构实现，将 MOS 管改成静态电荷转移开关 (Charge Transfer Switch: CTS)，就可达到目的。

#### 四 静态 CTS 电荷泵

静态 CTS 电荷泵[4]应用了动态开关去增加电压升压增益。这种结构的基本思想是，利用 MOS 开关能精确控制开/关状态的特性，让电荷在升压过程中直接从开关的一端转移到另外一端，而不像二极管或二极管接法的 MOS 那样在每个节点处有一个正向的压降。图 3-7 是一个四级 CTS 电荷泵电路。

去掉电路中的 CTS 开关  $M_{S1} - M_{S5}$ ，电路就是前面提到的 Dickson 电荷泵，采用 CTS 开关的想法是利用在不同节点已经建立的高电压去控制前级的 CTS 开

关。只要这些开关能够在指定时间里完成开/关操作，就可以保证电荷向一个方向转移。

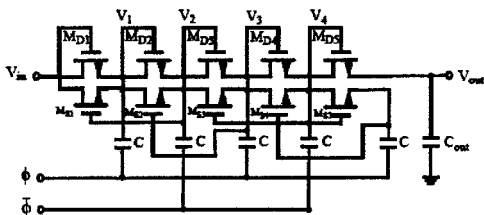


图 3-7 CTS 电荷泵电路结构

此时，电荷泵两级之间的压差就变为：

$$V_N - V_{N-1} = \Delta V \dots\dots\dots (式 3-14)$$

当时钟相位  $\phi$  是高电平时，在 1、2 两个节点的电压是相等的，而节点 3 的电压比前两个节点电压高  $2 \cdot \Delta V$ 。这就是说  $M_{S2}$  的栅源电压是  $2 \cdot \Delta V$ ，为了让这个管子导通，必须要：

$$2 \cdot \Delta V > V_m \dots\dots\dots (式 3-15)$$

但是这个电路结构的最大问题是，在相反方向上的电荷泄放。当时钟相位  $\phi$  是低电平时，节点 2 和 3 的电压比节点 1 的电压高  $2 \cdot \Delta V$ ，因此  $M_{S2}$  的栅源电压为  $2 \cdot \Delta V$ ，在这个时钟相位期间，理想状态下，需要  $M_{S2}$  关断，这必须要：

$$2 \cdot \Delta V < V_m \dots\dots\dots (式 3-16)$$

因为 CTS 电荷泵必须要求 (式 3-15) 成立，那么 (式 3-16) 就永远不可能满足。所以，在时钟相位  $\phi$  为低电平时， $M_{S2}$  不能完全关断，在节点 1 和节点 2 之间会发生反向的电荷泄放。

这种反向的漏电现象，可以通过在图 3-7 电路中增加传输门结构来消除。引入这种传输门的目的就是动态的控制 CTS 开关，保证开关在需要的时候完全关闭同时又能方便的使它们导通，改进后的 CTS 电荷泵电路如图 3-8 所示，图中能够满足电路正常工作的必要条件是：

$$2 \cdot \Delta V > V_{\phi} \dots\dots\dots (式 3-17)$$

$$2 \cdot \Delta V > V_m \dots\dots\dots (式 3-18)$$

不同于前面的是，这两个条件是可以同时满足的[4]。

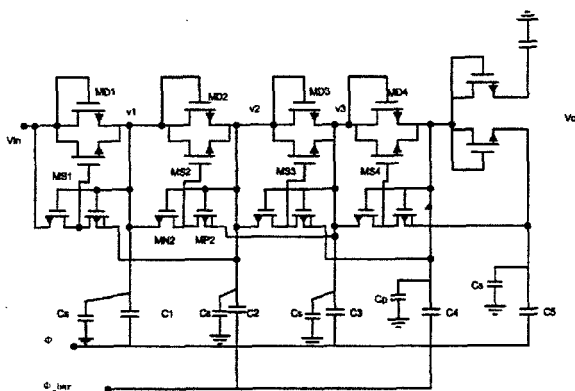


图 3-8 改进的 CTS 电荷泵电路图

## 五 交叉耦合式电荷泵

交叉耦合式电荷泵具有很高的效率和精度[5]。图 3-9 是一个基本交叉耦合式倍压电荷泵单元，电路的时钟幅度为  $V_{DD}$ ，MOS 管  $M_1$  和  $M_2$  连续在开与关之间

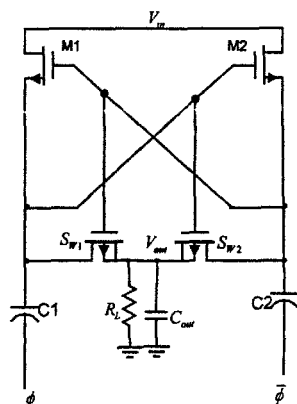


图 3-9 交叉耦合式倍压电荷泵单元

切换以使电容  $C_1$  和  $C_2$  充电到  $V_{in}$ 。经过几个时钟周期，输出电容  $C_{out}$  上极板的电压幅度就可以达到  $V_{in}+V_{DD}$ ，如果满足  $V_{in}=V_{DD}$ ，就会得到下面的关系式：

$$V_{out} = 2 \cdot V_{in} \dots\dots\dots (式 3-19)$$

如果考虑到开关 MOS 管  $S_{W1}$  和  $S_{W2}$  的导通电阻  $R_{ds(on)}$  和负载电阻  $R_L$  对输出电压的影响, 可以看到  $V_{out}$  实际是这两个电阻分压的结果, 因此有:

$$V_{out} = \frac{2 \cdot V_{in} \cdot R_L}{R_L + R_{ds(on)}} \dots\dots\dots (式 3-20)$$

而电路的输出纹波电压可以由下面式子得到:

$$V_R = \frac{I_{out}}{2 \cdot f_{OSC}} \left( \frac{1}{C_L} + \frac{1}{C_1 + C_L} \right) \dots\dots\dots (式 3-21)$$

上面我们介绍的四种电荷泵电路都是升压电荷泵, 而且其增益都是固定的, 要改变电压增益就必须改变电路形式, 比如, 他们都可以通过增加单元电路的级数来达到增加增益的目的。如果要在很宽的输入电压情况下, 完成输出电压的稳定, 这些的电荷泵电路还是会有很大的能量损耗, 而得不到很高的效率。在电池供电的便携式应用场合, 更需要的是一种可以用同一种结构实现多种增益的电荷泵电路。

## 六 分数增益电荷泵

分数增益电荷泵, 就是以开关电容为基础的 DC-DC 变换器。关于这方面的研究很早是以研究二极管-电容增压电路开始的[6, 7], 以此为基础, 在上世纪 90 年代初期, 开关电容式 DC-DC 变换器电路结构从理论上得到了很系统的研究 [8, 9, 10]。

图 3-10 中给出了一种有 5 个电容的开关电容变换器, 图中给出了开关在不同相位的开/关顺序, 图中没有标明的电容值均为  $C$ 。其不同相位时的等效电路如图 3-11 中的电路所示, (a)相位时, 输入电压  $V_{in}$  给四个并联的电容充电, 输出电压  $V_{out}$  给  $C_{out}$  充电, 因此, 在 5 个电容上充的电荷量为  $V_{in} \cdot 4 \cdot C + V_{out} \cdot C_{out}$ ; 等相位变化到(b)时, 5 个电容电荷重新分配,  $C_{out}$  上充的电荷仍为  $V_{out} \cdot C_{out}$ , 4 个串联电容上充的电荷为  $(V_{out} - V_{in}) \cdot C$ , 根据开关电容电荷泵原理, 可以推出图 3-10 中开关电容变换器在理想状态下的电压增益为  $G_1 = \frac{V_{out}}{V_{in}} = 5$ , 但这个还不是该电路的最高增益。

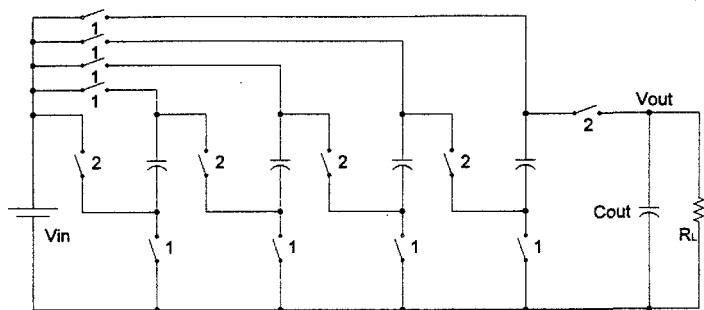


图 3-10 带 5 个电容的开关电容电荷泵

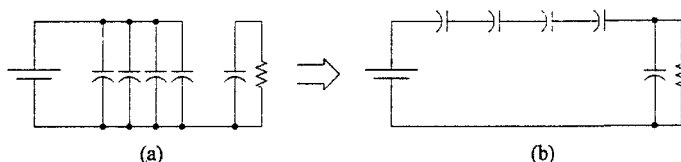


图 3-11 开关电容转换电路不同相位时的等效电路

根据文献[10]中给出了开关电容 DC-DC 转换器电压增益的定理：

**定理 1：** 含有  $k$  个电容（包括  $C_{out}$ ）的开关电容转换电路的理想增益为

$$G_i(k) = \frac{V_{out}}{V_{in}} = \frac{P(k)}{Q(k)} \dots\dots\dots \text{(式 3-22)}$$

其中  $P(k)$  和  $Q(k)$  是整数，满足下面的不等式：

$$\text{Max}[Abs[P(k)], Abs[Q(k)]] \leq F_k \dots\dots\dots \text{(式 3-23)}$$

$$\text{Min}[Abs[P(k)], Abs[Q(k)]] \geq 1 \dots\dots\dots \text{(式 3-24)}$$

$F_k$  是第  $k$  个 Fibonacci 数。

Fibonacci 数的定义为：

$$\begin{aligned} F_0 &= 1 \\ F_1 &= 1 \dots\dots\dots \text{(式 3-25)} \\ F_k &= F_{k-2} + F_{k-1}, \quad \text{for } k > 1 \end{aligned}$$

可以得到 Fibonacci 数的序列为：1、1、2、3、5、8、13、21、34、55、……，再代入到（式 3-22）～（式 3-24）中可以得到开关电容转换电路升压应用时的

增益为

$$1 \leq G_i(k) \leq F_k \dots\dots\dots (式 3-26)$$

根据定理 1，对于图 3-10 中的电路，其升压增益可配置的范围为：

$$1 \leq G_i(5) \leq 8$$

分数电荷泵电路的另一个有用的应用是，能够实现降压 (Buck 或 Step-down) 功能。将图 3-10 中电路的开关相位重新分配成如图 3-12 所示的电路变化形式，我们可以得到新的电压增益  $G_i = 1/5$ 。

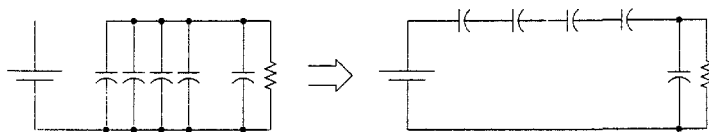


图 3-12 电容数为 5，增益为 1/5 的开关配置结果

比较图 3-11 和图 3-12，可以发现一个非常有趣的现象，如果不考虑输出电容  $C_{out}$  和输出电阻  $R_L$ ，只要将图 3-11 中的  $V_{in}$  和  $V_{out}$  互换位置，即可得到互为倒数关系的电压增益。因此我们可以将定理 1 的内容扩展为定理 2。

**定理 2：**含有  $k$  个电容 (包括  $C_{out}$ ) 的开关电容转换电路的理想增益为

$$G_i(k) = \frac{V_{out}}{V_m} = \frac{P(k)}{Q(k)} \dots\dots\dots (式 3-27)$$

其中  $P(k)$  和  $Q(k)$  是整数，满足下面的不等式：

$$Max[Abs[P(k)], Abs[Q(k)]] \leq F_k \dots\dots\dots (式 3-28)$$

$$Min[Abs[P(k)], Abs[Q(k)]] \geq 1/F_k \dots\dots\dots (式 3-29)$$

$F_k$  是第  $k$  个 Fibonacci 数， $F_k$  的定义由 (式 3-25) 给出。

前面我们从理论和实际两个方面给出了  $k$  个电容的分数增益电荷泵的增益范围，但是其分数增益的概念体现的并不是很清楚，下面我们以  $k=3$  为例给出其不同的增益和开关配置后的等效转换电路。

在一个 3 个电容组成的开关电容 DC-DC 转换电路网络中，配置不同开关的打开或关断，我们可以实现如图 3-13 所示的 7 种电压转换增益所对应的等效转换电路。

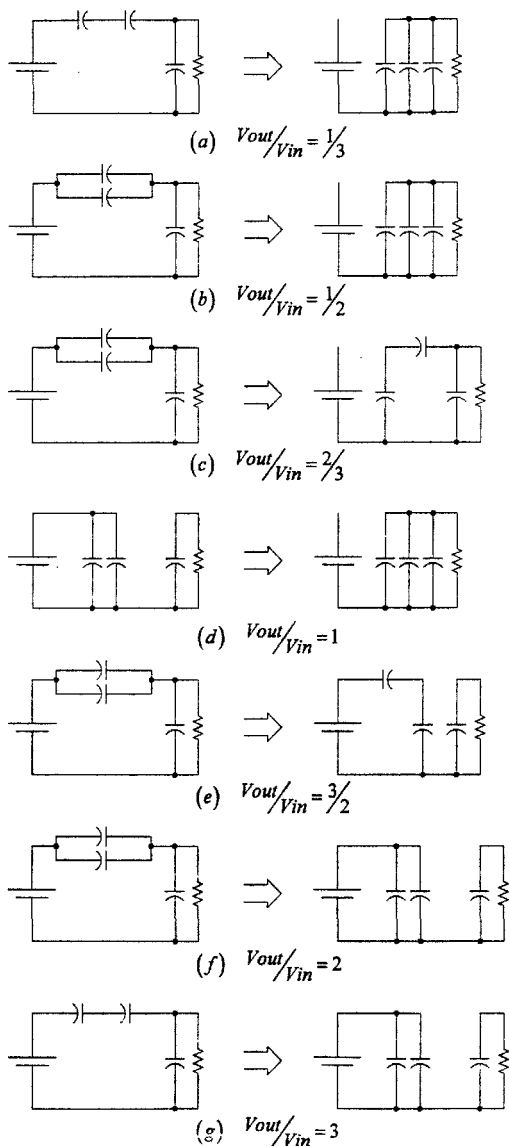


图 3-13  $k=3$  时的分数增益不同开关配置的等效电路

在  $k=4$  時，我們能夠實現 19 種的不同電壓轉換增益[10]。

同一個電荷泵電路結構中，能夠通過配置不同開關的狀態得到一組不同的電壓增益，給我們提供了一種當輸入電壓變化範圍很寬時，可以得到一個動態的電壓校準輸出，而且又可以得到很高轉換效率的解決方案，解決的思路就是在片上選擇開關電容的開關配置增益，讓輸出電壓最接近於給定的輸入電壓。

而且該類型電荷泵的另一個優點是，在單片集成電路應用中，增加電荷泵電路的電容和開關數對控制電路的複雜度影響並不是很大。

電荷泵輸出如果接一個非零負載，由於電路中的電容要週期性的進行充電，給輸出負載電阻提供電流，所以，實際的穩態輸出電壓比理想的輸出電壓  $V_{out} = G_i \cdot V_m$  低。電容電壓就有一個交流的紋波分量，在電荷從電容轉移出來或轉移進去的过程中，在電容的等效串聯電阻(ESR)和開關的導通電阻上有能量損失。如果電容電壓上的交流分量電壓越小，能量損失也就越小。

分數電荷泵的直流模型和圖 3-5 中的直流模型類似，如圖 3-14 中所示：模型由一個轉換比為  $1:G_i$  的直流變壓器和輸出電阻  $R_o$  組成。為了確定  $R_o$  的值，將輸入電壓端短路接地，在輸出端接一個理想測試電壓源  $V_o$ ，因此輸出電阻可以從下式中得到：

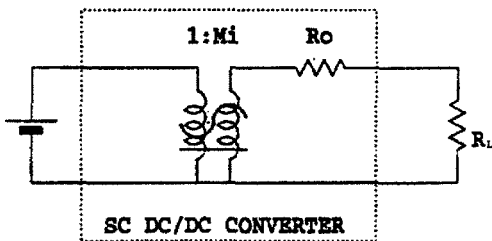


圖 3-14 分數電荷泵的直流模型

$$R_o = -\frac{V_o}{q \cdot f_{osc}} \dots \dots \dots \text{(式 3-30)}$$

其中， $q$  是在穩態時，一個開關週期內，轉移到電壓源  $V_o$  上的電荷； $f_{osc}$  是開關頻率。

從直流模型中還可以得到開關電容電路的功率轉換效率為：



$$\eta = \frac{V_{out} \cdot I_{out}}{V_{in} \cdot I_{in}} \dots\dots\dots (\text{式 3-31})$$

因为理想的电压增益为  $G_i$ ，所以有

$$I_{in} = I_{out} \cdot G_i \dots\dots\dots (\text{式 3-32})$$

根据直流模型，可以得到

$$V_{out} = V_{in} \cdot G_i \cdot \frac{R_L}{R_L + R_o} \dots\dots\dots (\text{式 3-33})$$

将 (式 3-32) 和 (式 3-33) 带入 (式 3-31) 中可以得到：

$$\eta = \frac{1}{1 + R_o/R_L} \dots\dots\dots (\text{式 3-34})$$

负载电流  $I_{out} = V_{out}/R_L$ ，从 (式 3-30) 和 (式 3-34) 可以看到，开关电容转换器在给定的开关频率下的最好功率转换效率随负载电流的增加而减小。

综上所述，高效率开关电容式 DC-DC 转换器设计中，要采用的最理想的电荷泵电路是分数增益电荷泵。

## 本章小结

本章根据白光 LED 驱动电源管理芯片设计的实际出发确定了这次毕设的设计目标，并给出了高效率开关电容式 DC-DC 转换器的设计原理，其中电荷泵电路的设计是本次毕设的主要内容，因此我们对电荷泵的基本原理，其电路形式的发展做了一个简要的介绍，并确定设计一个具有多增益的分数增益电荷泵。

## 参考文献

- [1] App. Note: *LM3354- Regulated 90mA Buck-Boost Switched Capacitor DC/DC Converter*. [www.national.com](http://www.national.com).
- [2] J. D Cockcroft, E. T. Walton. *Production of High Velocity Positive ions*. Proc. Roy. Soc., vol. 136, pp. 619-630, 1932.
- [3] J. Dickson. *On-Chip High-Voltage Generation in NMOS Integrated Circuits Using an Improved Voltage Multiplier Technique*. IEEE J. Solid-State Circuits, vol.11, no.6, pp. 374-378, 1976.
- [4] J. Wu, K. Chang. *MOS Charge Pumps for Low-Voltage Operation*. IEEE J. Solid-State Circuits, vol. 33, no. 4, pp. 592-597, 1998.
- [5] P. Favrat, P. Deval, M. J. Declercq. *A High-Efficiency CMOS Voltage Doubler*. IEEE J. Solid-Stage Circuits, vol. 33, no. 3, pp. 410-416, 1998.
- [6] J. S. Brugler. Theoretical performance of voltage multiplier circuits. ISEE J. Solid-State Circuits, pp. 132-135, June 1971.
- [7] P. M. Lin, L. O. Chua. Topological generation and analysis of voltage multiplier circuits. IEEE Trans. On Circuits and Systems, CAS-24, no. 10, pp. 517-530, October 1977.
- [8] K. D. T. Ngo, R. Webster. Steady-state analysis and design of a switched-capacitor DC-DC converter. IEEE PESC, 1992 Record.
- [9] W. S. Harris, K. D. T. Ngo. Operation and design of a switched-capacitor DC-DC converter with improved power rating. IEEE APEC, 1994.
- [10] M. S. Makowski, D. Maksimovic. *Performance Limits of Switched-Capacitor DC-DC Converters*. IEEE, PESC '95 Record., 26<sup>th</sup> Annual, vol. 2, pp. 18-22, June 1995.

## 第四章 流片电路的电路设计与仿真

### 4.1 分数增益电荷泵电路的设计与仿真

#### 一 分数增益电荷泵电路结构选择

锂电池供电的便携式应用中,输入电压的范围为 2.7V~5.5V。我们在第三章中给出了分数增益电荷泵的电压增益分析方法,分数电荷泵要实现升压功能,电路中电容的数目至少要为 2 个,此时电荷泵的增益值为 1/2、1、2,可以看到,升压和降压增益各有一个值,这个虽然也可以完成输出电压的校准,但是不符合本论文要求的高效率 DC-DC 转换的要求。因此,我们要考虑电容数目为 3 或 4 的开关电容结构,但是电容数目的增加就意味着开关数目的增加,这就要增加电荷泵的复杂度,折衷考虑这两个问题,我们选取电容数为 3 的开关电容结构。

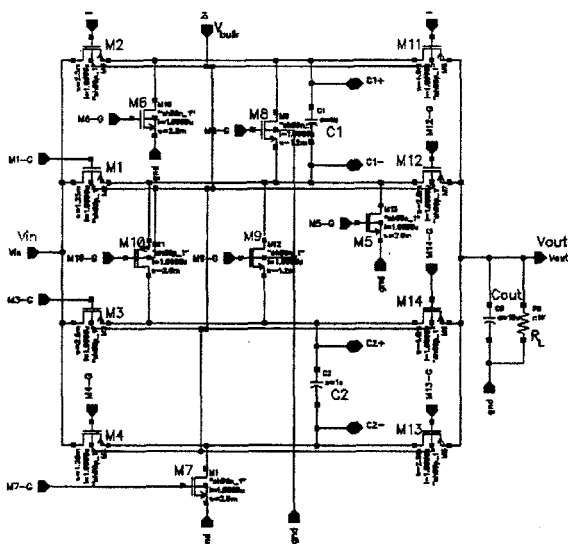


图 4-1 有 2 个电容的分数增益电荷泵电路

选取的电路结构如图 4-1 所示,开关电容中有 3 个电容: C1、C2 和 Cout,有 14 个开关 MOS 管。其中开关 M5、M6、M7、M8 和 M9 是 NMOS 管,开关

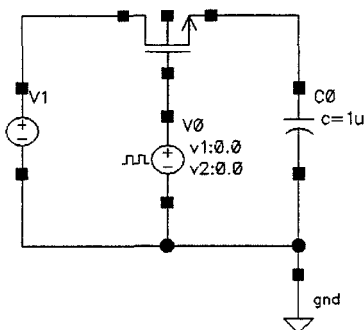


图 4-2 NMOS 给电容充电示意图

M1、M2、M3、M4、M10、M11、M12、M13 和 M14 则都是 PMOS 管。管子类型的选择主要是基于开关要对电容所做的操作，如果要对电容充电，则采用 PMOS 管，如果要对电容放电，则采用 NMOS 管。为什么要这么分配开关管的类型呢？以 NMOS 给电容充电为例，如图 4-2 中的示意图，假如 NMOS 的漏端接最高电位  $V_{DD}$ ，当开关开启时，NMOS 管给电容充电，根据 MOS 管工作的条件[1]，电容充电的最后电压要比栅电压小  $V_m$ ，而在电源应用中，栅极电压最大也就能达到  $V_{DD}$ ，因此，用 NMOS 给电容充电时，不能使漏级电压全部传递到源极，而需要 PMOS 管。同样的，放电要用 NMOS 而不用 PMOS。

MOS 管实际上是 4 端口器件，NMOS 的衬底是接地的，而 PMOS 管的衬底则必须要接到高电平。而在 DC-DC 应用中，电源有  $V_m$  和  $V_{out}$  两个，为了保证电荷泵能够高效工作，所以 PMOS 管的衬底电压应该接到两个电源中较大的那个，因此图 4-1 中的衬底电压由  $V_{bulk}$  单独引出。

## 二 电荷泵的增益控制

根据第三章中关于分数电荷泵的分析，我们可以配置图 4-1 电路中的 14 个开关 MOS 的开启或关断，实现 7 种不同的电压增益值。电荷泵电路中的开关状态和电荷泵 DC-DC 的功能实现是由两个具有互补相位 ( $\phi$ ,  $\bar{\phi}$ ) 的时钟控制，表 4-1 给出了电路实现不同增益时，在不同的时钟相位时，处在开启状态下的开关 MOS 管的位置。

表 4-1 不同增益时的开关 MOS 管工作状态

增益	$\phi$ 时要开启的开关	$\bar{\phi}$ 时要开启的开关
1/3	M5、M7、M11、M14	M2、M9、M10、M13
1/2	M2、M3、M12、M13	M5、M7、M11、M14
2/3	M2、M3、M12、M13	M7、M9、M10、M11 (或 M5、M6、M7、M8、M14)
1	M2、M3、M5、M7	M5、M7、M11、M14
3/2	M1、M4、M11、M14	M2、M7、M9、M10 (或 M3、M5、M6、M7、M8)
2	M2、M3、M5、M7	M1、M4、M11、M14
3	M2、M3、M5、M7	M4、M9、M10、M11

上表中，在一个相位下，除了开启的 MOS 管，其它 MOS 管都是关闭的。

### 三 分数增益电荷泵的电压仿真结果

仿真电路图如图 4-3 所示：电路中每个开关管由单独的脉冲信号源驱动，通过修改信号源的属性模拟不同的工作相位。电路中增加了实际应用中要引入的输

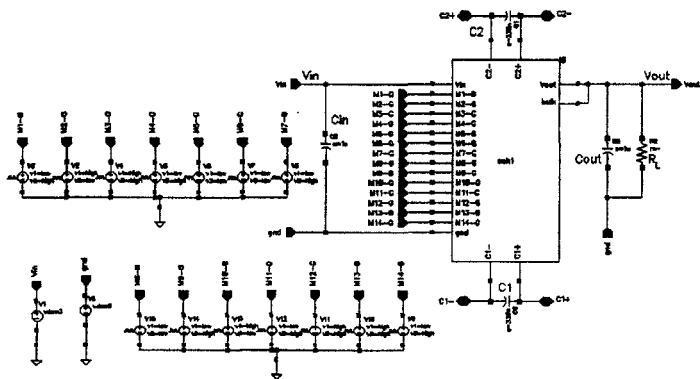


图 4-3 带 2 个电容电荷泵的仿真电路图

入电容  $C_{in}$ ，分数增益电荷泵的三个电容指里面的电容  $C_1$ 、 $C_2$  和  $C_{out}$ ，其中  $C_1=C_2=0.33 \mu\text{f}$ ， $R_L=1\text{M}\Omega$ 。

下面我们给出不同增益时的，输出电压仿真结果。

### (-)增益为 1/3

电压仿真结果如图 4-4 所示, 输入电压为  $V_{in}=4.5V$ ,  $C_{out}=100nf$  时, 输出电压在  $150\mu s$  的过冲之后, 稳定在  $1.52V$ , 实现了增益为 1/3 的电路功能。

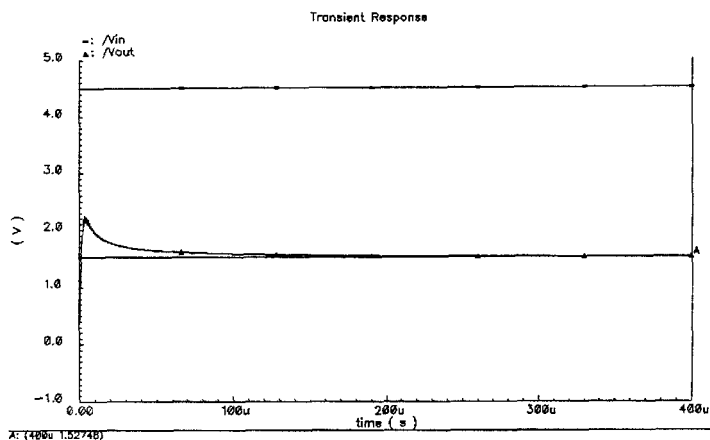


图 4-4 增益为 1/3 时的电压仿真结果

### (-)增益为 1/2

电压仿真结果如图 4-5 所示, 输入电压  $V_{in}=3V$ ,  $C_{out}=1\mu f$  时, 输出电压经过大约  $50\mu s$  的过冲后稳定在  $1.5V$ , 稳态结果完全符合电路功能。

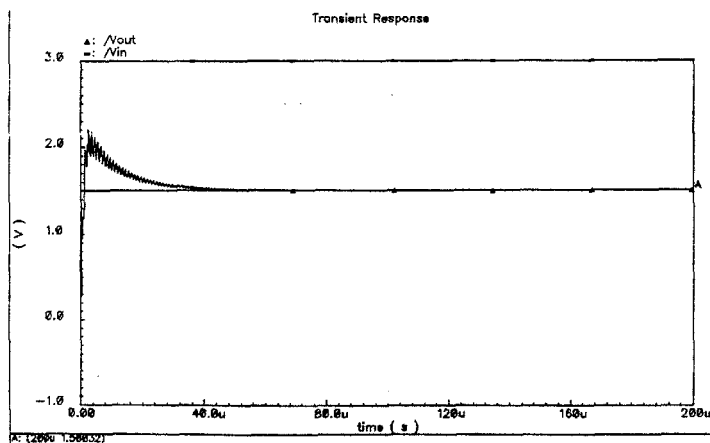


图 4-5 增益为 1/2 时的电压仿真结果

### ②增益为 2/3

仿真结果如图 4-6 所示, 输入电压为  $V_{in}=3V$ ,  $C_{out}=1\mu f$  时, 输出电压在大约  $20\mu s$  的过冲之后达到稳定的输出, 输出电压  $V_{out}=2.0V$ , 实现了电路功能。

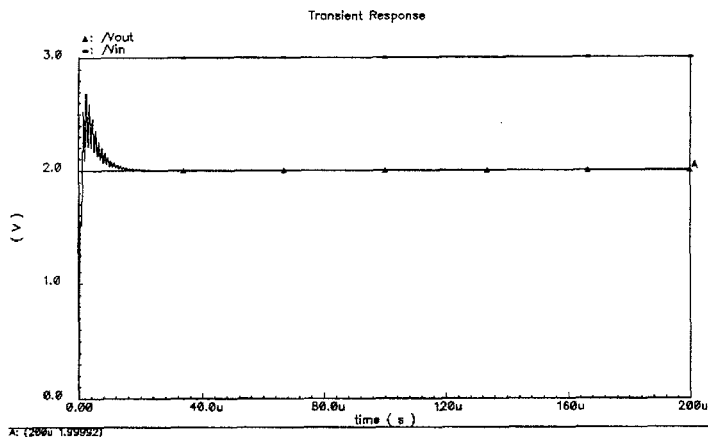


图 4-6 增益为 2/3 时的电压仿真结果

### ③增益为 3/2

仿真结果如图 4-7 所示, 输入电压为  $V_{in}=3V$ ,  $C_{out}=1\mu f$  时, 输出电压  $V_{out}$  最后稳定在 4.49V, 也实现了电路功能。

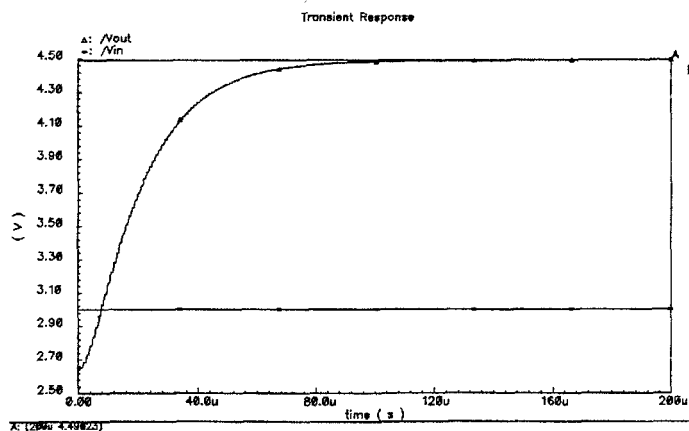


图 4-7 增益为 3/2 时的电压仿真结果

### (c) 增益为 2

仿真结果如图 4-8 所示, 输入电压  $V_{in}=3V$ ,  $C_{out}=1\mu f$  时, 得到稳态时的输

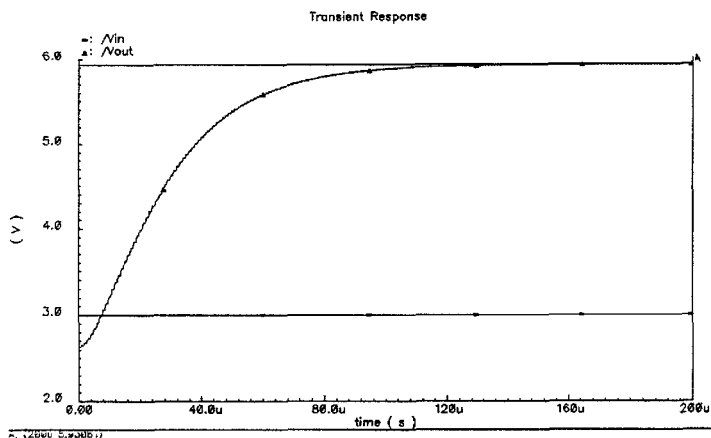


图 4-8 增益为 2 时的电压仿真结果

出电压为 5.93V, 也满足电路的功能。

### (d) 增益为 3

仿真结果如图 4-9 所示, 输入电压  $V_{in}=3V$ ,  $C_{out}=100nf$  时, 输出电压稳定时

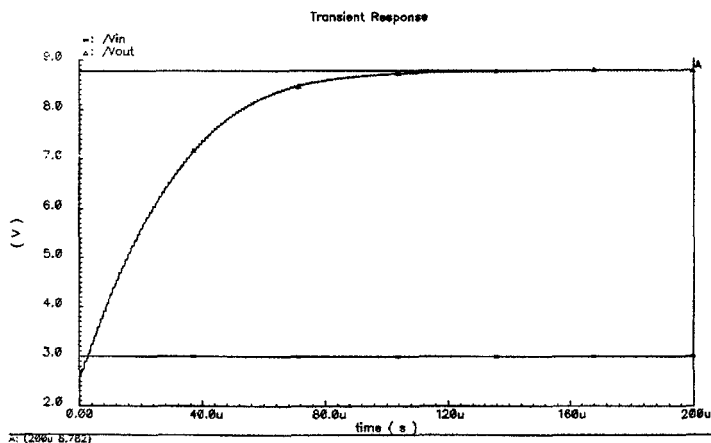


图 4-9 增益为 3 时的电压仿真结果

为 8.78V, 可以看到增益为 3 时, 输出电压转换效率有很明显的降低。



### (2) 电压增益仿真小结

以上仿真结果, 开关时钟的幅度选择  $V_{in}$  和  $V_{out}$  数值大的那个, 即: 电荷泵做升压应用时开关时钟幅度为理论可达到的  $V_{out}$  值; 做降压应用时, 开关时钟幅度为  $V_{in}$ 。  $V_{bulk}$  的接法和时钟幅度类似, 降压时接  $V_{in}$ , 升压时接  $V_{out}$ 。

从电压仿真波形可以看到, 降压时, 输出电压都有一个过冲, 需要一定的时间从过冲电压降到最后的稳态输出电压值(Step-down), 并且可以看到, 增益越小, 过冲稳定的时间越长。升压时, 输出电压的稳定需要一个逐步增大的过程(Step-up), 而且增益越大, 这个过程越长。还需要指出的一点是,  $C_{out}$  越大, 电荷泵从非稳态到输出稳定电压的时间也越长, 但是纹波电压越小, 这个在第三章的电荷泵介绍中也提到过。

在仿真的 6 个电压增益中, 增益为 3 时最不容易达到稳定态, 而且实际输出电压与理论值的偏差也较大, 这说明在这个增益时的电路结构中, 能量损耗最大。而且考虑实际情况, 最多 2.5V~5.5V 的输入电压范围, 要得到现行标准电源电压中的 5V、3.3V 或 1.8V, 都不会用到 3 倍的电压增益。

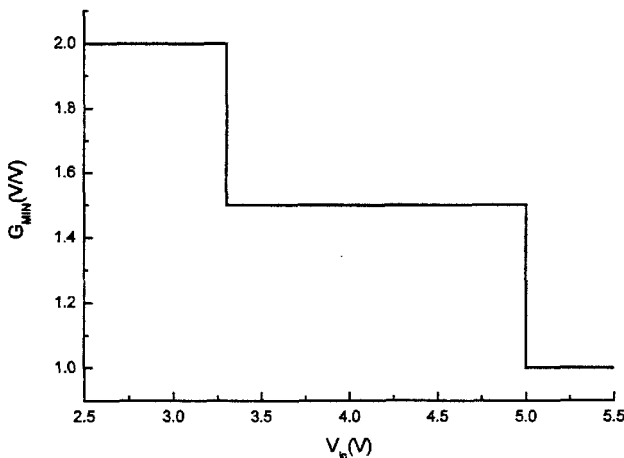


图 4-10 输出 5V 校准电压时, 电荷泵的增益取值随输入电压的变化曲线

在白光 LED 驱动的应用中, 为了更好的扩展芯片的应用范围, 一般设计

DC-DC 电路的输出电压为 5V，第三章中我们提到了，要能够实现高转换效率的 DC-DC 应用，就是要让输出电压最接近于给定的输入电压。但是，电池供电中，又必须保证电流不能倒流到电池中，即保证  $I_{in}$  不为负值，所以要保证电荷泵电路的电压增益  $G_i > V_{REG}/V_{in}$ ，其中  $V_{REG}$  是要实现的电压输出，这里  $V_{REG}=5V$ ， $V_{in}$  是未校准的电池电压，即电荷泵的输入电压。要增加转换效率，增益  $G_i$  的值要和  $V_{REG}/V_{in}$  的值尽可能的接近。满足这个条件的最小增益，我们定义为  $G_{MIN}$ 。

根据上面的要求，图 4-10 中给出了要实现 5V 校准输出时，随输入电压的变化， $G_{MIN}$  的取值曲线图。可以看到，当输入电压在 2.5V~3.3V 之间时， $G_{MIN} = 2$ ；当输入电压在 3.3V~5V 变化时， $G_{MIN} = 1.5$ ；当输入电压在 5V~5.5V 变化时， $G_{MIN} = 1$ 。这个就是 5V 输出的 DC-DC 转换器在增益控制上要做到的。

#### 四 分数增益电荷泵的驱动能力分析

##### (一) 驱动能力原理

在 DC-DC 转换器中，分数增益电荷泵是作为输出级的，因此必须要考虑其输出电流的驱动能力，根据图 3-14 中的分数增益电荷泵的直流模型，电荷泵需要向外提供的电流为：

$$I_{out} = V_{out} / R_L \dots\dots\dots (式 4-1)$$

而电荷泵能够提供的最大输出电流为：

$$I_{MAX} \cong \frac{(G_{MIN} \cdot V_{in} - V_{REG})}{R_{out}} \dots\dots\dots (式 4-2)$$

其中  $R_{out}$  是开关电容网络的等效输出电阻，由 (式 3-30) 决定，不同的增益对应着不同的  $R_{out}$ 。如果开关电容网络中的每个电容的电容值都相等，则  $R_{out}$  的值可以表示为：

$$R_{out} = \frac{m}{n} \cdot \frac{1}{C \cdot f_{OSC}} \dots\dots\dots (式 4-3)$$

式中  $m$  和  $n$  都是正整数，有开关电容网络的连接方式决定。可以看到  $R_{out}$  的值由开关网络连接方式、开关频率和网络电容的大小而唯一的确定[4]。根据电荷泵的输出工作原理，只有当

$$I_{MAX} \geq I_{out} \dots\dots\dots (式 4-4)$$

成立时, 才能保证  $V_{out}=V_{REG}$  不变。如果 (式 4-4) 不成立, 则 (式 4-2) 中的  $V_{REG}$  需修改为  $V_{out}$ , 此时必须要使  $V_{out}<V_{REG}$  才可能满足  $I_{MAX}=I_{out}$  的。

我们定义电荷泵的最大输出驱动电流  $I_{outMAX}$ , 为输出电压  $V_{out}$  下降到设计校准输出电压  $V_{REG}$  的 90% 时的输出电流。根据 (式 4-2) 可以得到电荷泵的最大输出驱动电流为:

$$I_{outMAX} \cong \frac{(G_{MIN} \cdot V_{in} - 0.9 \cdot V_{REG})}{R_{out}} \dots\dots\dots (式 4-5)$$

分析  $I_{outMAX}$  比较直观的方法是, 改变输出电阻  $R_L$  的值, 当输出电压  $V_{out}$  降到  $0.9V_{REG}$  时流过  $R_L$  的电流即为  $I_{outMAX}$ , 此时的输出电阻我们定义为可驱动的最小负载电阻  $R_{LMIN}$ 。因此,  $I_{outMAX}$  的又可表示为:

$$I_{outMAX} = \frac{0.9 \cdot V_{REG}}{R_{LMIN}} \dots\dots\dots (式 4-6)$$

以上分析的  $R_{out}$ , 是在忽略了开关 MOS 管的导通电阻的情况下得到的, MOS 管做开关应用时的导通电阻为:

$$R_{on} = \frac{1}{K \frac{W}{L} (V_{GS} - V_{TH})} \dots\dots\dots (式 4-7)$$

要使开关 MOS 管的导通电阻足够小, 则 MOS 管的宽长比  $W/L$  要特别的大, 大的宽长比还能提供较大的充电或放电电流, 以保证电荷泵在给定的开关时钟下, 完成充放电任务。表 4-2 给出了图 4-1 中的开关电容网络的各个开关的宽长比。

表 4-2 图 4-11 中的开关 MOS 管的宽长比

开关管	宽长比	开关管	宽长比	开关管	宽长比
M1	12500/1	M2	25000/1	M3	25000/1
M4	12500/1	M5	20000/1	M6	25000/1
M7	20000/1	M8	13000/1	M9	13000/1
M10	26000/1	M11	40000/1	M12	25000/1
M13	25000/1	M14	40000/1		

### (二) 驱动能力仿真

仿真采用对输出电阻值进行参数扫描仿真的方法，取得在输出电压下降到  $0.9V_{REG}$  时的输出电阻  $R_{LMIN}$ ，然后用（式 4-6）得到  $I_{outMAX}$ 。驱动能力的测试选用电荷泵增益为 2 时的开关电容结构，输入电压取  $V_{in}=3V$ ，则  $V_{REG}=6V$ 。

图 4-11 给出了  $V_{out}$  随  $R_L$  变化的曲线，可以看到，当  $V_{out}=5.4V$  时，负载电阻的值为  $R_L=40\Omega$ 。由此可以得到的电荷泵在增益为 2 时的最大驱动电流可以达到：

$$I_{outMAX} = \frac{0.9 \cdot V_{REG}}{R_{LMIN}} = \frac{5.4V}{40\Omega} = 135mA \dots\dots\dots \text{（式 4-8）}$$

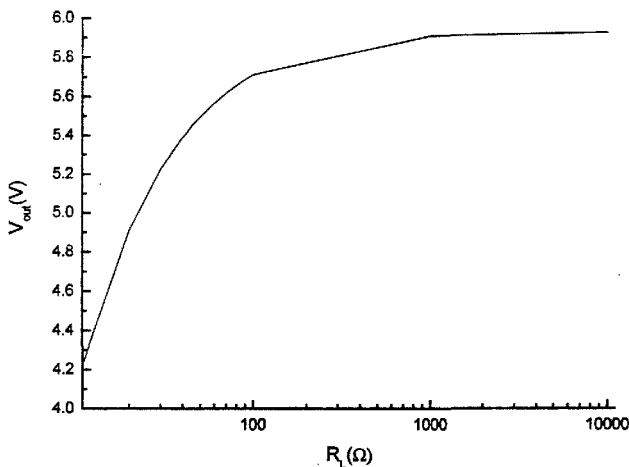


图 4-11 电荷泵的驱动能力仿真结果

## 五 流片电荷泵电路的设计

### (一) 简化电荷泵设计的考虑

图 4-1 中设计的分数增益电荷泵中，开关管的尺寸都是很大的，但是流片硅片 die 的面积是有限制的 ( $2mm \times 2mm$ )，因此根据开关管版图设计过程中遇到的实际困难，我们采用了简化的、最基本的电荷泵电路结构（图 3-2 所示的结构），为了进一步节省版图面积，又将开关管的宽长比缩小到大约设计尺寸的 1/10。

版图的设计将在第五章中详细介绍,本章还是从电路功能和驱动能力两个方面,对简化的电荷泵结构进行设计。

同时,我们还准备测试大宽长比的 MOS 管的参数性能在那么多寄生参数的影响下, MOS 性能的变化。

## (二)电路结构和其仿真结果

### 1. 电路结构

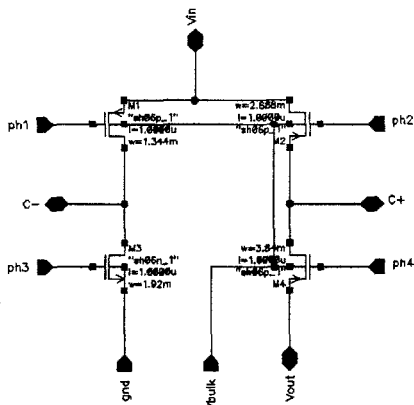


图 4-12 简化的开关电容结构图

电路的开关结构如图 4-12 所示,就是图 3-2 的具体实现。图中有 4 个 MOS 开关,其中 M1、M2、M4 是 PMOS 管, M3 是 NMOS 管,电容采用外接方式。电路给出了,流片时需要给出的测试端口,就是将电荷泵的每个节点都引出进行测试。该结构能够实现 1/2、1 和 2 三种增益值,其中需要仿真和测试的是 1/2 和 2 两种。M1 的  $W/L=1344/1$ ; M2 的  $W/L=2688/1$ ; M3 的  $W/L=1920/1$ ; M4 的  $W/L=3840/1$ 。

电路仿真的电路图如图 4-13 所示,和上面的仿真一样,开关时钟的相位采用脉冲信号源的方式给出。2 倍增益的实现开关配置为,在相位  $\phi$  时,开启的开关为 M3 和 M2;在相位  $\bar{\phi}$  时,开启的开关为 M1 和 M4,  $V_{bulk}$  接  $V_{out}$ 。要实现 1/2 增益,我们不需要对电荷泵的开关结构进行修改,只需要改变输入和输出的位置,即:将 2 倍增益结构中的输出改为输入,输入改为输出,而不需改变开关

MOS 管的时钟配置就可以，而且这样的改动， $V_{\text{bulk}}$  就接到了  $V_{\text{in}}$ ，这个又正好符合降压电荷泵的要求。这个对于测试是很方便的，我们在测试芯片时，可以固定产生时钟相位的电路，而只要改变输入和输出位置就可以测试电荷泵电路的 2 和 1/2 两种电路结构的增益，这个可以大大简化测试过程。

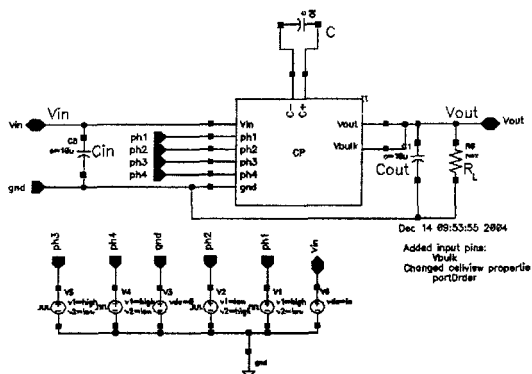


图 4-13 简化电荷泵的仿真电路图

## 2. 增益为 2 的电压仿真结果

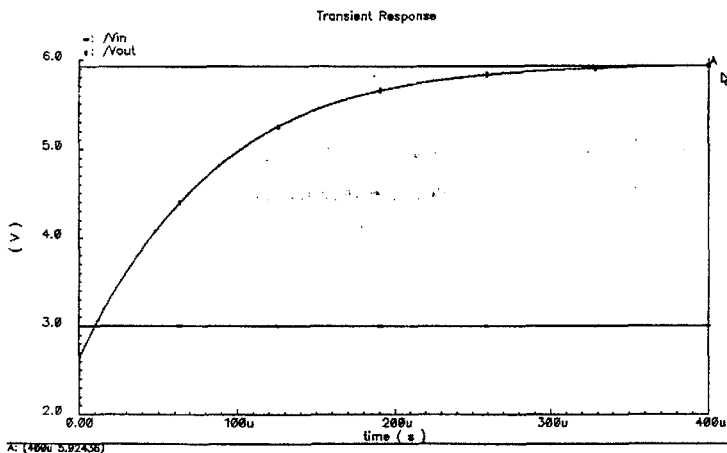


图 4-14 增益为 2 时的电压仿真结果

仿真结果如图 4-14 所示，输入电压  $V_{\text{in}}=3\text{V}$ ， $C_{\text{out}}=1\mu\text{f}$  时，可以看到稳态时

的電壓輸出為 5.92V，結果符合電路功能設計。

### 3. 增益為 1/2 的電壓仿真結果

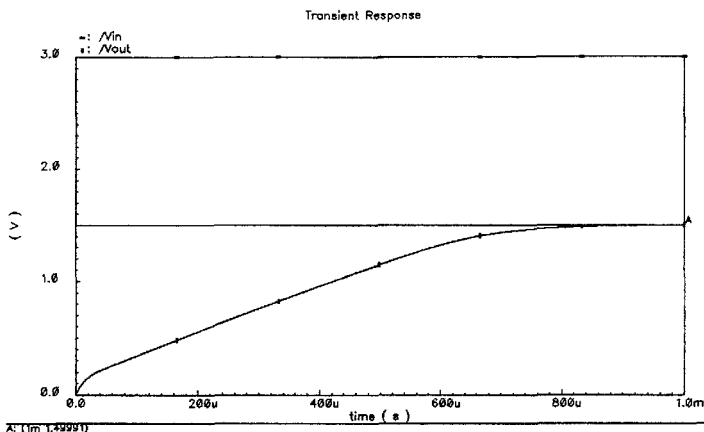


圖 4-15 增益為 1/2 的電壓仿真結果

仿真結果如圖 4-15 所示，輸入電壓  $V_{in}=3V$ ， $C_{out}=1\mu f$  時，輸出電壓在穩態時為 1.50V，功能完全正確。

從兩個增益的仿真結果看，電路達到穩態所需要的时间明顯比圖 4-1 電荷泵的要長，這個主要是因為開關管的寬長比縮小，引起開關充放電電流變小，每個時鐘周期從電荷泵開關電容網絡轉移到輸出電容  $C_{out}$  上的電荷變少，從而延長了電荷泵輸出達到穩態值的时间。

### 4. 增益為 2 時的驅動能力仿真

驅動能力的仿真和前面提到的仿真方法一樣，圖 4-16 給出了驅動能力的仿真結果。仿真時採用  $V_{in}=3V$ ，從圖中的仿真結果看，當輸出電阻  $R_L=800\Omega$  時，輸出電壓  $V_{out}$  降到 5.45V。因此，該電荷泵增益為 2 的最大驅動電流為：

$$I_{outMAX} = \frac{0.9 \cdot V_{REG}}{R_{LMIN}} = \frac{5.4V}{800\Omega} = 6.25mA \dots \dots \dots \text{(式 4-9)}$$

從這個結果看，簡化結構的最大驅動電流差不多正好是前面仿真結果的 1/20，這個分析兩個電路同在增益為 2 時的開關電容網絡就可以得到相同的結果。圖 4-1 中的電荷泵電路在增益為 2 時的電路結構，相當於兩個簡化結構的並聯，

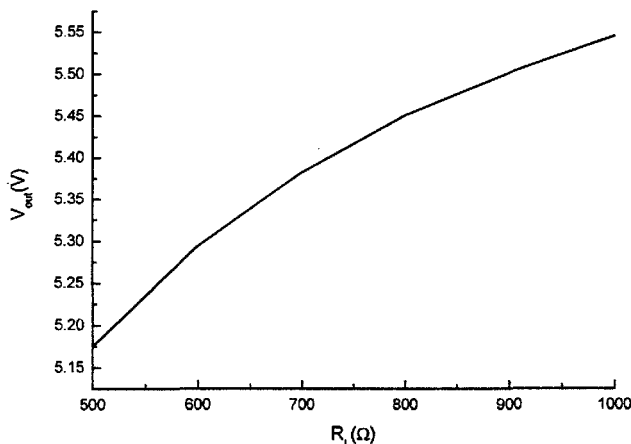


图 4-16 简化电荷泵电路的驱动能力仿真结果

相当于每个管子的宽长比正好是简化结构的 20 倍，那么开关电容网络向负载电容转移电荷的能力也是简化结构的 20 倍，反应在最大驱动电流上也是如此。

根据 (式 4-3) 和 (式 4-5)，改变开关时钟频率对电荷泵的最大驱动电流会有很大的影响。我们改变开关时钟频率对 2 倍增益电荷泵进行了仿真，仿真的开关频率分别为 100KHz 和 1MHz，输出电阻  $R_L=1K\Omega$ ，表 4-3 给出了这两个开关频率下，不同输入电压时，输出电压的比较。

表 4-3 电荷泵在不同开关频率下的输出电压比较 (增益为 2)

$V_{in}(V)$	开关频率为 100KHz 时的 $V_{out}(V)$	开关频率为 1MHz 时的 $V_{out}(V)$
2.5	4.55	4.553
2.6	4.75	4.757
2.7	4.955	4.956
2.8	5.15	5.155
2.9	5.35	5.35
3.0	5.54	5.547

从表中的结果看，我们并没有得到预期的结果，这说明开关时钟频率的改变，



对电荷泵的驱动能力没有什么影响。

同样的，我们又改变图 4-13 中的  $C$  和  $C_{out}$ （分别改变），但是仿真结果同样表明，电容的变化对输出驱动能力也几乎没有影响。

## 4.2 电荷泵 PMOS 管背栅压产生电路的设计与仿真

根据前面电荷泵电路的介绍，电荷泵电路中的 NMOS 开关管的衬底接地，PMOS 开关管的衬底需要连接  $V_{in}$  和  $V_{out}$  中更高的电平。这个要求也指出了前面对于电荷泵电路仿真中没法解决的缺陷。在仿真升压功能时，输出电压有一个从 0 到稳定态的过程，这个过程中肯定有一段时间内  $V_{in} > V_{out}$ ，这时的 PMOS 管的衬底电压应该接到  $V_{in}$ ，当输出电压继续升高到  $V_{in} < V_{out}$  时，衬底电压才要接到  $V_{out}$ ，就像我们在单独仿真电荷泵时一样，这个功能无法从芯片外部实现，因此需要一个背栅压产生电路来实现这个功能。

### 一 背栅压产生电路原理框图

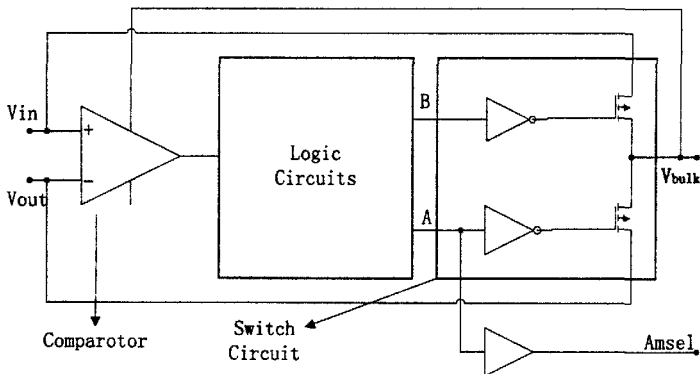


图 4-17 背栅压产生电路的原理框图

图 4-17 给出了背栅压产生原理图，整个电路由 4 部分电路构成：比较器电路，产生开关信号 A、B 的数字逻辑电路，开关电路和一个缓冲器电路。比较器比较输入  $V_{in}$  和输出  $V_{out}$  两个电源电压信号，比较输出信号再经过数字逻辑电路得到两个互补的开关信号 A、B。当  $V_{in} > V_{out}$  时， $B=1$ ， $A=0$ ；当  $V_{in} < V_{out}$  时， $A=1$ ， $B=0$ 。然后 A、B 信号控制开关电路里面的开关， $A=1$  时， $V_{bulk}$  和  $V_{out}$  导通； $B=1$

时,  $V_{\text{bulk}}$  和  $V_{\text{in}}$  导通, 实现背栅压的选择功能。同时, 信号 A 经过缓冲器产生一个保留  $V_{\text{in}}$  和  $V_{\text{out}}$  比较结果的标志信号  $A_{\text{msel}}$ 。

## 二 比较器电路设计与仿真

### (一) 比较器的电路结构

图 4-18 给出了比较器的电路原理图, 比较器由一个两级 Folded Cascode 运算放大器和一个推挽放大器构成。运放又包括差分放大级、输出放大级、偏置电路和比较器辅助电路。

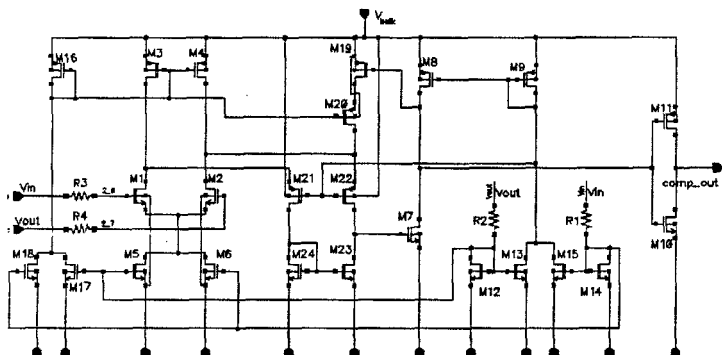


图 4-18 比较器电路的设计

$M1 \sim M6$  组成了运放的第一级差分放大级, 采用 Folded Cascode 结构, 用差分输入, 差分输出形式。 $M7$ 、 $M8$ 、 $M21 \sim M24$  构成了运放的输出放大级。 $M21 \sim M24$  将差分放大级的差分输出双端的电流信号转变成单端的电压信号, 然后经由  $M7$ 、 $M8$  构成的共源放大器放大输出。运放的输出经由  $M10$ 、 $M11$  的推挽放大器结构, 输出整形的高低电平信号。运放的偏置电路由  $M9$ 、 $M12 \sim M18$  构成, 偏置电流由接到输入电压  $V_{\text{in}}$  的  $R1$  和  $M14$ , 以及接输出电压  $V_{\text{out}}$  的  $R2$ 、 $M12$  提供, 这两路偏置电流分别镜像到  $M9$ 、 $M13$ 、 $M15$  和  $M16$ 、 $M17$ 、 $M18$  支路提供电流, 再分别镜像给运放的共源放大级和差分放大级提供偏置电流。 $M19$  和  $M20$  是接在运放输出和运放的共源放大级的输入之间的辅助电路, 该电路可以加速比较器输出从低电平跳到高电平, 而减缓比较器输出状态从高变到低的灵敏度, 给比较器的电压传输特性增加迟滞效果。

假设, 初始状态,  $V_{\text{out}} \gg V_{\text{in}}$ , 比较器输出为低电平, 运放的输出为高电平。

此时, M19 截止, 辅助电路不工作, 运放是标准的 Folded Cascode 运放结构。如果减小  $V_{out}$  的值, 电路状态将发生变化, 运放输出开始降低, 当运放输出降低到使 M19 开启时, 辅助电路导通, 因此流过 M23 的静态电流增大, M23 的栅极电压升高, M24 和 M23 接成电流镜形式, M24 的漏极电压升高, M23 的漏极, 共源放大器的输入电压进一步增大, 加快运放输出的下降速度, 从而增加比较器输出变高的速度, M19 和 M20 起到了正反馈的作用。

若初始状态时,  $V_{out} \ll V_{in}$ , 比较器输出为高电平, 运放输出为低电平。当  $V_{in}$  减小时, M7 的栅电平要减小, 但由于此时, M19 和 M28 导通, 由 M16~M18 支路给 M19、M20、M22 和 M23 构成的共源放大器输入支路提供额外的偏置电流, 因此 M7 栅电平的变化受到一定的抑制, 随着  $V_{in}$  的进一步减小, 运放输出逐渐增大, 共源放大器输入支路的偏置电流也开始变小, 对  $V_{in}$  变化引起电流变化的补偿作用也变小, 当  $V_{in}$  降到某一值时, 比较器状态才发生翻转 M19 和 M20 起到了负反馈的作用。。

## (二)比较器电路仿真

### 1. 比较器的电压传输特性仿真

仿真电压传输特性时, 我们固定比较器一个输入端的电压,  $V_{in}=3.0V$ , 然后对另一个输入端电压进行直流扫描, 观察比较器输出电压  $V_{comp}$  的电压变化。

图 4-19 给出了比较器的电压传输特性。图中箭头向右或向下的曲线代表  $V_{comp}$  随  $V_{out}$  从 2.5V 到 3.5V 升压变化时的变化曲线, 箭头方向代表电压变化的方向。箭头向左或向上的曲线代表  $V_{out}$  从 3.5V 到 2.5V 变化时,  $V_{comp}$  的变化曲线。

从传输曲线上可以看到了比较器的迟滞效应, 比较器的上门限电压  $V_H$  是指比较器输出电压降到电源电压的 10% 时的输入电压, 下门限电压  $V_L$  是指输出升到电源电压的 90% 时的输入电压。曲线中, 标 A 的位置就是上门限电压  $V_H$ , 标 B 的位置是下门限电压  $V_L$  可以得到他们的值为:

$$\begin{aligned} V_H &= 3.12V \\ V_L &= 3.00V \end{aligned} \dots\dots\dots (式 4-10)$$

在门限电压时,  $V_{comp}$  的变化趋势非常陡, 基本上就是理想的变化。

比较器引入上门限电压的目的是, 为了让 DC-DC 系统更可靠, 因为在实际

的应用中,  $V_{in}$  的值在比较器电路的工作过程中, 短时间内是属于直流稳定电平。而  $V_{out}$  则是变化的。在整个 DC-DC 系统刚上电时,  $V_{out}$  为零, 当  $V_{out}$  升高到大于  $V_{in}$  时, 比较器并不是马上确认  $V_{out} > V_{in}$ , 这有可能是  $V_{out}$  的纹波引起的, 只有当  $V_{out} > V_H$  后, 系统才认为  $V_{out}$  稳定了, 比较器才做出选择。

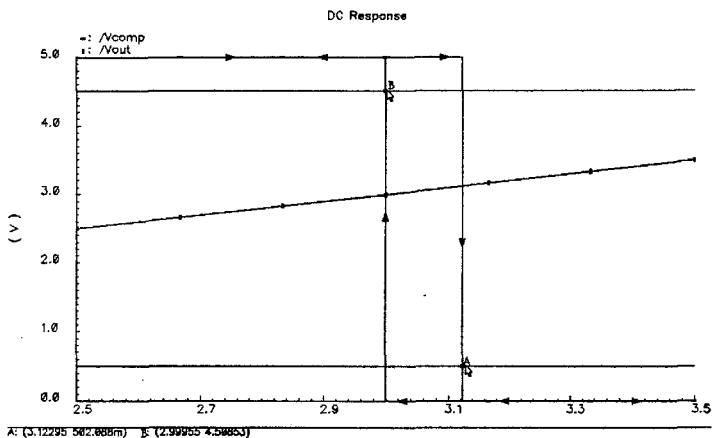


图 4-19 比较器的直流特性曲线

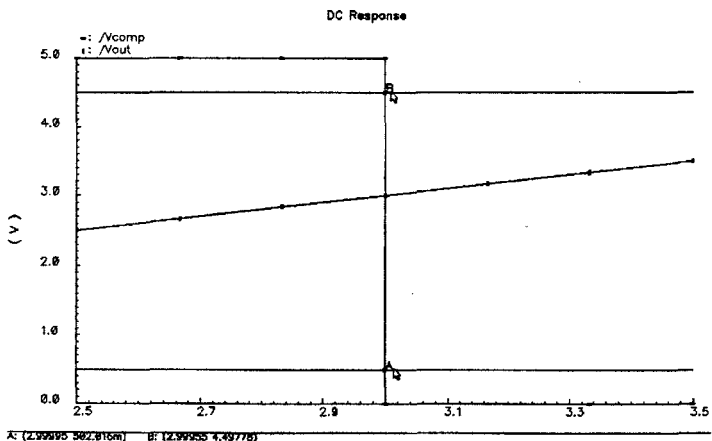


图 4-20 比较器电压传输特性 (去掉 M19 和 M20)

我们还仿真了比较器去掉 M19 和 M20 时的电压传输特性 (如图 4-20), 可以

看到两个曲线几乎就是重叠的,说明没有 M19 和 M20 时,比较器没有迟滞特性。比较器输出状态在 3.00V 时发生翻转。

## 2. 运放的增益仿真

Folded Cascode 运放的增益可以表示为:

$$A_v = A_{v1} \cdot A_{v2} \cdots \cdots \cdots \quad (\text{式 4-11})$$

其中  $A_{v1}$  和  $A_{v2}$  分别代表运放的第一级放大增益和第二级放大增益。

### (1) 运放的差分放大级增益

差分放大级的等效跨导为:

$$G_m = g_{m2} \cdot \frac{(g_{m22} + g_{mb22}) \cdot R_s \cdot r_{ds22} + R_s}{(g_{m22} + g_{mb22}) \cdot R_s \cdot r_{ds22} + r_{ds22} + R_s} \cong g_{m2} \cdots \cdots \quad (\text{式 4-12})$$

其中,

$$R_s = (r_{ds2} \parallel r_{ds4}) \parallel g_{m20} \cdot r_{ds20} \cdot r_{ds19} \cong r_{ds2} \parallel r_{ds4} \cdots \cdots \quad (\text{式 4-13})$$

差分放大级的输出电阻为:

$$R_{out} = r_{ds13} \parallel \left[ (g_{m22} + g_{mb22}) \cdot R_s \cdot r_{ds22} + r_{ds22} + R_s \right] \cdots \cdots \quad (\text{式 4-14})$$

$$\cong r_{ds13}$$

所以,差分放大级的增益为:

$$A_{v1} = -G_m \cdot R_{out} = -g_{m2} \cdot r_{ds13} \cdots \cdots \quad (\text{式 4-15})$$

### (2) 运放的共源放大级增益

共源放大级的增益为:

$$A_{v2} = -g_{m7} \cdot (r_{ds7} \parallel r_{ds8}) \cdots \cdots \quad (\text{式 4-16})$$

因此,运放的增益为:

$$A_v = \frac{g_{m2} \cdot g_{m7}}{g_{ds13} \cdot (g_{ds7} + g_{ds8})} \cdots \cdots \quad (\text{式 4-17})$$

由(式 4-17)可知,运放的增益与 M19、M20 的存在与否没有关系,从我们前面对于 M19、M20 的分析中也能看出来,它们只是影响运放的直流特性

图 4-21 给出了,运放增益和相位裕度的仿真波形,因为运放应用在比较器当中,因此我们主要关心的还是增益曲线。图中,运放的低频增益为 60dB,带宽为 72MHz,从仿真的数据来看,运放的性能并不是很好,但是在 DC-DC 应用

中, 该参数值已经够用了。

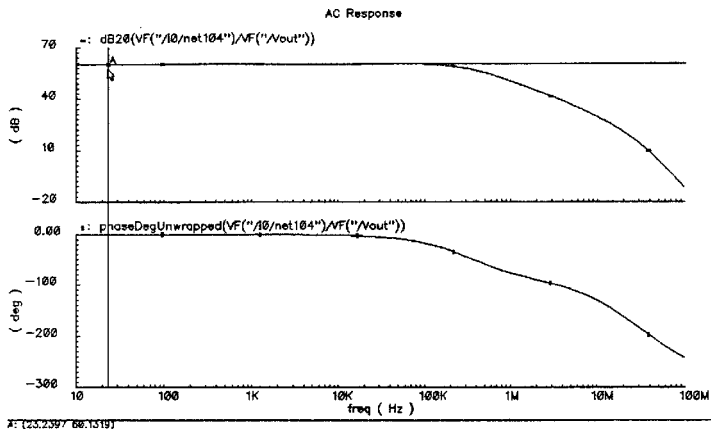


图 4-21 运放的增益和相位裕度仿真结果

### 3. 比较器电路的瞬态功能仿真

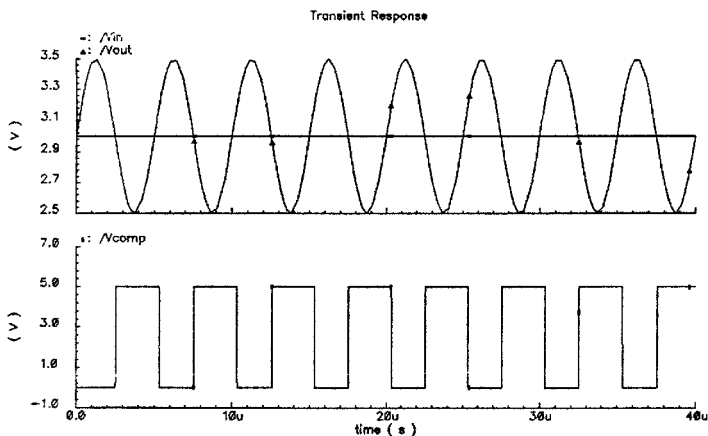


图 4-22 比较器电路的瞬态功能仿真结果

瞬态仿真时, 我们固定  $V_{in}=3.0V$ , 给  $V_{out}$  一个大的信号, 信号是在 3V 的直流电平上叠加一个幅度为 2V 的正弦信号, 比较器的瞬态功能仿真波形如图 4-22 所示, 可以很明显的看到  $V_{out}$  在上升到大于  $V_{in}$  时,  $V_{comp}$  需要较长的时间才能变

成低电平，而  $V_{out}$  降低时， $V_{comp}$  基本上能够及时响应。

仿真结果表明，比较器能够满足我们的要求。

### 三 其它电路的设计与仿真

#### (一) 数字逻辑电路

数字逻辑电路要实现的功能是将比较器的输出变成两个互补的开关信号，这个电路是纯数字逻辑，比较简单，图 4-23 给出了数字电路的逻辑电路图。电路产生两个开关信号 a、b：

$$\begin{aligned} a &= V_{comp} \\ b &= \overline{V_{comp}} \end{aligned} \dots\dots\dots \text{(式 4-18)}$$

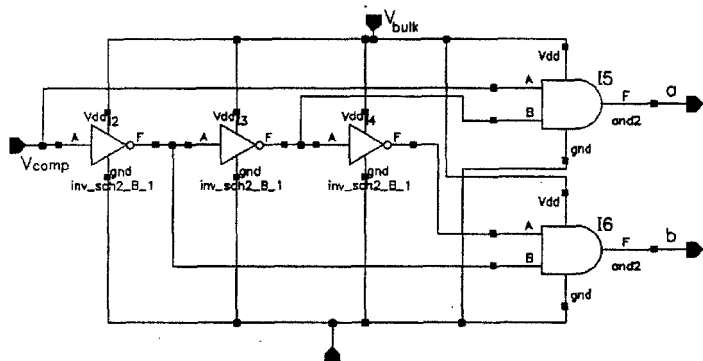


图 4-23 开关信号产生的逻辑电路图

根据电路逻辑，当  $V_{in} > V_{out}$  时， $a=1$ ；当  $V_{in} < V_{out}$  时， $b=1$ 。

#### (二) 开关电路和 $A_{msd}$ 信号的产生

开关电路的作用就是根据数字逻辑电路的输出开关信号，产生背栅压。电路如图 4-24 所示，当  $a=1$  时，接  $V_{out}$  的开关管导通， $V_{bulk}$  和  $V_{out}$  接通；当  $b=1$  时，接  $V_{in}$  的开关管导通， $V_{bulk}$  和  $V_{in}$  接通，实现背栅压选择的功能。可以看到，a 控制的电路和 b 控制的电路是两个完全相同的结构，电路分成两个并联结构，接  $V_{out}$ （或  $V_{in}$ ）的开关管宽长比分别为 760/1 和 1520/1，因此开关管的栅极电容很大，为了能够快速开启或关断开关管，因此，开关信号进来后需要经过缓冲电路增加其给栅电容充电或放电的驱动电流。

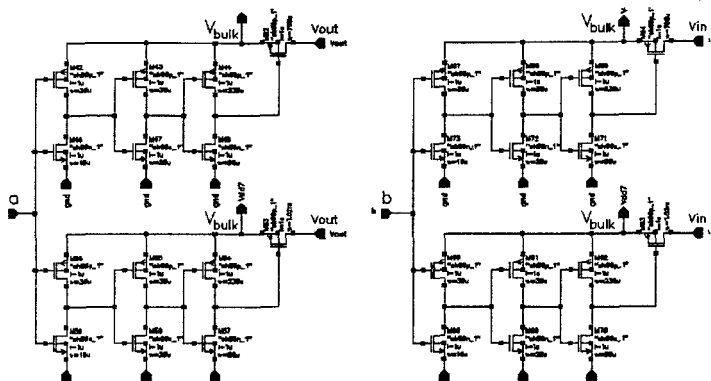


图 4-24 开关电路的电路原理图

Amsel 信号是 a 信号经过缓冲器后的信号，二者逻辑相同。因为 Amsel 需要控制其他电路，因此也需要缓冲器增加其驱动能力。该部分电路比较简单，就不单独列出来了。

#### 四 背栅压产生电路功能仿真

整个电路的连接图如图 4-17 所示，还需要注意的一点是，该部分电路的电源电压都是由  $V_{\text{bulk}}$  提供的，功能仿真结果如图 4-25 所示。

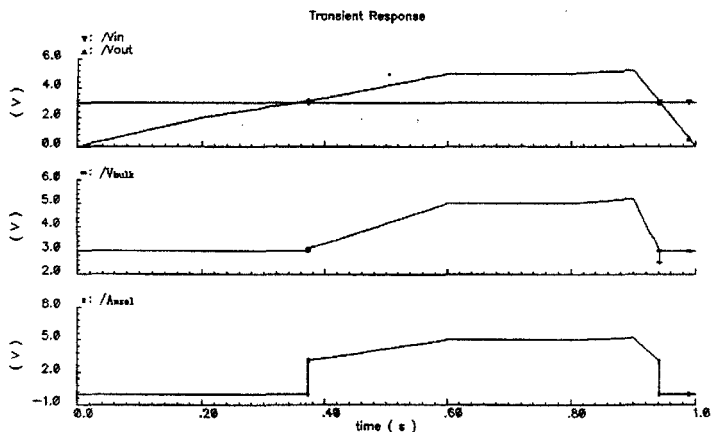


图 4-25 背栅压产生电路功能仿真结果



电路仿真的条件为, 将比较器一端电平固定  $V_{in}=3V$ , 改变  $V_{out}$  的值, 观察  $V_{bulk}$  和  $A_{msel}$  的变化。可以很清楚的看到, 当  $V_{in}>V_{out}$  时,  $V_{bulk}=V_{in}=3V$ ,  $A_{msel}=0$ ; 当  $V_{in}<V_{out}$  时,  $V_{bulk}=V_{out}$ ,  $A_{msel}=1$ , 并能看到  $A_{msel}$  的高电平对  $V_{out}$  的跟踪情况。

### 4.3 3-bit ADC 的设计与仿真

在图 3-1 中的 DC-DC 原理图中, 由于多增益电荷泵对输入电压范围的要求, 因此, 要有一个模块对输入电压进行采样, 采样结果又要便于数字控制电路分析, 这个任务正好由 ADC 电路完成。至于 ADC 位数的选择, 可以根据电荷泵可用增益数和需要的电压分辨率来确定。本设计中的电荷泵增益数目为 7 个, 而 5V 输出 DC-DC 的实际可用增益数为 3~4 个, 因此 3-bit ADC 就可以满足需要。

#### 一 ADC 电路结构的选择

对于一个工作频率不是很高 ( $f_{osc}<10MHz$ ) 的 3bit-ADC 来讲, 对结构的要求是很低的, 我们决定采用并联结构设计 ADC。并联结构的优点是速度快、结构简单, 其缺点是版图面积随位数的增加相当惊人, 因此不适合做高位使用。不过对于 3bit-ADC 来讲只需要 7 个比较器就可以实现, 这个规模还是可以接受的。

图 4-26 给出了 3-bit ADC 的结构框图, 基本结构包括 7 个比较器和一个 7-3 编码器。  $V_{REF}$  信号是一个参考电压, 该电压经过 8 个等值电阻分压后, 接在比较器的正输入端, 其负输入端接输入电压  $V_{in}$ 。7-3 编码器将比较器的比较结果编码, 输出 3 位的数字输出, 实现 A-D 功能。表 4-4 给出了 ADC 输出值与输入电压  $V_{in}$  范围的关系。

表 4-4 ADC 输出与  $V_{in}$  的关系

$V_{in}$	(p7, p6, p5, p4, p3, p2, p1)	(q2, q1, q0)
$V_{in}<V_{REF}/8$	1,1,1,1,1,1,1	0,0,0
$V_{REF}/8<V_{in}<2V_{REF}/8$	1,1,1,1,1,1,0	0,0,1
$2V_{REF}/8<V_{in}<3V_{REF}/8$	1,1,1,1,1,0,0	0,1,0
$3V_{REF}/8<V_{in}<4V_{REF}/8$	1,1,1,1,0,0,0	0,1,1
$4V_{REF}/8<V_{in}<5V_{REF}/8$	1,1,1,0,0,0,0	1,0,0
$5V_{REF}/8<V_{in}<6V_{REF}/8$	1,1,0,0,0,0,0	1,0,1

$6V_{REF}/8 < V_{in} < 7V_{REF}/8$	1,0,0,0,0,0	1,1,0
$V_{in} > 7V_{REF}/8$	0,0,0,0,0,0	1,1,1

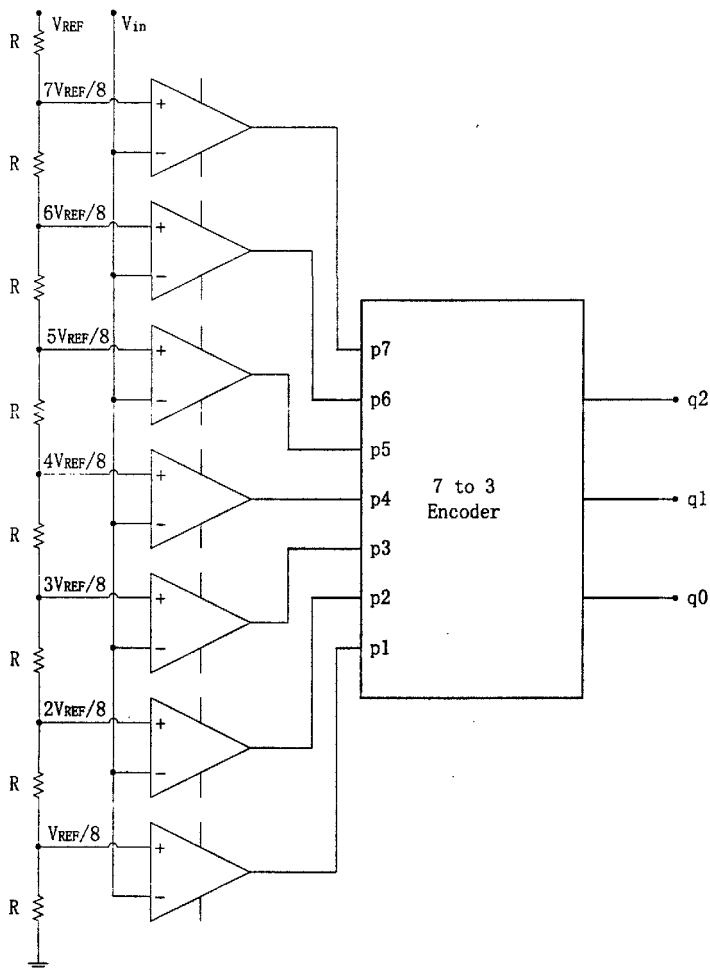


图 4-26 设计的 3-bit ADC 结构原理图

## 二 比較器電路的設計與仿真

因為整個 DC-DC 系統是開關電容控制方式，所以 ADC 中的比較器也採用和開關電容電路完全兼容的動態比較器(Dynamic Comparator)。

### 1. 動態比較器基本原理

圖 4-27 給出了動態比較器的原理圖，該比較器的基於反門結構。在時鐘相位  $\phi$  時，TG3 關斷，傳輸門 TG1 和 TG2 導通，反門的輸入和輸出接在一起，電容 C 的右極板電壓  $V_B$  為反門處在電壓傳輸特性的中間狀態時的電壓值（通常為  $V_{DD}/2$  左右，記為  $V_{10}$ ），而電容左極板電壓  $V_A = V_{REF}$ 。當時鐘相位變為  $\bar{\phi}$  後，傳輸門 TG1 和 TG2 關斷，TG3 導通，反門的輸入和輸出斷開，電容左極板和 INPUT 連在一起，此時  $V_A = V_{in}$ ，電容右極板電壓  $V_B$  也隨之發生變化，變為  $V_{10}'$ ，其值

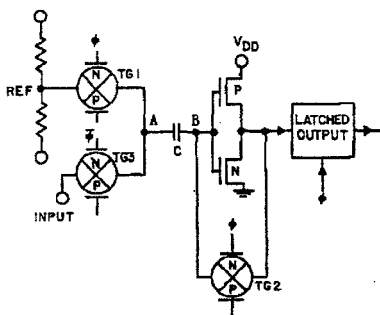


圖 4-27 動態比較器原理圖

為：

$$V'_{10} = V_{10} - (V_{REF} - V_{in}) = V_{10} - \Delta V_{in} \dots\dots\dots (式 4-19)$$

如果  $\Delta V_{in} > 0$ ，且  $\Delta V_{in}$  為小信號時，反門相當於一個共源推挽放大器，將  $\Delta V_{in}$  放大  $A_{inv}$ （放大器增益）倍疊加在  $V_{10}$  上，如果  $\Delta V_{in}$  為大信號，則反門的輸出電壓為  $V_{DD}$ 。因此， $\Delta V_{in} > 0$  時，反門的輸出電壓  $V_{inv}$  為：

$$V_{inv} = \begin{cases} V_{10} \cdot A_{inv} \cdot \Delta V_{in} & \Delta V_{in} \text{ 為小信號} \\ V_{DD} & \Delta V_{in} \text{ 為大信號} \end{cases} \dots\dots\dots (式 4-20)$$

同样的道理, 如果  $\Delta V_m < 0$  时, 反门的输出电压  $V_{inv}$  为:

$$V_{inv} = \begin{cases} V_{i0} - A_{inv} \cdot \Delta V_{in} & \Delta V_{in} \text{ 为小信号} \\ 0 & \Delta V_{in} \text{ 为大信号} \end{cases} \dots\dots\dots \text{(式 4-21)}$$

到下一个时钟的相位  $\phi$  时, 反门的状态又恢复到中间态, 上一时钟的比较结果由锁存器读得并输出结果。

## 2. 动态比较器设计

### (1) 模拟信号和数字信号相互干扰的消除

动态比较器从原理上是模拟电路, 因为它利用了推挽放大器原理, 而且在一个时钟周期期间, 存在中间电压  $V_{i0}$ 。模拟电路的功能必须依赖时钟才能完成正常工作, 因此称其为动态模拟电路。从另一个角度讲, 动态比较结果的输出必须由标准的数字电路来完成, 而且也需要时钟的控制, 这又是个数字电路。因此, 动态比较器是典型的混和信号电路。

在实际的设计中, 我们要考虑模拟信号和数字信号之间的相互影响。最明显的一个问题是, 在时钟相位为  $\phi$  时, 反门的输出为  $V_{i0} \equiv V_{DD}/2$ , 因为这个状态既不属于 0、1 的高低电平, 也不属于不定(x)和高阻(z)状态, 这在数字电路中是不允许出现的状态。如果直接把  $V_{i0}$  加到锁存器的输入端, 肯定会引起数字电路工作状态的紊乱, 所以需要在比较器输出端和锁存器输入端之间接一个模块, 该模块的功能是在时钟相位为  $\phi$  时输出高阻 z 状态, 隔离模拟和数字电路, 保证二者相互不影响; 在时钟相位为  $\bar{\phi}$  时, 将比较器的输出端和锁存器的输入端接到一起。

从功能描述看, 这个模块的基本功能是个传输门结构, 要能传递 0、1 逻辑值, 而且该传输门要有使能功能, 不使能时, 传输门输出高阻。

图 4-28 给出了该模块的电路图, 电路由两个串联的传输门、一个反门和一个电荷泄放 MOS 管构成。当 EN=1 时, 两个传输门都导通, A 和 B 导通; 当 EN=0 时, 传输门都不导通, A 和 B 都呈高阻状态, 为了确保下一次传输门导通时逻辑传输的正确, 需要有一个 MOS 管把积累在连个传输门之间的电荷释放掉。

### (2) 锁存器的选择

锁存器有电平触发和边沿触发两种, 如果采用电平触发型锁存器, 那么时钟相位  $\phi$  就是锁存器的使能, 只有在该相位时, 锁存器工作。如果采用边沿触发型

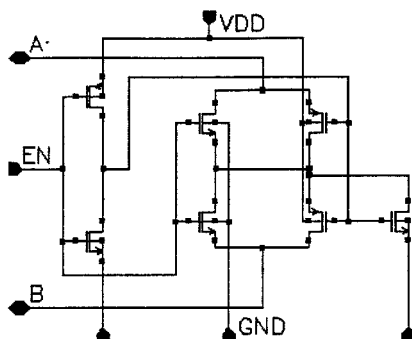


图 4-28 带使能端的传输门结构

锁存器，那么触发器的输入数据必须要有一定的建立时间(Setup Time)才能保证锁存器正确锁存输入数据。

根据比较器的原理，锁存器的数据输入和时钟的跳变是同时进行的，就是说在时钟的边沿，数据的建立时间还不够，所以输出很难保证取到正确的数据。从这个角度讲，电平触发的锁存器是最佳的选择，但是实际仿真结果并不是如此，电平触发锁存器依然存在和边沿触发一样的问题，经过反复的设计验证，锁存器决定采用传统的 D 触发器结构。这样设计锁存器就需要对锁存器的时钟进行新的考虑，我们把锁存器取数据的时钟比反门输出数据的时钟慢 1/4 个相位，就可以保证锁存器在时钟上升沿时，输入数据已经有了足够的建立时间，就能输出正确的数据。这样做的缺点是增加了比较器的传输延迟，在稳定工作状态下，比较器的传输延迟为  $1/(4f_s)$ ， $f_s$  为锁存器的时钟频率，当然这个延时，在 DC-DC 转换器中还是可以容忍的。

为此我们还需要设计一个时钟相位产生电路。

### (3) 时钟相位产生电路的设计

相位产生电路如图 4-29 所示，电路由一个 4 分频器和 D 触发器组成，4 分频器采用两个 D 触发器的基本分频结构，因此相位产生电路实际由 3 个 D 触发器组成。主时钟 clk 经过 4 分频器，产生 4 分频时钟 clk1，clk1 再接到一个 D 触发器的数据端 D，由主时钟提供时钟产生 clk1 的 1/4 相移的时钟 clk2，图 4-30 给出了时钟相位产生电路的仿真结果。

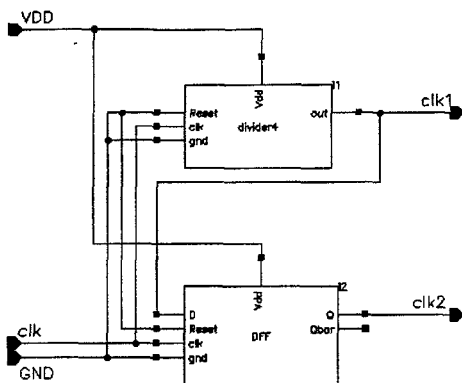


图 4-29 时钟产生电路原理图

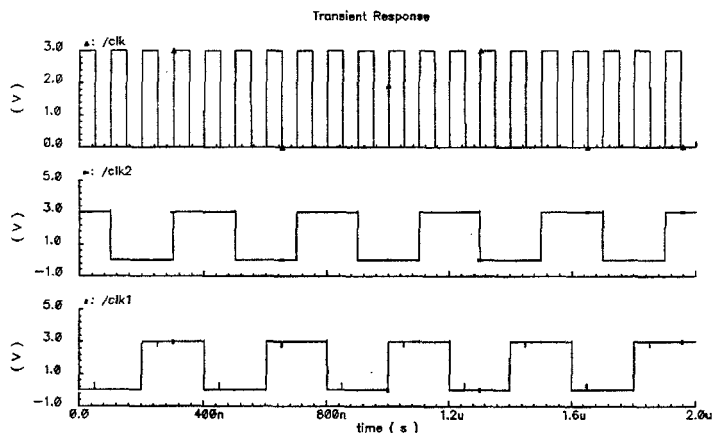


图 4-30 相位产生电路仿真波形

#### (4) 动态比较器电路原理图

图 4-31 给出了完整的动态比较器原理图，可以看到时钟  $\text{clk1}$  给比较器的模拟部分提供开关时钟， $\text{clk2}$  给比较器的数字部分提供输出采样时钟。由于比较器输出采用锁存器方式，所以比较器可以输出互补的信号  $\text{out}$  和  $\text{outbar}$ ，可以方便后续编码电路的设计。在带使能的传输门和锁存器之间又加入了两个反门，这个主要是给比较器输出整形，消除传输门传递逻辑过程中的电平变化。

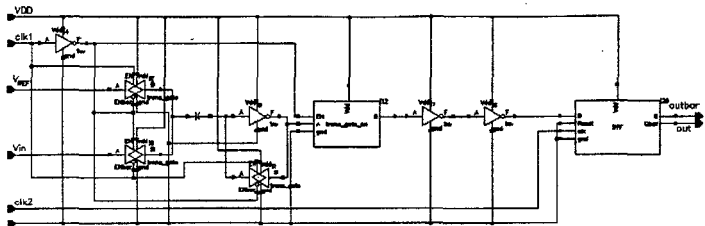


图 4-31 动态比较器的完整电路图

### 3. 动态比较器功能仿真

仿真动态比较器时，固定  $V_{REF}$  为 1.5V，然后让  $V_{in}$  在 1.49V~1.51V 之间变化。图 4-32 给出了动态比较器的功能仿真结果。从仿真结果看，动态比较器有很高的分辨率，同样我们也会看到比较大的传输延迟。

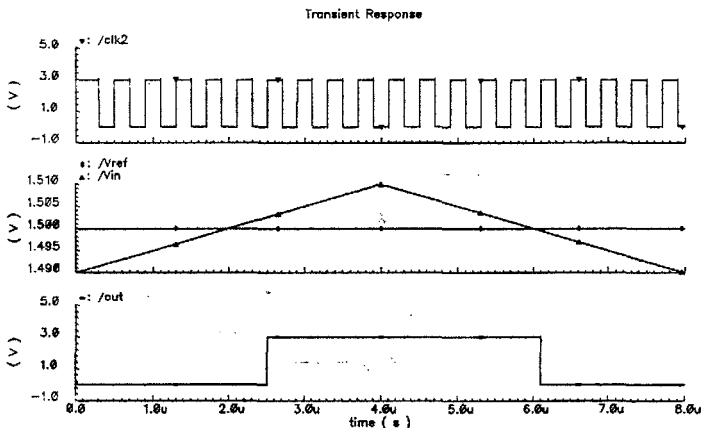


图 4-32 动态比较器的功能仿真结果

由于比较器处在开关工作模式下，比较器的电压传输特性就没法准确的得到，因此不做仿真。但就瞬态的仿真结果看，动态比较器能很好的应用到 ADC 电路中。

## 三 ADC 编码电路的设计

这部分电路要完成的是一个 7 to 3 的编码功能，其真值表如表 4-4 所示。根

据真值表，我们可以画出卡诺图，化简数字逻辑表达式。本设计中，是采用软件 (ispDesignEXPERT)逻辑综合得到编码输出的逻辑表达式：

$$q_2 = \overline{p_4 \cdot p_5 \cdot p_6 \cdot p_7} \dots\dots\dots \text{(式 4-22)}$$

$$q_1 = \overline{p_5 \cdot p_4 \cdot p_2 \cdot p_3 \cdot p_4 \cdot p_3 \cdot p_6 \cdot p_7} \dots\dots\dots \text{(式 4-23)}$$

$$q_0 = \overline{p_6 \cdot p_4 \cdot p_2 \cdot p_1 \cdot p_6 \cdot p_4 \cdot p_3 \cdot p_6 \cdot p_5 \cdot p_7} \dots\dots \text{(式 4-24)}$$

经过化简的逻辑表达式都是与非表达式，可以用与非门去实现，简化数字电路的复杂度。编码电路的电路原理图如图 4-33 所示。

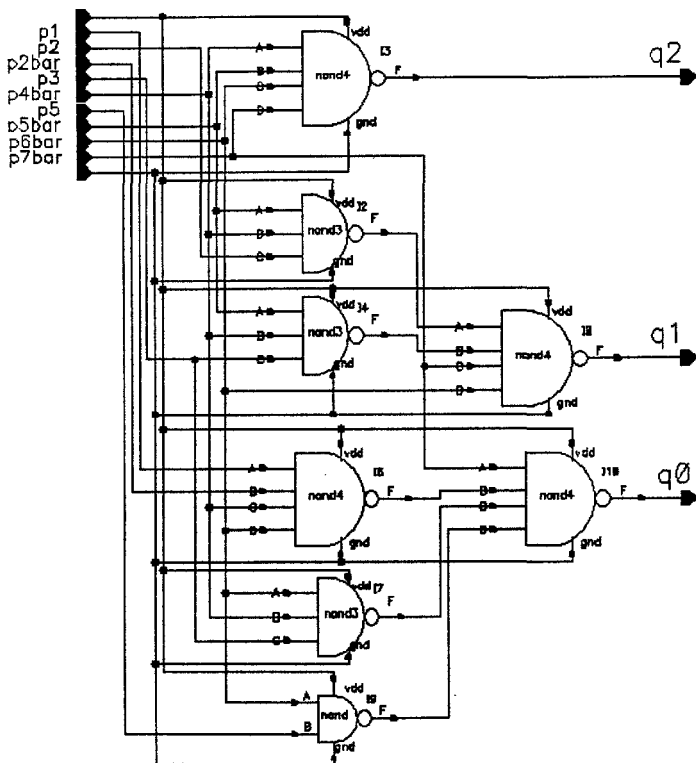


图 4-33 7 to 3 编码器电路原理图



#### 四 3-bit ADC 电路仿真结果

3-bit ADC 的电路结构基本按照如图 4-26 所示的框图结构, 因为每个比较器的时序都是一样的, 因此 7 个比较器只要有一个时钟相位发生电路控制就可以了。仿真电路时, 我们固定  $V_{REF}=2.5V$ , 电源电压  $V_{DD}=3.0V$ , 改变输入  $V_{in}$  的值。ADC 的功能仿真结果如图 4-34 所示, 可以看到 ADC 的输出从(0,0,0)变化到(1,1,1)的过程。

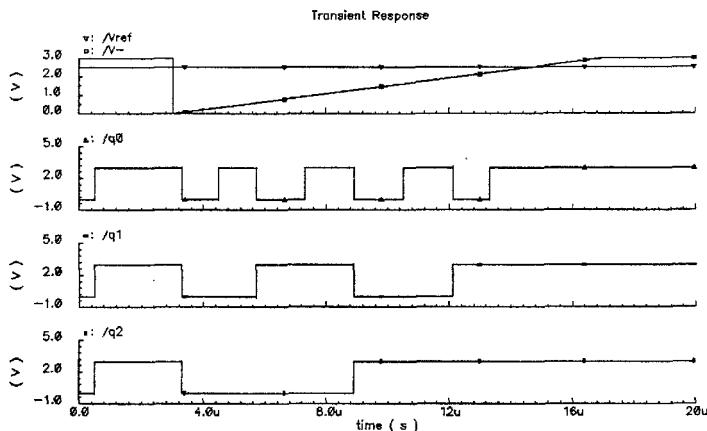


图 4-34 3-bit ADC 的电路仿真结果

#### 本章小结

本章我们设计了 5V 恒压输出 DC-DC 转换器的分数增益电荷泵电路, 辅助电荷泵正常稳定工作的输出级大宽长比 PMOS 管的背栅压产生电路, 比较器电路和 3-bit ADC 电路。详细介绍了各个电路的设计原理和电路结构。根据每个电路的仿真结果, 本章设计的电路符合 DC-DC 转换器的应用要求。

## 参考文献

- [1] B. Razavi. *Design of Analog CMOS Integrated Circuits*. McGraw-Hill, 2001.
- [2] A. Rao, W. McIntyre, J. Parry et al. *Buck-Boost Switched-Capacitor DC-DC Voltage Regulator Using Delta-Sigma Control Loop*. IEEE Circuits and Systems, ISCAS 2002, vol. 4, pp. 26-29, May 2002.
- [3] P. E. Allen, D. R. Holberg. *CMOS Analog Circuit Design*. Oxford University Press, 2002.
- [4] M. S. Makowski, D. Maksimovic. *Performance Limits of Switched-Capacitor DC-DC Converters*. IEEE, PESC '95 Record., 26<sup>th</sup> Annual, vol. 2, pp. 18-22, June 1995.
- [5] A. G. F. Dingwall. *Monolithic Expandable 6-bit 20MHz CMOS/SOS A/D Converter*. IEEE J. Solid-State Circuits, vol. 14, pp. 926-931, December 1979.
- [6] R. J. Baker, H. W. Li, D. E. Boyce. *CMOS Circuit Design, Layout, and Simulation*. Piscataway, NJ: IEEE Press, 1998.
- [7] P. R. Gray, P. J. Hurst, S. H. Lewis, R. G. Meyer. *Analysis and Design of Analog Integrated Circuits*. John Wiley & Sons, Inc., 2001.
- [8] M. J. Demler. *High-Speed Analog-to-Digital Conversion*. Academic Press, Inc., 1991.
- [9] P. W. Tuinenga. *SPICE- A Guide to Circuit Simulation and Analysis Using Pspice*. Prentice Hall, 1990.
- [10] J. M. Rabaey, A. Chandrakasan, B. Nikolic. *Digital Integrated Circuits- A Design Perspective(Second Edition)*. Prentice Hall, 2003.

## 第五章 流片电路的版图设计和后模拟

### 5.1 工艺介绍

电路流片的工艺选用华润上华科技(无锡)有限公司的 6S06DPDM-CT02 标准 CMOS 工艺,该工艺是  $0.6\mu\text{m}$  线宽,两层多晶硅两层金属的双阱工艺,工作电压为 5V。工艺线采用 P 型<100>晶向的硅单晶作衬底,硅单晶的方块电阻为  $15\sim 25\Omega\cdot\text{cm}$ 。完成整个工艺流程需要 16 块掩膜板,其中 13 块需要刻线对准,工艺用到的掩膜板的顺序如表 5-1 所示。

表 5-1 上华 6S06DPDM-CT02 工艺中所需的掩膜板

掩膜板名称	工艺流程对应层	备注
TB	N-Well	P 沟器件的衬底
PT	P-Well	N 沟器件的衬底和 N 沟的停止注入
TO	Active	有源区和沟道区
GT	Poly1	晶体管的栅和互连线
PC	Poly2	多晶硅电容的上极板和高阻的多晶硅电阻
IM	High Res.	高阻多晶硅电阻的覆盖层,防止多晶硅的低阻离子注入
SN	N+	NMOS 管的源漏注入
SP	P+	PMOS 管的源漏注入
W1	Contact	A1 和半导体层连接的接触孔
A1	Metal1	第一层金属互连线
W2	Via	连接 A1 和 A2 的通孔
A2	Metal2	第二层金属互连线
CP	Pad	压焊块的开孔

对于工艺方面的信息,我们更关心针对设计好版图的设计规则检查(DRC: Design Rule Check),器件参数和寄生参数的提取(Extract),以及对电路和版图连线的互查(LVS: Layout Versus Schematics)。这三个过程都可以在 Cadence 环境下,编写适当的文件用 Diva 软件完成,这些文件的编写都是对公司提供的不完整文

件进行反复的修改验证完成的。

## 5.2 流片电路的版图设计

### 5.2.1 电荷泵电路的版图设计

#### 一 大宽长比 MOS 管版图设计

电荷泵电路中用到的开关 MOS 管的宽长比最小的是 1344/1，而最终的 DC-DC 转换器中用到的 MOS 开关管的宽长比起码是这个值的 10 倍。如此大宽长比的 MOS 已经有一种功率 MOS 管的味道，此时 MOS 的平面结构该如何设计呢？最常见的处理大宽长比 MOS 管平面结构的方法是用叉指状结构，这种结构的特点是容易实现，版图结构简单，但是叉指状 MOS 管适合这种管子比较少的场合，如果这种管子数目一旦增加，电路的连线将是一个无法想象的事情，版图面积也会迅速增加。虽然流片的电荷泵电路只有 4 个开关 MOS 管，但是设计的分数电荷泵中有 14 个开关 MOS 管，这就不得不另外考虑其它的方案来设计这种“功率”MOS 管。

文献[1]中提到一种蛇形栅结构的 MOS 平面结构，它将这种大宽长比的 MOS 管归为功率 MOS 管。如图 5-1 所示，(a)中给出了蛇形栅的基本单元，栅的弯曲角度为  $135^\circ$ 。(b)中给出了蛇形栅结构的 MOS 管。从(b)中可以看到，一个 MOS 管由  $m$  个(a)中所示的基本单元构成，而每个基本单元又由  $n$  个胞构成。根据图中给出的设计参数，假设 MOS 管的沟道长度为  $L$ ，则可以得到 MOS 管的沟道宽度  $W$  为：

$$W = 2m \left[ (4n-1) \left( a - L \cdot \tan \frac{\pi}{8} \right) + \left( p - \frac{L}{2} \tan \frac{\pi}{8} \right) + \left( q - \frac{L}{2} \tan \frac{\pi}{8} \right) \right] \quad (\text{式 5-1})$$

工艺厂提供的版图精度为  $0.001 \mu\text{m}$ ，我们将设计参数定为：

$$a = 3.414 \mu\text{m}, \quad p = q = 1.707 \mu\text{m}, \quad L = 1 \mu\text{m} \dots \dots \dots (\text{式 5-2})$$

由此可以得到 MOS 管的沟道宽度为：

$$W \cong 24mn \dots \dots \dots (\text{式 5-3})$$

电荷泵电路中 MOS 管的设计都是按照 (式 5-3) 进行的。

图 5-1(b)中的 MOS 管中，为了更有效的保证管子特性，接触孔采用了上华

件进行反复的修改验证完成的。

## 5.2 流片电路的版图设计

### 5.2.1 电荷泵电路的版图设计

#### 一 大宽长比 MOS 管版图设计

电荷泵电路中用到的开关 MOS 管的宽长比最小的是 1344/1，而最终的 DC-DC 转换器中用到的 MOS 开关管的宽长比起码是这个值的 10 倍。如此大宽长比的 MOS 已经有一种功率 MOS 管的味道，此时 MOS 的平面结构该如何设计呢？最常见的处理大宽长比 MOS 管平面结构的方法是用叉指状结构，这种结构的特点是容易实现，版图结构简单，但是叉指状 MOS 管适合这种管子比较少的场合，如果这种管子数目一旦增加，电路的连线将是一个无法想象的事情，版图面积也会迅速增加。虽然流片的电荷泵电路只有 4 个开关 MOS 管，但是设计的分数电荷泵中有 14 个开关 MOS 管，这就不得不另外考虑其它的方案来设计这种“功率”MOS 管。

文献[1]中提到一种蛇形栅结构的 MOS 平面结构，它将这种大宽长比的 MOS 管归为功率 MOS 管。如图 5-1 所示，(a)中给出了蛇形栅的基本单元，栅的弯曲角度为  $135^\circ$ 。(b)中给出了蛇形栅结构的 MOS 管。从(b)中可以看到，一个 MOS 管由  $m$  个(a)中所示的基本单元构成，而每个基本单元又由  $n$  个元胞构成。根据图中给出的设计参数，假设 MOS 管的沟道长度为  $L$ ，则可以得到 MOS 管的沟道宽度  $W$  为：

$$W = 2m \left[ (4n-1) \left( a - L \cdot \tan \frac{\pi}{8} \right) + \left( p - \frac{L}{2} \tan \frac{\pi}{8} \right) + \left( q - \frac{L}{2} \tan \frac{\pi}{8} \right) \right] \quad (\text{式 5-1})$$

工艺厂提供的版图精度为  $0.001 \mu\text{m}$ ，我们将设计参数定为：

$$a = 3.414 \mu\text{m}, \quad p = q = 1.707 \mu\text{m}, \quad L = 1 \mu\text{m} \dots \dots \dots (\text{式 5-2})$$

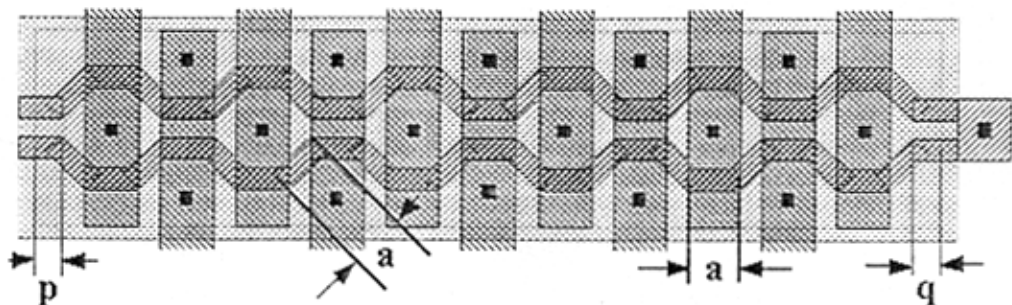
由此可以得到 MOS 管的沟道宽度为：

$$W \cong 24mn \dots \dots \dots (\text{式 5-3})$$

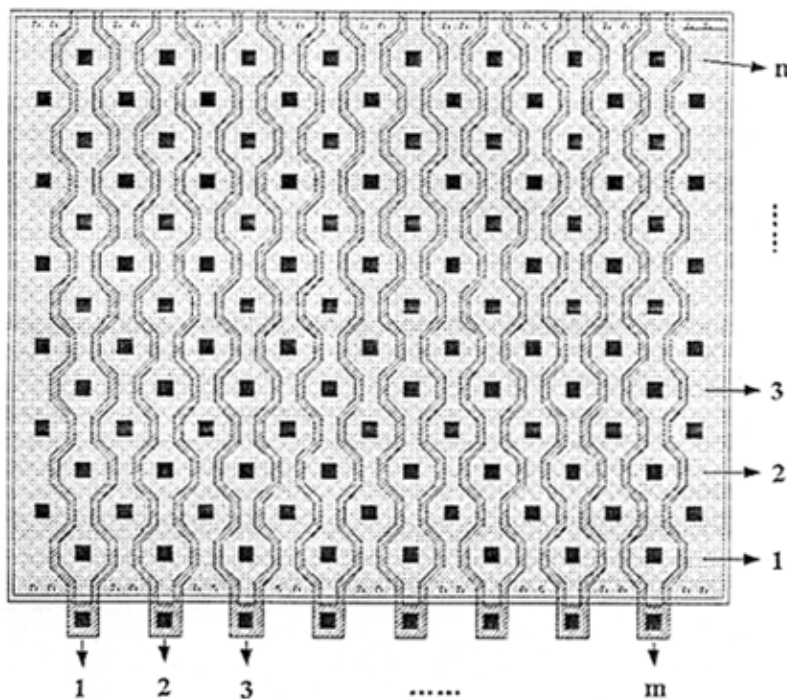
电荷泵电路中 MOS 管的设计都是按照 (式 5-3) 进行的。

图 5-1(b)中的 MOS 管中，为了更有效的保证管子特性，接触孔采用了上华

提供的更为精确的模拟接触孔，其尺寸为  $2\mu\text{m} \times 2\mu\text{m}$ ，而其它电路所使用的普通接触孔尺寸为  $0.6\mu\text{m} \times 0.6\mu\text{m}$ 。从 MOS 管的结构可以看出，MOS 管源漏如图 5-1(a)中给出的那样以叉指的方式引出。值得注意的是，等源漏引出后，MOS



(a)蛇形栅功率 MOS 管基本构成单元



(b)完整的蛇形栅功率 MOS 管

图 5-1 蛇形栅功率 MOS 管平面结构

管的源极、漏极和栅极分别在管子的不同的三个方向上，因此更容易实现电路的互连。合理设计蛇形的几何参数，能够很大程度上增加版图的面积利用率。

## 二 电路金属连线的考虑

电荷泵电路作为 DC-DC 的输出级，流过的电流比较大，因此电路的金属连

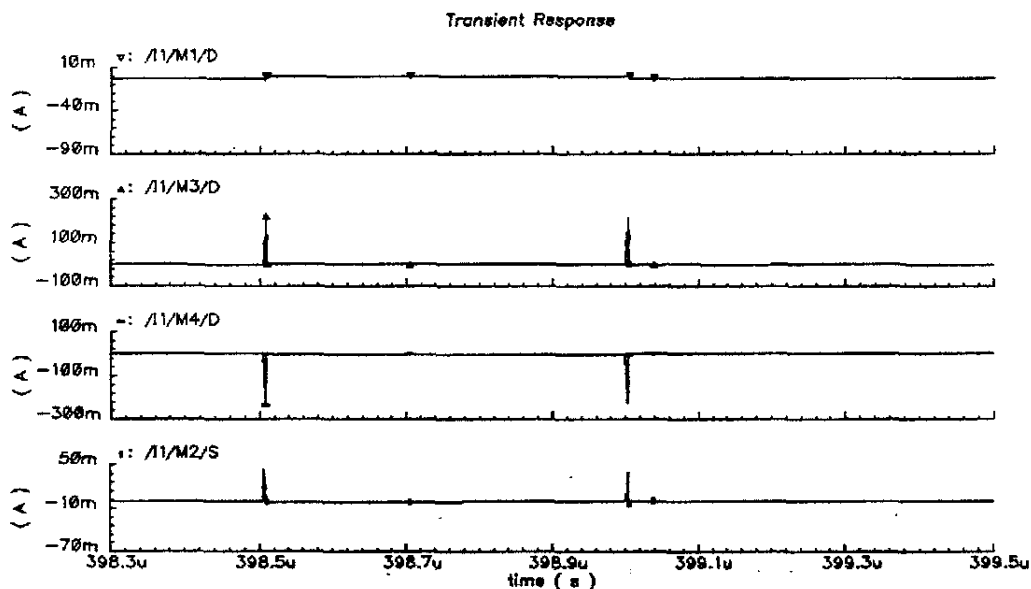
线的宽度也需要加以考虑。电路在开关时钟跳变过程中，由于跳变的非理想性，因此开关管要经历一段饱和态，会产生瞬态的大电流，我们采用的金属连线就要能够耐得住这个大电流所带来的不良影响。

在金属连线上产生的热量可以表示为：

$$Q = \int_0^t [I(t)]^2 \cdot R \cdot dt \dots\dots\dots (式 5-4)$$

式中 Q 代表发热量，I 是流过金属连线的电流，R 是这段金属的连线电阻，t 是通电流的时间。如果知道 t 时间内，流过金属连线的平均电流  $\bar{I}$ ，则在金属连线上产生的热量为：

$$Q = \bar{I}^2 \cdot R \cdot t \dots\dots\dots (式 5-5)$$



(a)导通电流波形图

```

average(IT("/I1/M1/D" "/home/wanggf/simulation/test_CP/spectre/schematic")) = -9.018m
average(IT("/I1/M3/D" "/home/wanggf/simulation/test_CP/spectre/schematic")) = 8.956m
average(IT("/I1/M4/D" "/home/wanggf/simulation/test_CP/spectre/schematic")) = 8.33m
average(IT("/I1/M2/S" "/home/wanggf/simulation/test_CP/spectre/schematic")) = -8.27m

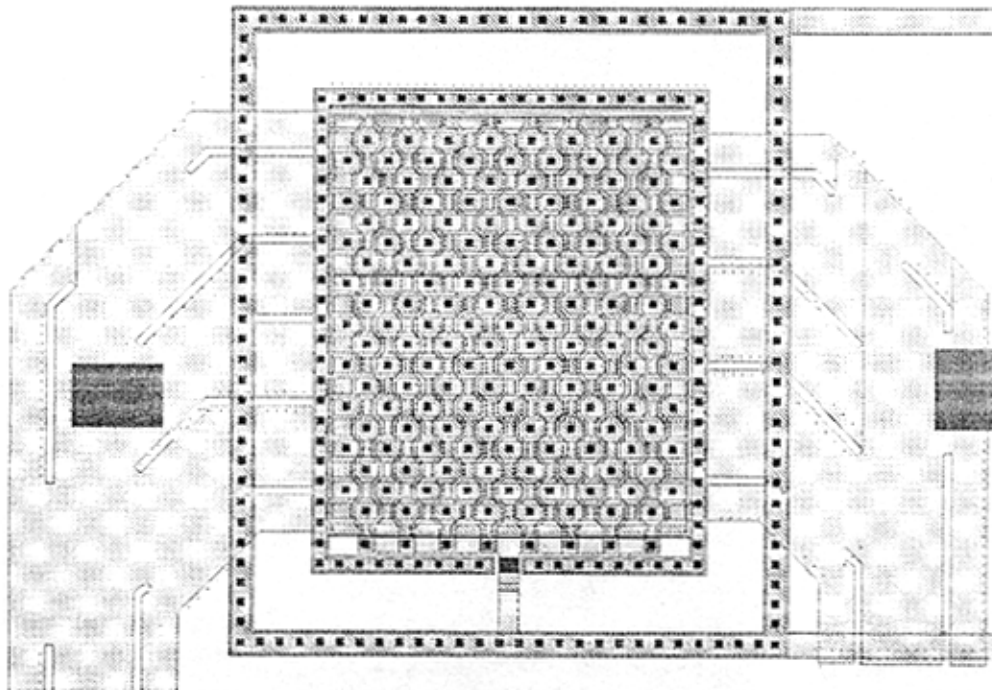
```

(b)导通电流平均值

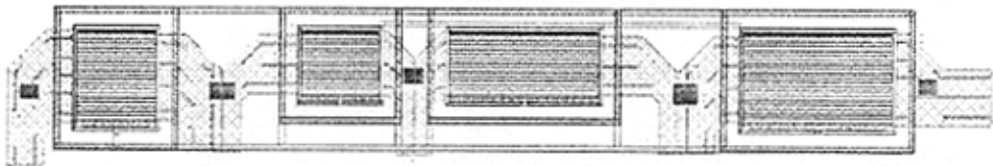
图 5-2 流片电荷泵四个开关管稳态时的导通电流波形图

所谓的金属耐流，本质上讲是为了防止由于大电流在金属电阻上的热效应而

导致的金属连线熔断。增大耐流就是要增加金属连线宽度，这有两个作用，一个是降低金属连线的电阻，另一个是增加金属的散热能力。在一个 MOS 管的从关到开并保持到下一个关态这个过程中，大电流状态是很短的一段时间，集中在时钟跳变的瞬间，而大部分时间里，MOS 的导通电流是很小的，图 5-2 给出了流片电荷泵的四个开关管在输出稳定后的导通电流波形图和其对应的电流平均值。这个电流平均值是包括了电荷泵从不稳定输出到稳定输出整个过程，单从稳定态考虑的话，电流平均值会更小。可以看到开关应用中，基本上只要保证金属连线能够耐流 10mA 即可。



(a)单个 MOS 管版图



(b)电路版图

图 5-3 流片 4 管电荷泵的版图

上华工艺中规定，宽度为  $1\mu\text{m}$  的金属连线的最大耐流为  $1.5\text{mA}$ ，按照耐流  $1\text{mA}$  计算，电荷泵开关管之间的连线宽度可选为  $10\sim 20\mu\text{m}$ 。增加金属连线的宽度虽然能够保证金属连线在流过大电流时不因为发热而熔断，但是却不能避免



因發熱而引起的金屬熱膨脹。金屬膨脹會使金屬連線發生形變向兩邊伸展，為了有效的讓金屬連線釋放熱應力，減小因金屬膨脹連線向兩邊伸展的距離，需要在寬金屬連線的電流流向上挖出一些長條狀的槽。

### 三 流片電荷泵的版圖

圖 5-3 給出的就是流片的簡化電荷泵電路的版圖。(a)是單個 MOS 管的版圖，可以看到源漏金屬上挖的溝槽。在 MOS 管周圍有兩圈接觸孔，裡面一圈是與 MOS 管的背柵連接，外面的一圈與衬底連接并接地是 MOS 管與外界隔離。(b)是電荷泵電路的版圖，設計時為了保證流片成功率和電路功能，所以使用了很寬的金屬連線，電路的版圖也顯得不够緊湊。

### 四 DC-DC 中十四管電荷泵版圖

圖 5-4 中給出了圖 4-1 所示的十四管分數電荷泵的版圖，在這個版圖的設計中就充分利用了蛇形柵功率 MOS 管的優點，芯片採用電容外置方式。可以看到，如果把源漏的金屬連線分別走在 MOS 管上的兩邊，則版圖面積可以減小很多，又可以保證金屬連線的耐流。

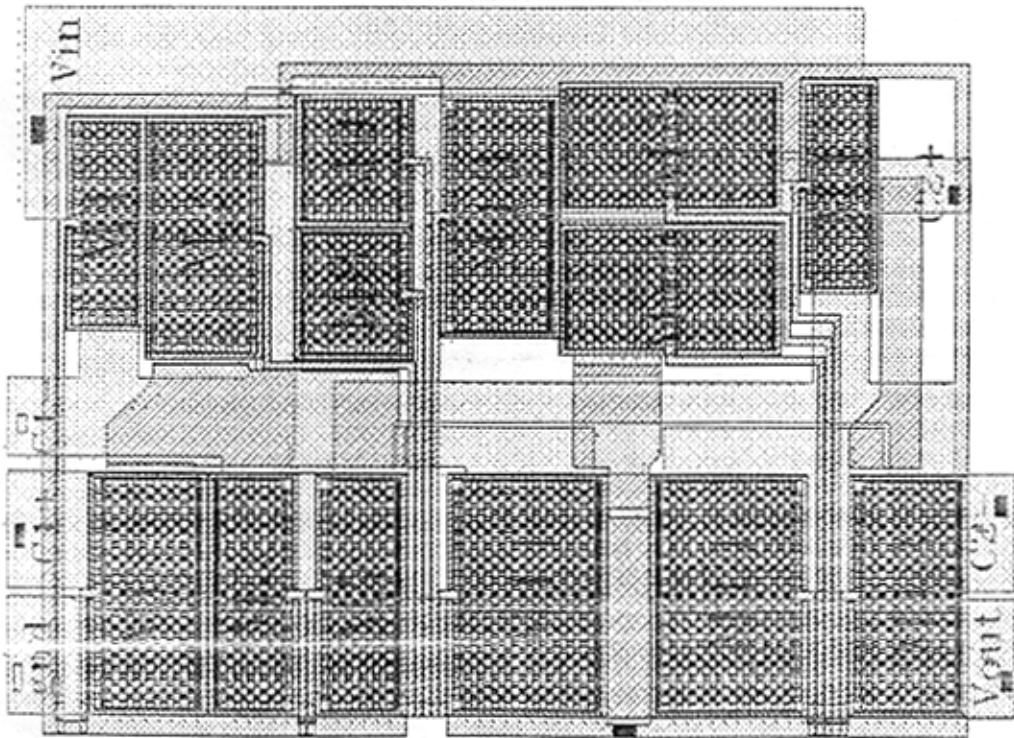


圖 5-4 十四管分數電荷泵電路版圖

## 5.2.2 电荷泵 PMOS 管背栅压产生电路的版图设计

版图的结构按照图 4-17 中的原理图分成 4 块，比较器电路、数字逻辑电路、开关电路和 buffer 电路，可以看到在开关电路中的 4 个大宽长比的开关 PMOS 管，与前面介绍的开关管结构不同，它们采用了传统的叉指状结构，这是因为开关管的数量比较少，而且连线简单能够做到器件的紧密排列，用特殊结构反而显得太繁复了。

版图的设计没有用到特殊的器件结构，采用的都是传统的 CMOS 版图技术，这里就不做过多的说明。

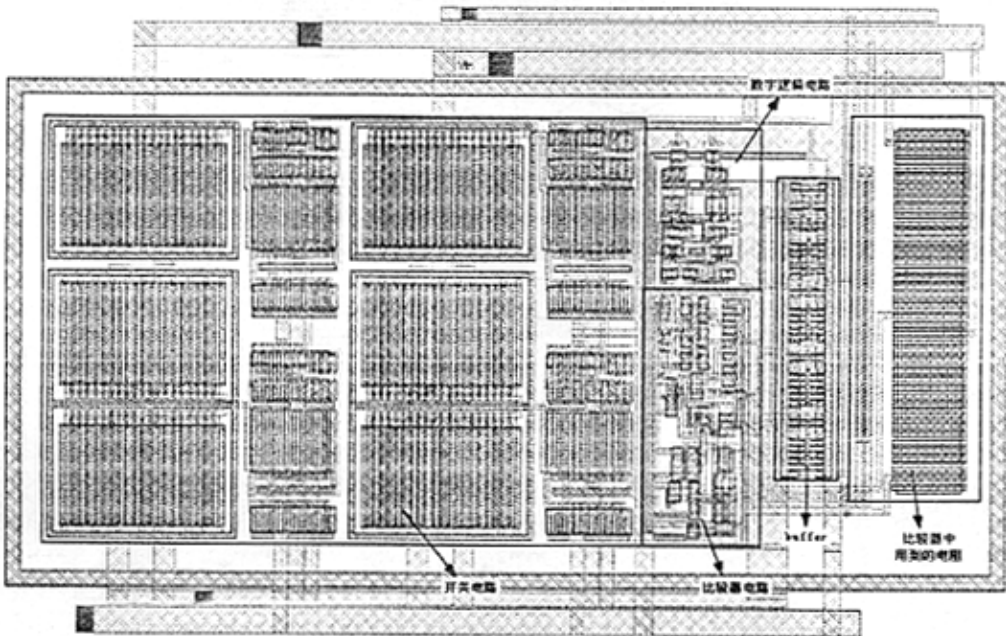


图 5-5 背栅压产生电路版图

## 5.2.3 ADC 电路的版图设计

ADC 电路的版图如图 5-6 所示，版图结构很紧凑，由一个时钟发生电路，8 个动态比较器电路和一个编码电路组成。而在图 4-26 的 3-bit ADC 原理图中，实现完整的 3 位 A-D 功能只需要 7 个比较器即可。但是从电路的可测性设计角度考虑，增加一个动态比较器是为了测试动态比较器的工作状态和其性能，同时 ADC 需要 8 个电阻，增加一个比较器又可以保证 8 个电阻的周围环境一致，从而使 8 个电阻的一致性更好，它们的分压比更加的精确。

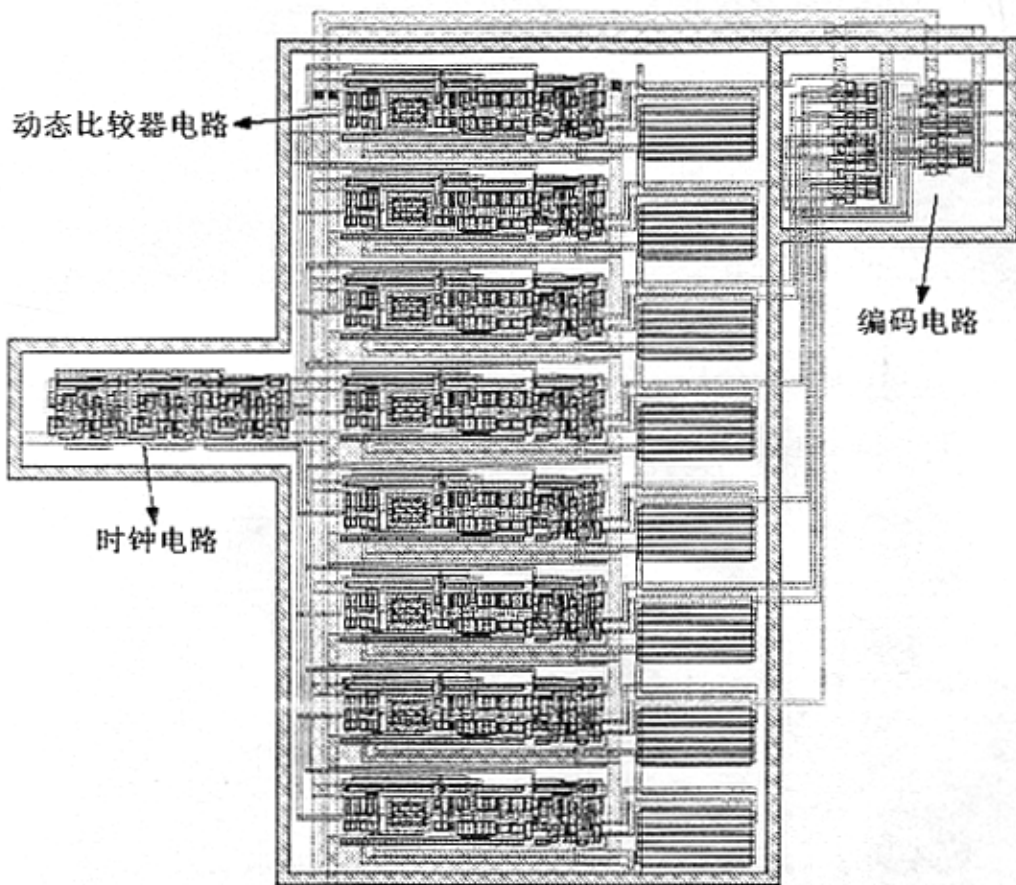


图 5-6 ADC 电路版图

## 5.2.4 版图验证和后模拟

版图设计必须遵从工艺厂商提供的设计规则，器件的尺寸、线条的大小、层与层之间的距离都必须严格按照设计规则去设计，设计的版图满足了设计规则就意味着工艺厂能够流片生产出和版图设计的一模一样的芯片来。

单单满足了设计规则还是不够的，设计的版图和设计的电路一定要完全一样才能保证电路的功能正确，为此我们还需要从版图中提取出相应的器件网表和设计好的电路网表进行比较，只有完全一样才能说明版图设计是正确的。

但是，由于实际的芯片制造工艺中，存在着各种各样的寄生参数，这些参数都直接影响着设计电路的功能和性能。所以，当我们设计的版图和电路图网表完全相同的时候，还需要把版图对应芯片可能存在的寄生参数都考虑到电路网表中进行模拟，即后模拟，这样得到的电路仿真结果才是最接近于实际情况的结果。

由此，我们可以得到版图验证的全过程为：

a)**DRC 检查**。可以边设计版图边进行检查, 免得全部设计完后发现问题时, 修改太麻烦;

b)**Extract**。这一步骤能够将版图中设计的器件和工艺制造过程中引入的寄生的器件以及它们的参数提取出来, 并形成网表文件。

c)**LVS**。将提取出来的版图网表和设计的电路网表进行比较, 检查二者是否存在不一样的地方。值得注意的是, 在器件提取时, 寄生器件的提取可以由提取文件定义为寄生和网表考虑器件两种, 前者在 LVS 时是不会考虑在版图网表中的, 但后者则会被算在网表里。也就是说, 在 LVS 时, 版图的网表中, 提取出的寄生器件要么以寄生的身份出现, 要么就不要提取出来, 这样 LVS 的结果才会正确反应版图和电路之间的对应关系。

d)**后模拟**。后模拟需要将把器件参数和寄生参数同时提出的网表映射到电路图中, 然后进行和前模拟相同的仿真, 这样得到的仿真结果是流片出的芯片最可能出现的测试结果。后模拟的另外一个作用就是重新检验设计的版图在特定工艺条件下的可行性如何。如果后模拟结果和设计目标一致, 则表明电路设计成功的希望很大; 如果二者相差比较大, 那也就不指望流片出来的芯片能够实现预期的功能和指标。

本次流片电路的版图都严格按照上述 4 个步骤完成的, 由于本次设计的电路使用的时钟频率较低, 版图设计较为合理, 后模拟结果和前模拟的结果基本一致, 符合设计目标的要求, 因此这里就不再单独给出流片电路的后模拟结果。

流片芯片的版图以及芯片引出的管脚介绍都将在第六章中给出。

## 本章小结

流片电路的版图是按照华润上华科技(无锡)有限公司的 6S06DPDM-CT02 标准 CMOS 工艺文件设计的。本章给出了各个电路的版图设计结果和版图的验证过程。在版图设计中, 详细介绍了电荷泵电路中大宽长比功率 MOS 管的版图设计, 为了节省版图面积, 又能保证电路功能和性能, 我们采用了蛇形栅结构的 MOS 平面结构。设计的版图都通过的 DRC、Extract 和 LVS 验证通过, 在后模拟中也达到了预期的设计目的。

## 参考文献

- [1] A. Hastings. *The Art of Analog Layout*. Prentice Hall, 2001.
- [2] B. Razavi. *Design of Analog CMOS Integrated Circuits*. McGraw-Hill, 2001.
- [3] 韩雁. 《集成电路设计工具及使用说明》. 浙江大学信息学院信电系微电子所, 杭州, 2002.
- [4] C. Saint, J. Saint. *IC Layout Basics- A Practical Guide*. McGraw-Hill, 2001.
- [5] C. Saint, J. Saint. *IC Mask Design- Essential Layout Techniques*. McGraw-Hill, 2003.

## 第六章 流片电路的测试结果

### 6.1 芯片测试前的准备

#### 6.1.1 芯片封装的管脚介绍

##### 一 芯片管脚分布

流片出来的裸片是在华越（绍兴）微电子有限公司封装的，封装芯片的管脚分布及其定义如图 6-1 所示，表 6-1 给出了管脚定义的具体含义。流片电路中，背栅压产生电路的比较器因为没有时钟和 ADC 中用到的动态比较器相对应，本章中称其为静态比较器。

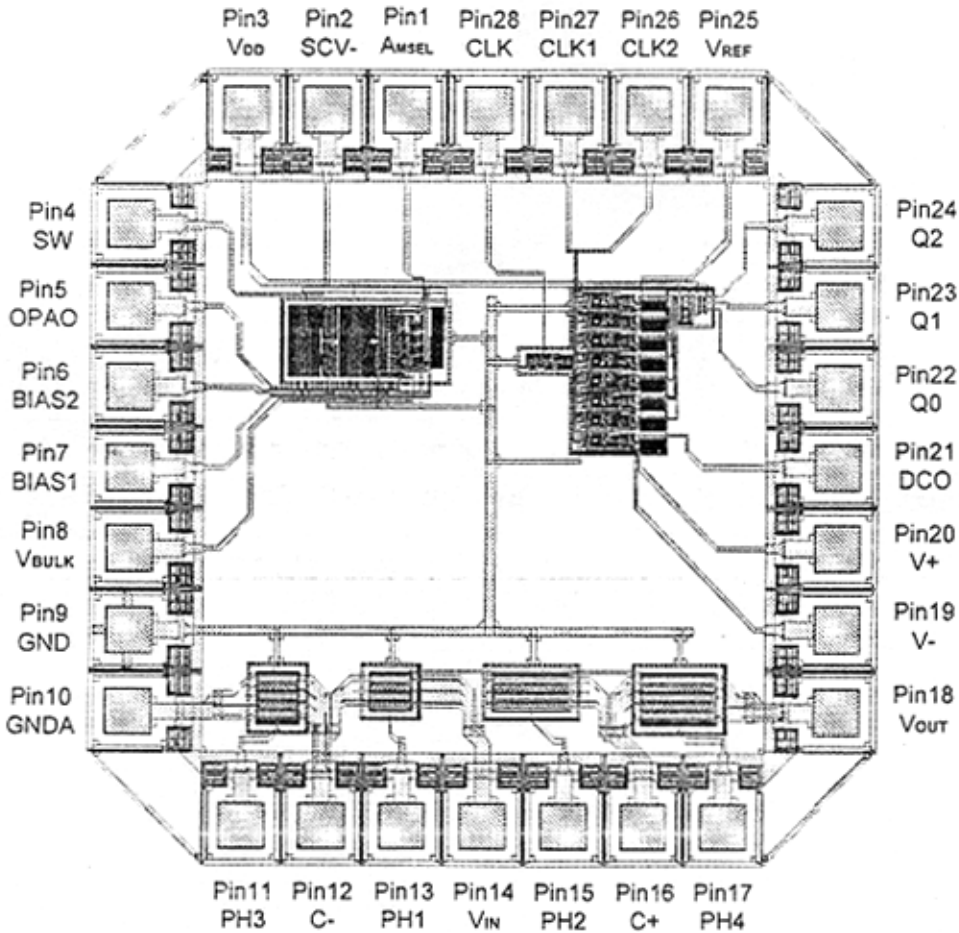


图 6-1 芯片管脚分布和定义图

## 二 芯片管脚定义

表 6-1 芯片管脚定义的具体含义

Pin Name	Pin Number	Comments
AMSEL	1	静态比较器输出
SCV-	2	静态比较器的负端输入
V <sub>DD</sub>	3	静态比较器的正端输入, 3-bit ADC 和 PADs 的电源
SW	4	导通 V <sub>OUT</sub> 和 V <sub>BULK</sub> 的 PMOS 开关管的开关信号
OPAO	5	静态比较器电路中的运算放大器输出
BIAS2	6	静态比较器偏置 2, 经内部 200K 电阻接 V <sub>DD</sub>
BIAS1	7	静态比较器偏置 1, 经内部 170K 电阻接 SCV-
V <sub>BULK</sub>	8	产生的背栅压
GND	9	芯片的接地
GNDA	10	电荷泵的地, 外部接 GND
PH3	11	电荷泵电路 M3 管的开关控制信号
C-	12	电荷泵开关电容的负端
PH1	13	电荷泵电路 M1 管的开关控制信号
V <sub>IN</sub>	14	电荷泵的输入电压信号
PH2	15	电荷泵电路 M2 管的开关控制信号
C+	16	电荷泵开关电容的正端
PH4	17	电荷泵电路 M4 管的开关控制信号
V <sub>OUT</sub>	18	电荷泵的输出电压信号
V-	19	动态比较器的负端输入
V+	20	动态比较器的正端输入
DCO	21	测试用动态比较器输出信号
Q0	22	3-bit ADC 输出
Q1	23	3-bit ADC 输出
Q2	24	3-bit ADC 输出
V <sub>REF</sub>	25	ADC 的基准电压输入

CLK2	26	主时钟分频得到的动态比较器输出采样时钟
CLK1	27	主时钟分频得到的动态比较器工作时钟
CLK	28	主时钟

注：芯片管脚 1~9 属于背栅压产生电路部分，管脚 10~18 属于电荷泵电路，管脚 19~28 属于 ADC 电路。

## 6.1.2 芯片测试电路的设计

### 一 测试信号归类和可测性考虑

芯片测试电路设计的基本原则是，用最少的外围器件，能够进行最方便的测试。我们设计的芯片中包括 3 个彼此相互独立的电路，在表 6-1 的 28 个管脚中，其中 3 个电路共用的管脚为  $V_{DD}$  和 GND。

我们主要研究的就是电荷泵电路，在此电路中，包括  $V_{IN}$ 、 $V_{OUT}$ 、 $C^-$ 、 $C^+$ 、GND<sub>A</sub> 和 4 个开关管的开关控制信号 PH1~PH4，其中必须要外接的信号是  $V_{IN}$ ，以及互补的时钟控制信号 PH 和 PHBAR。从这样的接法可以看出，我们将电荷泵电路中的开关 MOS 管的源、漏、栅信号都引了出来，以便于测试电路的新能和 MOS 管的特性。

在背栅压产生电路中，除了电源和地，必须要外接的信号为静态比较器负端输入 SCV<sup>-</sup>，另外的信号除了  $A_{MSEL}$  和  $V_{BULK}$  是我们要产生的输出信号，其它都是电路中的关键测试点，包括比较器中运放的两个偏置电压信号 BIAS1 和 BIAS2，以及控制该电路中的一个大宽长比开关 MOS 管的开关信号 SW，引出这些测试点的目的是为了保证整个电路测试工作的顺利完成。因为如果比较器的工作不正常的话，运放的偏置信号 BIAS1 和 BIAS2 就有可能不正确，我们可以通过外加偏置电压的方法以增加比较器正常工作的几率。测试信号 SW 的作用是，当比较器无论什么情形下都不能正常工作时，可以通过这个信号测试开关 MOS 管的工作情况。

在 3-bit ADC 电路中，必须要外接的信号有测试用动态比较器的两个输入  $V^-$ 、 $V^+$ ，ADC 的基准电平  $V_{REF}$  和 ADC 工作主时钟 CLK。其它都是输出测试信号，这样即可以测试动态比较器能否正常的工作，又可以在动态比较器设计无误的基础上，测试 ADC 电路的工作情况。



CLK2	26	主时钟分频得到的动态比较器输出采样时钟
CLK1	27	主时钟分频得到的动态比较器工作时钟
CLK	28	主时钟

注：芯片管脚 1~9 属于背栅压产生电路部分，管脚 10~18 属于电荷泵电路，管脚 19~28 属于 ADC 电路。

## 6.1.2 芯片测试电路的设计

### 一 测试信号归类和可测性考虑

芯片测试电路设计的基本原则是，用最少的外围器件，能够进行最方便的测试。我们设计的芯片中包括 3 个彼此相互独立的电路，在表 6-1 的 28 个管脚中，其中 3 个电路共用的管脚为  $V_{DD}$  和 GND。

我们主要研究的就是电荷泵电路，在此电路中，包括  $V_{IN}$ 、 $V_{OUT}$ 、C-、C+、GND<sub>A</sub> 和 4 个开关管的开关控制信号 PH1~PH4，其中必须要外接的信号是  $V_{IN}$ ，以及互补的时钟控制信号 PH 和 PHBAR。从这样的接法可以看出，我们将电荷泵电路中的开关 MOS 管的源、漏、栅信号都引了出来，以便于测试电路的新能和 MOS 管的特性。

在背栅压产生电路中，除了电源和地，必须要外接的信号为静态比较器负端输入 SCV-，另外的信号除了  $A_{MSEL}$  和  $V_{BULK}$  是我们要产生的输出信号，其它都是电路中的关键测试点，包括比较器中运放的两个偏置电压信号 BIAS1 和 BIAS2，以及控制该电路中的一个大宽长比开关 MOS 管的开关信号 SW，引出这些测试点的目的是为了保证整个电路测试工作的顺利完成。因为如果比较器的工作不正常的话，运放的偏置信号 BIAS1 和 BIAS2 就有可能不正确，我们可以通过外加偏置电压的方法以增加比较器正常工作的几率。测试信号 SW 的作用是，当比较器无论什么情形下都不能正常工作时，可以通过这个信号测试开关 MOS 管的工作情况。

在 3-bit ADC 电路中，必须要外接的信号有测试用动态比较器的两个输入 V-、V+，ADC 的基准电平  $V_{REF}$  和 ADC 工作主时钟 CLK。其它都是输出测试信号，这样即可以测试动态比较器能否正常的工作，又可以在动态比较器设计无误的基础上，测试 ADC 电路的工作情况。

## 二 測試原理圖

根據上面的信號的作用，我們採用圖 6-2 的測試電路。測試電路包括 3 部分電路，+3V 穩壓電路，主時鐘發生電路和芯片測試電路。

芯片測試電路中，我們把設計的芯片的各個管腳引出，在 PCB 上以暴露銅膜形式（方便測試，減少 PCB 面積），或者用單個插針形式（方便信號接入）作為各管腳的測試點。另外，電荷泵電路還需要外接電容，在 C-和 C+兩端接值為  $1\mu\text{f}$  的電容， $V_{\text{IN}}$  和  $V_{\text{OUT}}$  端分別接對地的電容，電容值為  $10\mu\text{f}$ 。在第四章的簡化電荷泵原理圖 4-12 中，4 個 MOS 開關要一對互補時鐘控制，PH1、PH3 和 PH4 由 PH 時鐘信號控制，PH2 由 PHBAR 時鐘信號控制，時鐘由主時鐘發生電路提供。

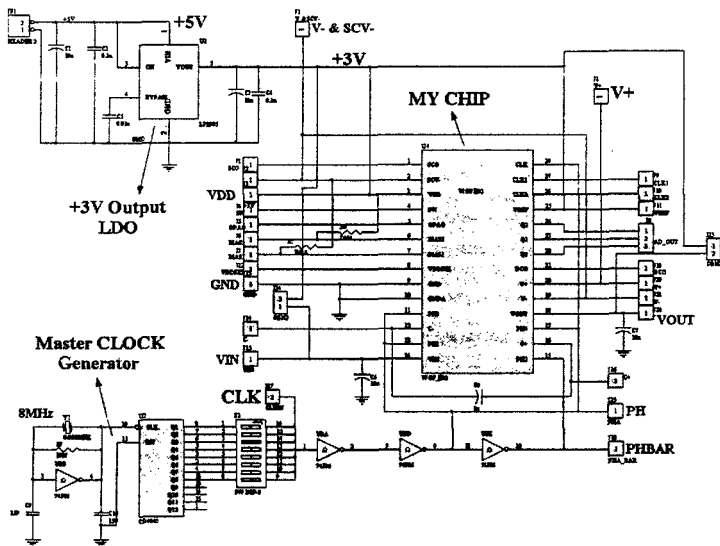


圖 6-2 芯片測試電路原理圖

在主時鐘發生電路中，我們用 8MHz 的晶振和反門組成一個時鐘發生器，8MHz 時鐘經  $2^N$  ( $N$  為 1~12 的整數) 分頻器 CD4040 分頻，由開關選通產生 1MHz 的主時鐘信號 CLK。CLK 經過 3 個反門整形後得到 PH 和 PHBAR 信號，PH 信號不但給電荷泵提供時鐘，還給 ADC 電路提供工作時鐘。值得注意的是，

产生的 PH 和 PHBAR 互补时钟的幅度为+5V, 采用 5V 时钟的原因是从 5V 校准输出的 DC-DC 转换器的实际情况考虑的, 因为转换器稳定时, 电荷泵的时钟幅度就是+5V。

+3V 精准稳压电路为芯片提供稳定的电压  $V_{DD}$ , 并为 ADC 提供参考电压  $V_{REF}$ 。设计该部分电路, 主要是考虑到现有测试设备中的稳压源的输出稳定性达不到要求, 只能保证小数点后面一位的稳定。为  $V_{DD}$  提供稳定电压的原因并不是因为  $V_{DD}$  是电源, 而是为了能够方便的测试静态比较器的特性, 因为比较器一端输入的稳定才能准确的测量出另一端输入变化对比较器的影响。 $V_{REF}$  也是如此, ADC 测量时, 肯定需要一个很精准的参考电压。

### 三 芯片测试用的仪器设备

流片电路工作在低频下, 以模拟电路为主, 需测试的信号都是模拟电压信号或逻辑电平信号, 数字电路中, 也没有特别要求时序的部分, 因此只需要常规的实验测试仪器就可以完成芯片测试。

测试中用到的仪器设备为:

1. 可调直流电源若干,
2. 数字示波器 (Tektronix TDS3032) 一台,
3. 函数发生器 (DF1640) 一台,
4. 数字万用表一只,
5. 带 RJ45 网络传输电缆的 PC 一台,
6. 电烙铁一只,
7. 测试电缆若干,
8. 半导体管特性图示仪(YB4018A)一台。

## 6.2 芯片电路测试

### 6.2.1 简化分数增益电荷泵电路测试

测试时, 用直流稳压电源给管脚  $V_{IN}$  加测试电压, 数字万用表测量  $V_{OUT}$  的值, 用数字示波器观察 C-和 C+的波形。电荷泵的用 PCB 板上的测试时钟 1MHz, 为测试工作时钟对电路影响, 又用函数发生器产生 100KHz、10KHz、1KHz 方

波作为电荷泵的工作时钟，测试  $V_{OUT}$  的结果。

### 一 增益为 2 时的功能测试

按照实际的 DC-DC 转换器应用，输入电压在 2.5V~3.3V 之间时，电荷泵增益为 2。因此我们输入测试电压的范围大致选在 1.0V~3.3V 之间。

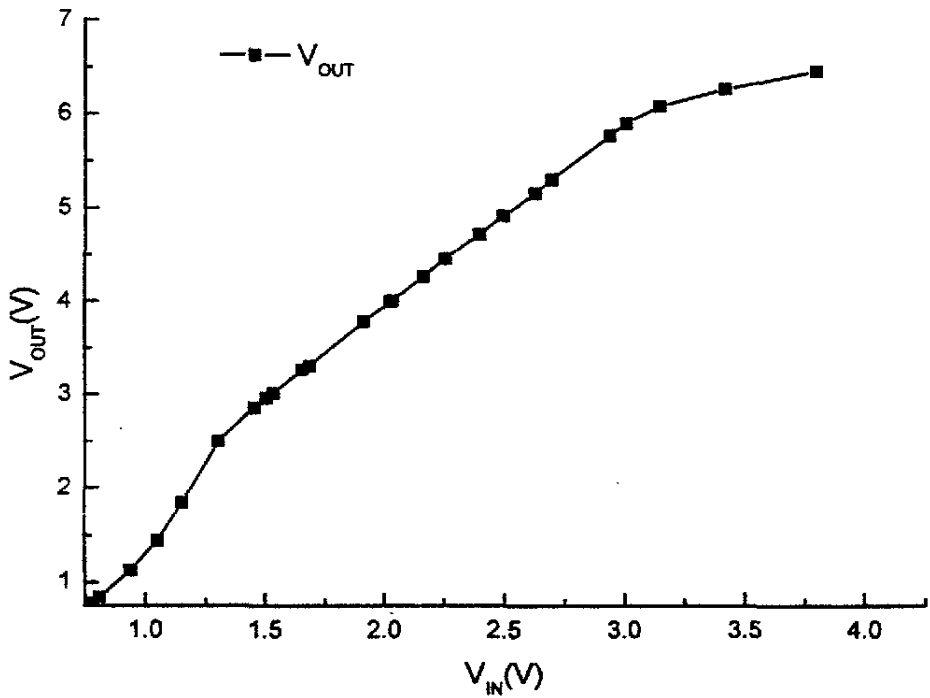


图 6-3  $V_{OUT}$ - $V_{IN}$  曲线 ( $V_{IN}$  在 0.75V~3.80V 取值)

#### 1. CLK 为 1MHz 的测试结果

表 6-2 中给出了  $V_{OUT}$ - $V_{IN}$  的测试数据。

表 6-2 CLK 为 1MHz 时的  $V_{OUT}$ - $V_{IN}$  的测试数据

$V_{IN}$ (V)	$V_{OUT}$ (V)	$V_{IN}$ (V)	$V_{OUT}$ (V)	$V_{IN}$ (V)	$V_{OUT}$ (V)
0.77	0.78	1.65	3.26	2.62	5.15
0.81	0.84	1.68	3.30	2.69	5.30
0.94	1.13	1.91	3.78	2.93	5.76
1.05	1.44	2.02	3.99	3.00	5.89

1.15	1.84	2.03	4.00	3.14	6.07
1.30	2.49	2.16	4.26	3.41	6.25
1.45	2.85	2.25	4.45	3.79	6.44
1.5	2.96	2.39	4.71		
1.53	3.01	2.49	4.91		

图 6-3 给出了  $V_{OUT}$  随  $V_{IN}$  的变化曲线,  $1.5V < V_{IN} < 3.0V$  时,  $V_{OUT}$  保持很好的线性度,  $V_{IN} < 1.5V$  和  $V_{IN} > 3.0V$  时的  $V_{OUT}$  就偏离了线性变化区域。

将  $1.5V < V_{IN} < 3.0V$  的数据取出, 重新画了  $V_{OUT}-V_{IN}$  曲线, 并对曲线进行了线性拟合, 如图 6-4 所示。线性拟合的方程式为

$$V_{OUT} = 1.97089 \cdot V_{IN} \dots\dots\dots (式 6-1)$$

可以看到, 测得的电压增益为 1.97。

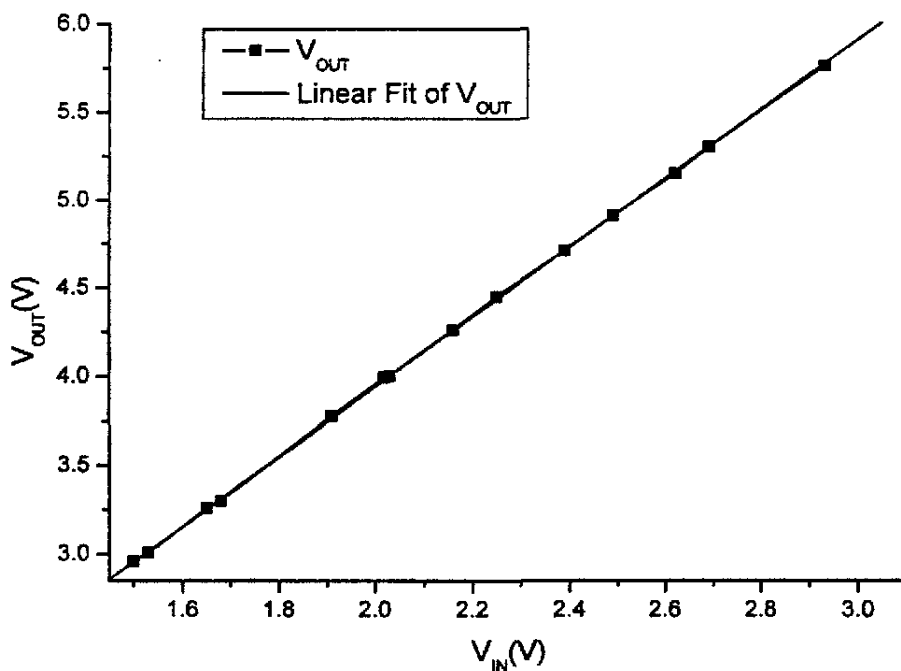


图 6-4  $V_{OUT}-V_{IN}$  曲线 ( $V_{IN}$  在 1.5V~3.0V 取值)

### 2. CLK 为 100KHz 的测试结果

表 6-3 中给出了  $V_{OUT}-V_{IN}$  的测试数据。

表 6-3 CLK 为 100KHz 时的  $V_{OUT}-V_{IN}$  的测试数据

$V_{IN}(V)$	$V_{OUT}(V)$	$V_{IN}(V)$	$V_{OUT}(V)$	$V_{IN}(V)$	$V_{OUT}(V)$
0.86	1.06	2.19	4.38	3.0	5.97
1.10	2.04	2.43	4.85	3.08	6.06
1.31	2.60	2.61	5.22	3.12	6.09
1.58	3.16	2.63	5.24	3.48	6.30
1.88	3.75	2.99	5.96		

图 6-5 给出了  $V_{OUT}$  随  $V_{IN}$  的变化曲线,  $1.3V < V_{IN} < 3.0V$  时,  $V_{OUT}$  保持很好的线性度,  $V_{IN} < 1.3V$  和  $V_{IN} > 3.0V$  时的  $V_{OUT}$  偏离了线性变化区域。

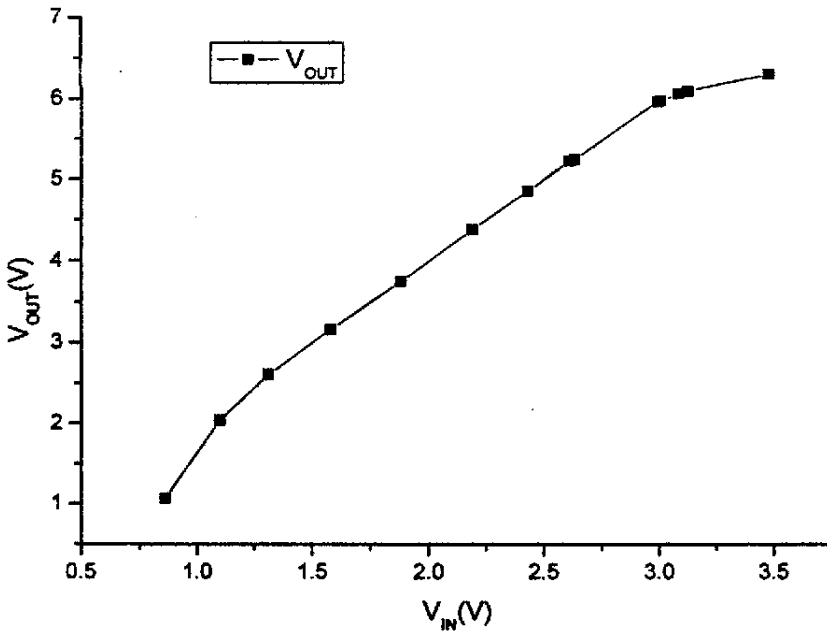


图 6-5  $V_{OUT}-V_{IN}$  曲线 ( $V_{IN}$  在 0.85V~3.50V 取值)

将  $1.3V < V_{IN} < 3.0V$  的数据取出, 重新画了  $V_{OUT}-V_{IN}$  曲线, 并对曲线进行了线性拟合, 如图 6-6 所示。线性拟合的方程式为

$$V_{OUT} = 1.99315 \cdot V_{IN} + 0.00346 \dots \dots \dots \text{(式 6-2)}$$

可以看到，测得的电压增益为 1.99，（式 6-2）中的常数项很小可以忽略。

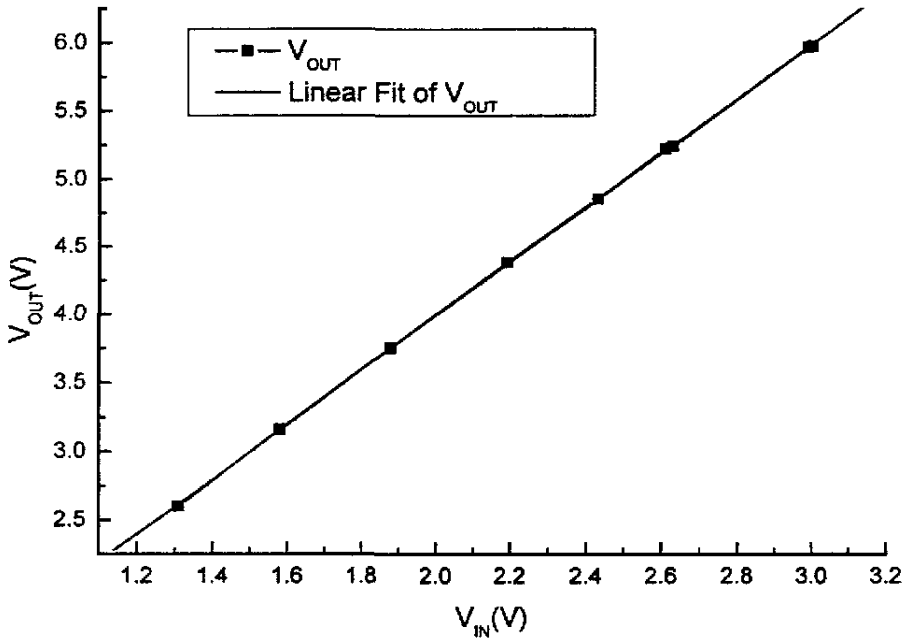


图 6-6  $V_{OUT}$ - $V_{IN}$  曲线 ( $V_{IN}$  在 1.3V~3.0V 取值)

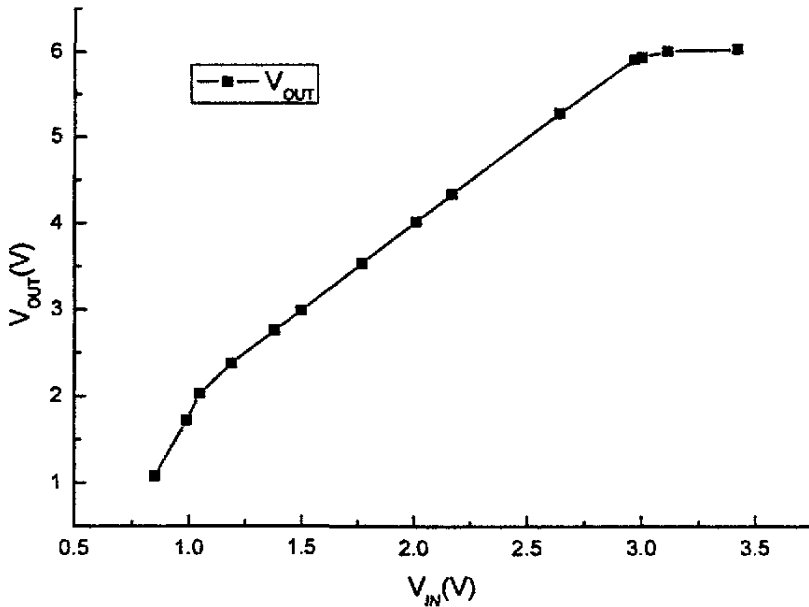


图 6-7  $V_{OUT}$ - $V_{IN}$  曲线 ( $V_{IN}$  在 0.85V~3.50V 取值)

### 3. CLK 为 10KHz 的测试结果

表 6-4 中给出了  $V_{OUT}-V_{IN}$  的测试数据。

表 6-4 CLK 为 10KHz 时的  $V_{OUT}-V_{IN}$  的测试数据

$V_{IN}(V)$	$V_{OUT}(V)$	$V_{IN}(V)$	$V_{OUT}(V)$	$V_{IN}(V)$	$V_{OUT}(V)$
0.85	1.08	1.50	2.99	2.97	5.91
0.99	1.72	1.77	3.54	3.00	5.94
1.05	2.03	2.01	4.02	3.11	6.01
1.19	2.38	2.17	4.34	3.42	6.03
1.38	2.76	2.64	5.28		

图 6-7 给出了  $V_{OUT}$  随  $V_{IN}$  的变化曲线,  $1.1V < V_{IN} < 3.0V$  时,  $V_{OUT}$  保持很好的线性度,  $V_{IN} < 1.1V$  和  $V_{IN} > 3.0V$  时的  $V_{OUT}$  偏离了线性变化区域。

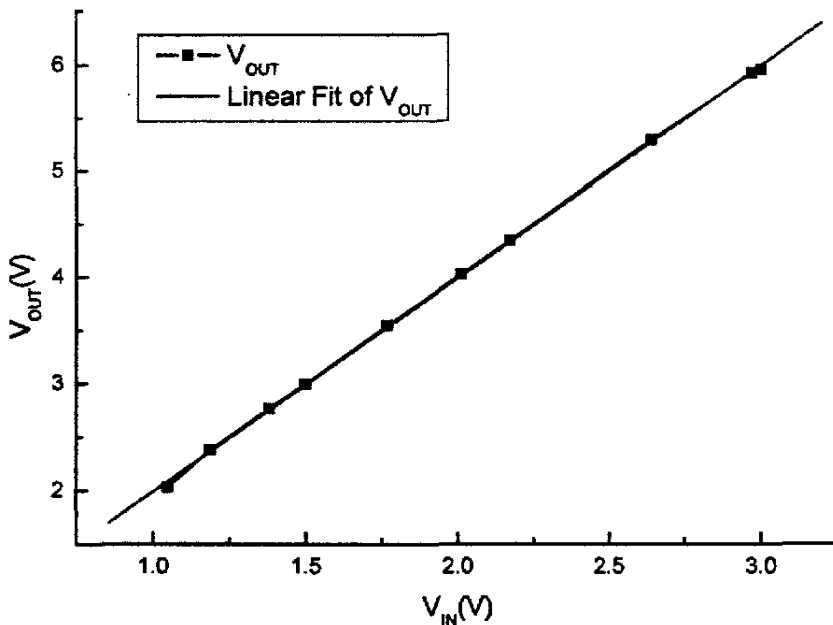


图 6-8  $V_{OUT}-V_{IN}$  曲线 ( $V_{IN}$  在  $1.05V \sim 3.0V$  取值)

将  $1.10V < V_{IN} < 3.0V$  的数据取出, 重新画了  $V_{OUT}-V_{IN}$  曲线, 并对曲线进行了线性拟合, 如图 6-8 所示. 线性拟合的方程式为

$$V_{OUT} = 1.99501 \cdot V_{IN} - 0.00718 \dots \dots \dots \text{(式 6-3)}$$

可以看到, 测得的电压增益为 1.995, (式 6-3) 中的常数项很小可以忽略。



#### 4. CLK 为 1KHz 的测试结果

表 6-5 中给出了  $V_{OUT}$ - $V_{IN}$  的测试数据。

表 6-5 CLK 为 1KHz 时的  $V_{OUT}$ - $V_{IN}$  的测试数据

$V_{IN}(V)$	$V_{OUT}(V)$	$V_{IN}(V)$	$V_{OUT}(V)$	$V_{IN}(V)$	$V_{OUT}(V)$
0.88	1.16	2.20	4.40	2.90	5.77
1.01	1.95	2.39	4.78	3.00	5.87
1.21	2.42	2.57	5.13	3.10	5.92
1.27	2.54	2.78	5.55	3.19	5.92
1.05	2.07	2.82	5.64	3.35	5.94
1.78	3.56	2.86	5.72		
1.99	3.98	2.88	5.75		

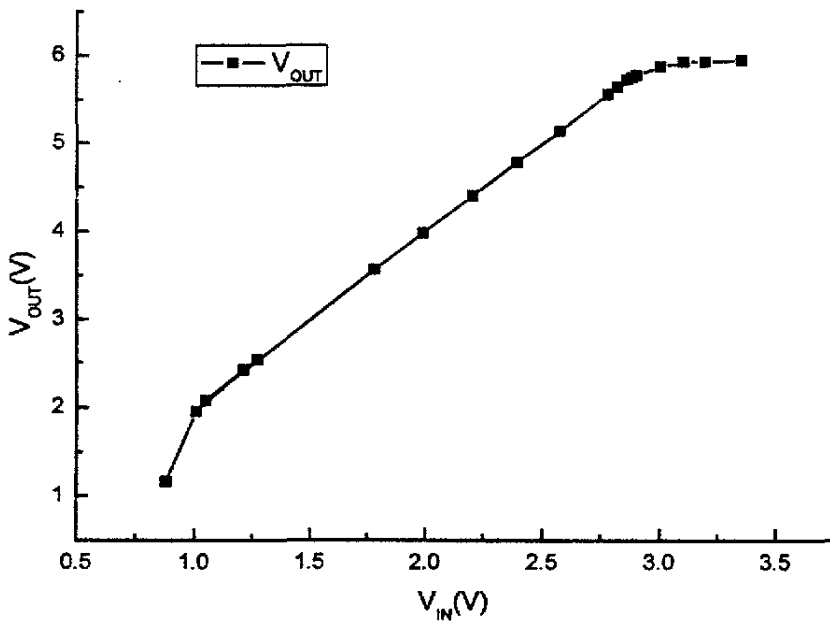


图 6-9  $V_{OUT}$ - $V_{IN}$  曲线 ( $V_{IN}$  在 0.85V~3.40V 取值)

图 6-9 给出了  $V_{OUT}$  随  $V_{IN}$  的变化曲线,  $1.0V < V_{IN} < 2.9V$  时,  $V_{OUT}$  保持很好的线性度,  $V_{IN} < 1.0V$  和  $V_{IN} > 2.9V$  时的  $V_{OUT}$  就偏离了线性变化区域。

将  $1.0V < V_{IN} < 2.9V$  的数据取出, 重新画了  $V_{OUT}$ - $V_{IN}$  曲线, 并对曲线进行了线性拟合, 如图 6-10 所示。线性拟合的方程式为

$$V_{OUT} = 2.00972 \cdot V_{IN} - 0.03205 \dots\dots\dots (式 6-4)$$

可以看到，测得的电压增益为 2.01，(式 6-4) 中的常数项可以忽略。

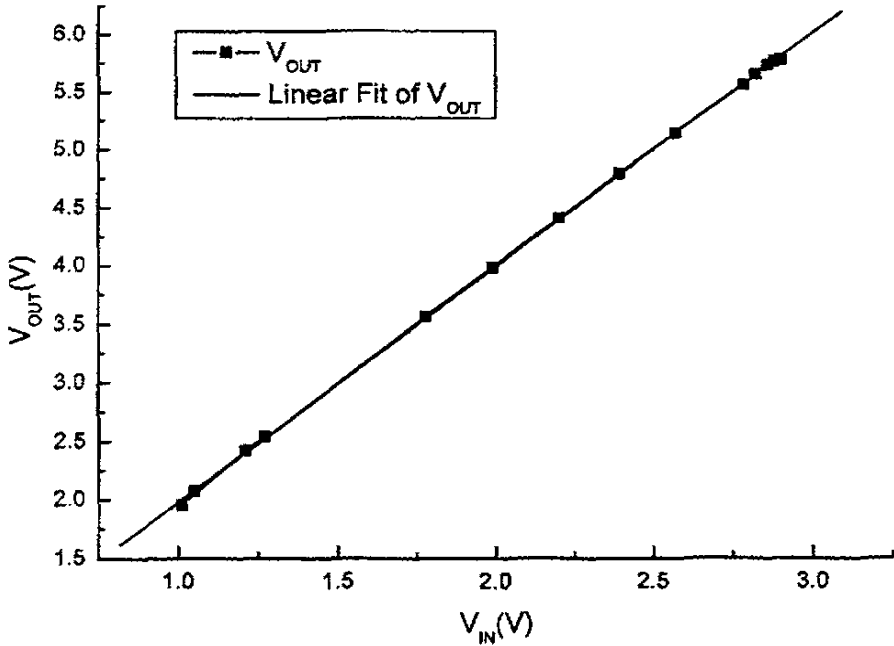


图 6-10 V<sub>OUT</sub>-V<sub>IN</sub> 曲线 (V<sub>IN</sub> 在 1.0V~3.9V 取值)

## 二 增益为 1/2 时的功能测试

测试 1/2 增益时，如前所述，无需改变电路形式，只要将输入测试电压加在 V<sub>OUT</sub> 端，测量管脚 V<sub>IN</sub> 的电压即可。为了和上面的测量结果有所区别，我们将加在管脚 V<sub>OUT</sub> 上的电压称为 V<sub>in</sub>，V<sub>IN</sub> 的输出结果称为 V<sub>out</sub>，下面的测试数据和图表都将沿用该称谓。

我们加在 V<sub>OUT</sub> 脚的输入测试电压的取值范围取在 1.0V~6.4V 之间时，这个范围已经足够覆盖锂电池供电电路的正常工作范围。

### 1. CLK 为 1MHz 的测试结果

表 6-6 中给出了 V<sub>out</sub>-V<sub>in</sub> 的测试数据。

表 6-6 CLK 为 1MHz 时的 V<sub>out</sub>-V<sub>in</sub> 的测试数据

V <sub>in</sub> (V)	V <sub>out</sub> (V)	V <sub>in</sub> (V)	V <sub>out</sub> (V)	V <sub>in</sub> (V)	V <sub>out</sub> (V)
1.0	2.0	1.2	2.5	1.8	3.5
2.0	4.0	2.2	4.4	2.4	4.8
2.6	5.2	2.8	5.6	3.0	5.8

0.84	0.79	2.63	1.33	4.58	2.29
1.13	0.92	2.91	1.46	5.05	2.54
1.35	0.99	3.0	1.51	5.33	2.68
1.59	1.06	3.30	1.65	5.64	2.84
1.98	1.14	3.79	1.90	6.02	3.04
2.19	1.19	3.38	1.69	6.38	3.35
2.44	1.26	4.11	2.06		

图 6-11 给出了  $V_{out}$  随  $V_{in}$  的变化曲线,  $2.5V < V_{in} < 6.0V$  时,  $V_{out}$  保持很好的线性度,  $V_{in} < 2.5V$  和  $V_{in} > 6.0V$  时的  $V_{out}$  就偏离了线性变化区域。

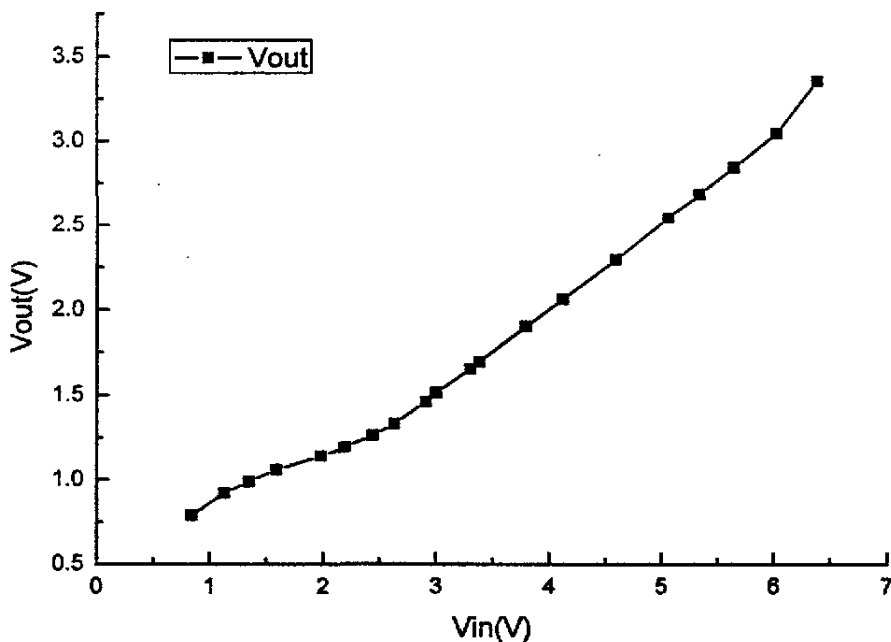


图 6-11  $V_{out}$ - $V_{in}$  曲线 ( $V_{in}$  在  $0.8V \sim 6.4V$  取值)

将  $2.5V < V_{in} < 6.0V$  的数据取出, 重新画了  $V_{out}$ - $V_{in}$  曲线, 并对曲线进行了线性拟合, 如图 6-12 所示。线性拟合的方程式为

$$V_{out} = 0.50511 \cdot V_{in} - 0.01117 \dots\dots\dots (式 6-5)$$

可以看到，测得的电压增益为 0.505，（式 6-5）中的常数项可以忽略。

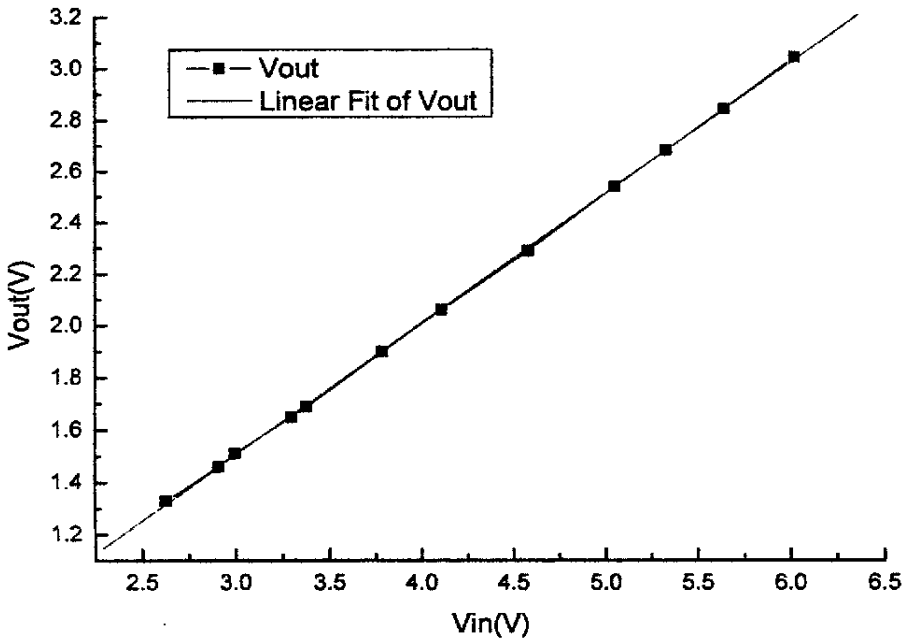


图 6-12  $V_{out}$ - $V_{in}$  曲线 ( $V_{in}$  在 2.5V~6.0V 取值)

## 2. CLK 为 100KHz 的测试结果

表 6-7 中给出了  $V_{out}$ - $V_{in}$  的测试数据。

表 6-7 CLK 为 100KHz 时的  $V_{out}$ - $V_{in}$  的测试数据

$V_{in}(V)$	$V_{out}(V)$	$V_{in}(V)$	$V_{out}(V)$	$V_{in}(V)$	$V_{out}(V)$
1.34	0.93	2.58	1.29	4.48	2.24
1.84	1.04	2.90	1.45	4.95	2.47
2.12	1.10	3.0	1.50	5.38	2.69
2.24	1.13	3.17	1.58	5.98	2.99
2.29	1.15	3.42	1.71	6.15	3.11
2.34	1.17	3.93	1.96		

图 6-13 给出了  $V_{out}$  随  $V_{in}$  的变化曲线， $2.3V < V_{in} < 6.0V$  时， $V_{out}$  保持很好的线性度， $V_{in} < 2.3V$  和  $V_{in} > 6.0V$  时的  $V_{out}$  就偏离了线性变化区域。

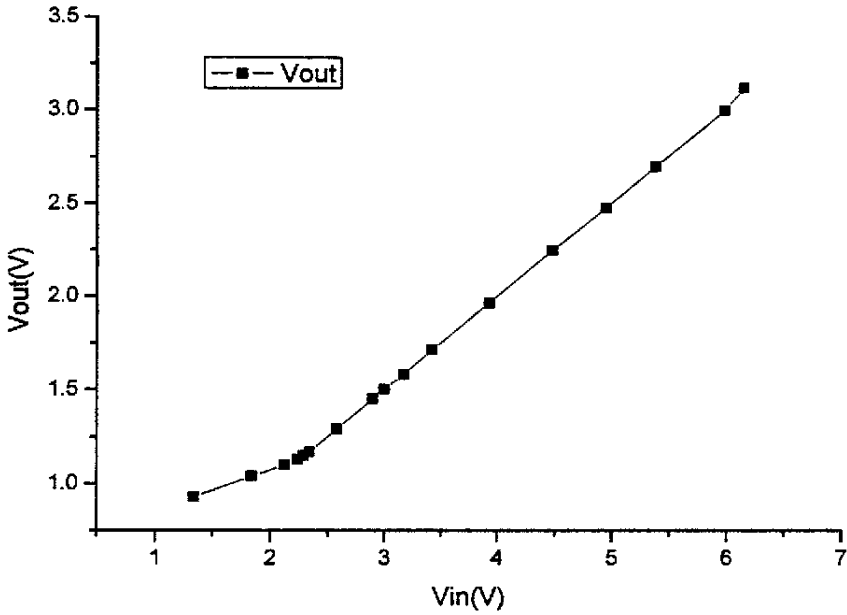


图 6-13  $V_{out}$ - $V_{in}$  曲线 ( $V_{in}$  在 1.3V~6.2V 取值)

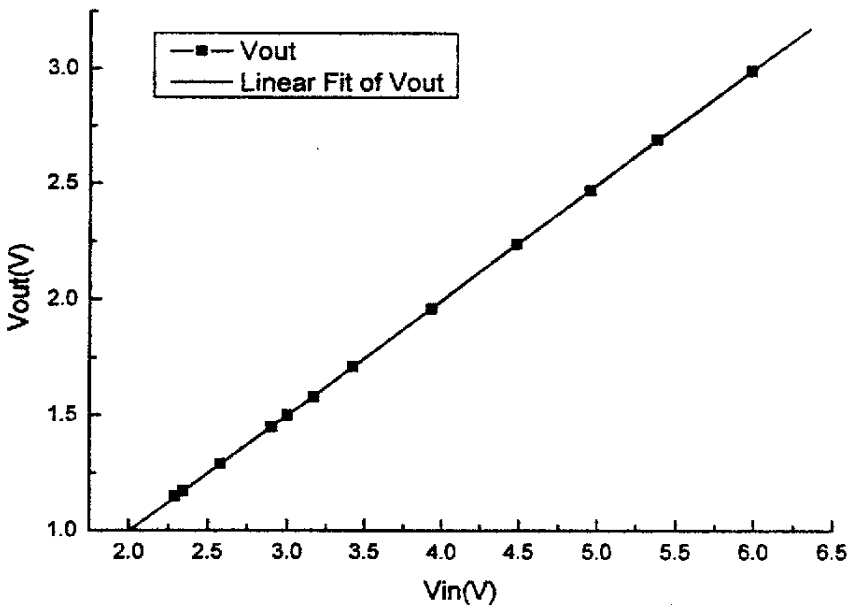


图 6-14  $V_{out}$ - $V_{in}$  曲线 ( $V_{in}$  在 2.3V~6.0V 取值)

将  $2.3V < V_{in} < 6.0V$  的数据取出, 重新画了  $V_{out}$ - $V_{in}$  曲线, 并对曲线进行了线性

拟合，如图 6-14 所示。线性拟合的方程式为

$$V_{out} = 0.4993 \cdot V_{in} - 0.00176 \dots\dots\dots (式 6-6)$$

可以看到，测得的电压增益为 0.499，(式 6-6) 中的常数项可以忽略。

### 3. CLK 为 10KHz 的测试结果

表 6-8 中给出了  $V_{out}-V_{in}$  的测试数据。

表 6-8 CLK 为 10KHz 时的  $V_{out}-V_{in}$  的测试数据

$V_{in}(V)$	$V_{out}(V)$	$V_{in}(V)$	$V_{out}(V)$	$V_{in}(V)$	$V_{out}(V)$
1.12	0.81	3.00	1.50	5.41	2.70
1.31	0.86	3.11	1.55	5.72	2.86
1.78	0.97	3.41	1.71	5.75	2.87
1.96	1.00	3.80	1.89	5.79	2.88
2.03	1.02	4.22	2.11	5.96	2.99
2.17	1.08	4.63	2.32	6.16	3.29
2.40	1.20	4.91	2.45		
2.78	1.39	5.15	2.57		

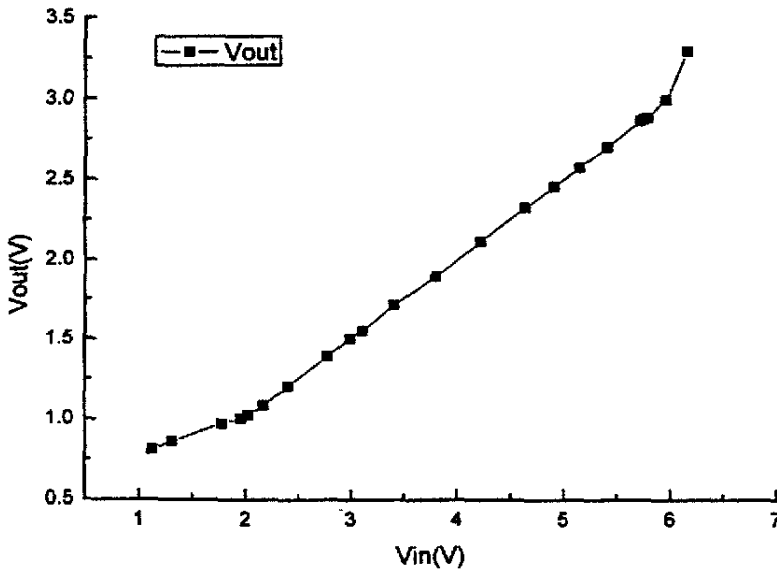


图 6-15  $V_{out}-V_{in}$  曲线 ( $V_{in}$  在 1.3V~6.2V 取值)

图 6-15 给出了  $V_{out}$  随  $V_{in}$  的变化曲线,  $2.0V < V_{in} < 5.9V$  时,  $V_{out}$  保持很好的线性度,  $V_{in} < 2.0V$  和  $V_{in} > 5.9V$  时的  $V_{out}$  就偏离了线性变化区域。

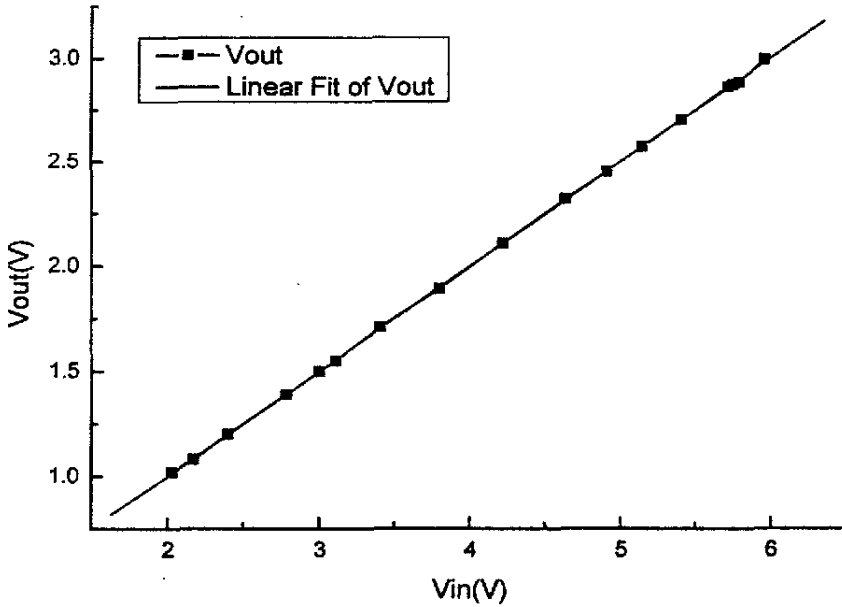


图 6-16  $V_{out}$ - $V_{in}$  曲线 ( $V_{in}$  在  $2.0V \sim 5.9V$  取值)

将  $2.0V < V_{in} < 5.9V$  的数据取出, 重新画了  $V_{out}$ - $V_{in}$  曲线, 并对曲线进行了线性拟合, 如图 6-16 所示。线性拟合的方程式为

$$V_{out} = 0.49924 \cdot V_{in} + 0.00138 \dots \dots \dots \text{(式 6-7)}$$

可以看到, 测得的电压增益为 0.499, (式 6-7) 中的常数项可以忽略。

#### 4. CLK 为 1KHz 的测试结果

表 6-9 中给出了  $V_{out}$ - $V_{in}$  的测试数据。

表 6-9 CLK 为 1KHz 时的  $V_{out}$ - $V_{in}$  的测试数据

$V_{in}(V)$	$V_{out}(V)$	$V_{in}(V)$	$V_{out}(V)$	$V_{in}(V)$	$V_{out}(V)$
1.08	0.77	3.38	1.70	5.26	2.63
1.32	0.75	3.54	1.78	5.55	2.77
1.55	0.86	3.93	1.97	5.73	2.86
1.85	0.92	4.21	2.10	5.88	2.99
1.96	0.97	4.44	2.22	5.96	3.15

2.28	1.14	4.58	2.29	6.04	3.47
2.58	1.29	4.74	2.38		
3.0	1.50	5.00	2.50		

图 6-17 给出了  $V_{out}$  随  $V_{in}$  的变化曲线,  $1.9V < V_{in} < 5.8V$  时,  $V_{out}$  保持很好的线性度,  $V_{in} < 1.9V$  和  $V_{in} > 5.8V$  时的  $V_{out}$  就偏离了线性变化区域。

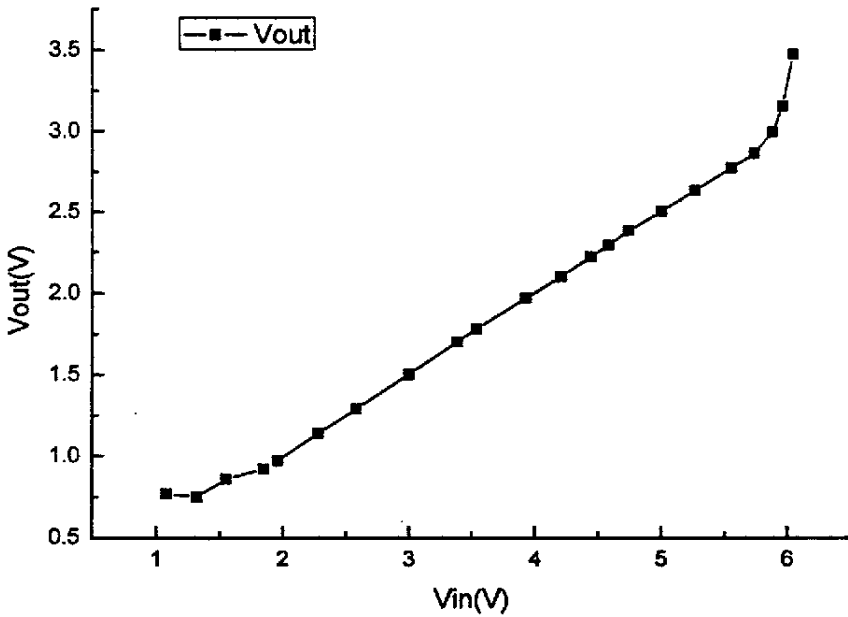


图 6-17  $V_{out}$ - $V_{in}$  曲线 ( $V_{in}$  在  $1.0V \sim 6.1V$  取值)

将  $1.9V < V_{in} < 5.8V$  的数据取出, 重新画了  $V_{out}$ - $V_{in}$  曲线, 并对曲线进行了线性拟合, 如图 6-18 所示。线性拟合的方程式为

$$V_{out} = 0.49995 \cdot V_{in} + 0.00085 \dots\dots\dots (式 6-8)$$

可以看到, 测得的电压增益为 0.500, (式 6-8) 中的常数项可忽略。

### 三 电荷泵工作状态的观测

#### 1. 电荷泵电容的极板电压状态

电荷泵电容的极板 C-和 C+ 的电压状态用示波器观察, 图 6-19 给出了增益为 2, 工作时钟 1MHz, 输入电压为 2.49V 时的电容正负极板的波形图。波形图中, 标号 1 的波形是电容下极板 C- 信号波形, 标号 2 的波形是 C+ 信号波形。可以清



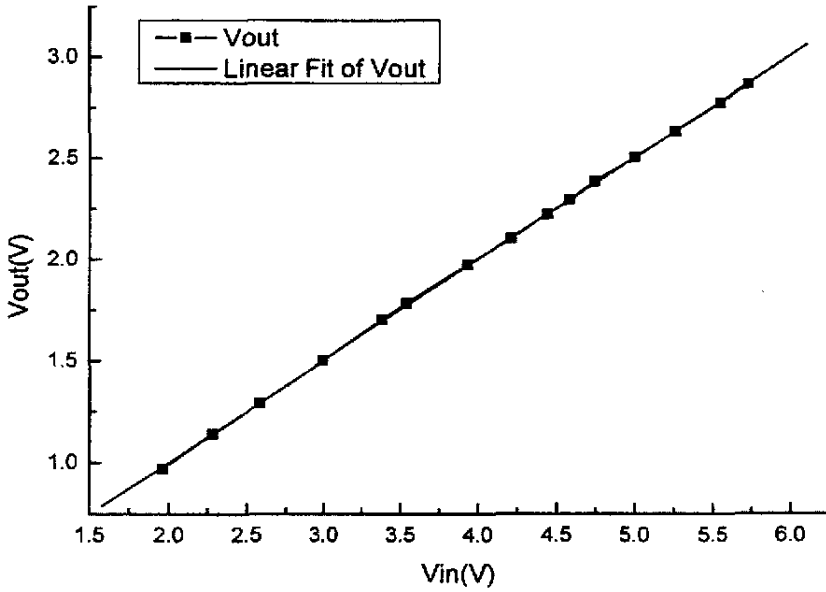


图 6-18  $V_{out}$ - $V_{in}$  曲线 ( $V_{in}$  在 1.9V~5.8V 取值)

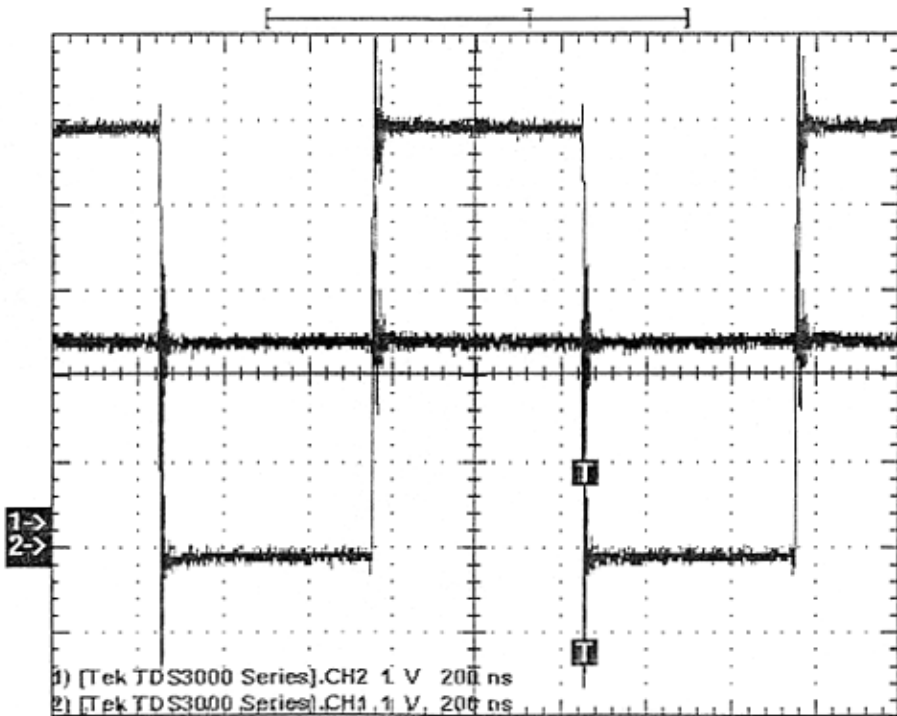


图 6-19 电荷泵增益为 2 电容极板 C-和 C+的波形观察

楚的看到电荷泵稳定工作后，在不同相位时电容上下极板的电压变化，电容两端

的电压时钟保持在 2.4V 左右。在 C-的低电平为 0，高电平为 2.4V，C+对应的电平为 2.4V 和 4.9V，开关就是将 4.9V 电压传递到  $V_{OUT}$ ，该结果和表 6-2 中电压表测得的结果是一致的。电荷泵增益为 1/2 时，图 6-20 给出了工作时钟 1MHz 下，该增益时， $V_{OUT}$  端加 4.58V 电压时的电容上下极板的波形图，C-的高低电平为 2.3V 和 0V，C+的为 4.58V 和 2.3V，电路通过开关将 2.3V 电压传到  $V_{IN}$  端。

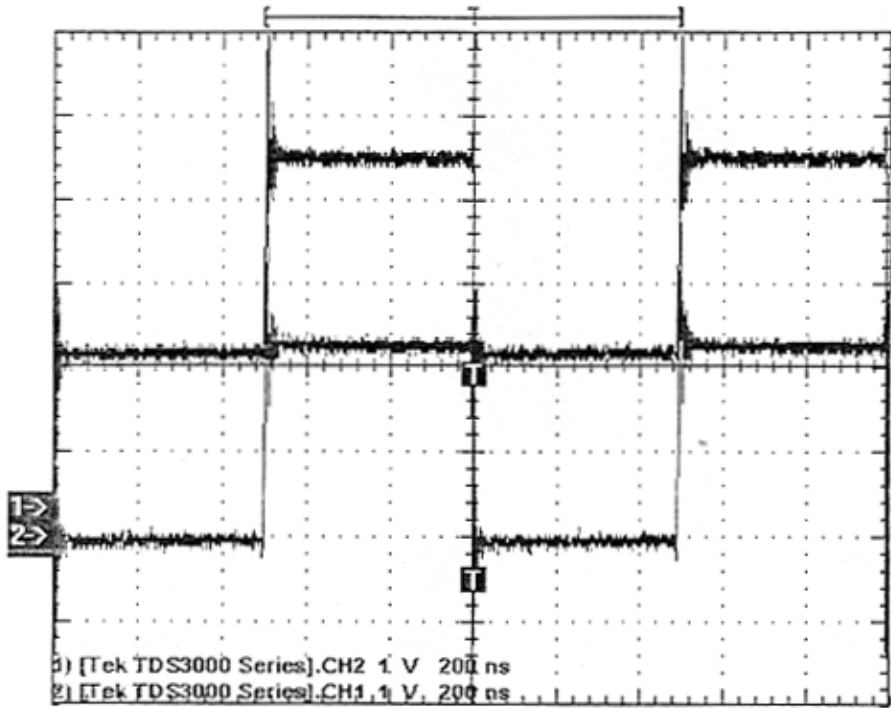


图 6-20 电荷泵增益为 1/2 电容极板 C-和 C+的波形观察

比较图 6-19 和 6-20 的波形，可以看到二者除电平值以外，形状完全一样，这是因为在电荷泵稳态工作时，不管输入电压从哪个管脚引入，总归有  $V_{IN}$  端的电压是  $V_{OUT}$  端电压的 1/2，因此 C-和 C+的波形形状一样，这也是我们可以不改变电荷泵开关管的时钟相位就能同时测量 2 和 1/2 增益的最主要原因。

## 2. 电压输出波形

图 6-21 给出了 1MHz 工作时钟下，增益为 2，输入测试电压为 3V 时的  $V_{OUT}$  端和 C-端的波形。标号 1 的波形是 C-端波形，标号 2 的波形是  $V_{OUT}$  端的波形，可以看到在 C-电平发生跳变后的瞬间（大约 40ns）， $V_{OUT}$  的电平上会发生大范围电平抖动，这个抖动缘自电容跳变后极板电压的抖动，在图 6-19 和 6-20 中也可以观察到这个情况。这说明电荷泵的开关 MOS 管给接在 C-和 C+之间的电容

充电和放电时，有一个时域上的欠阻尼振荡过程，这个在设计中没有考虑过，仿真中也没有出现类似问题，出现这种现象的原因还不清楚。

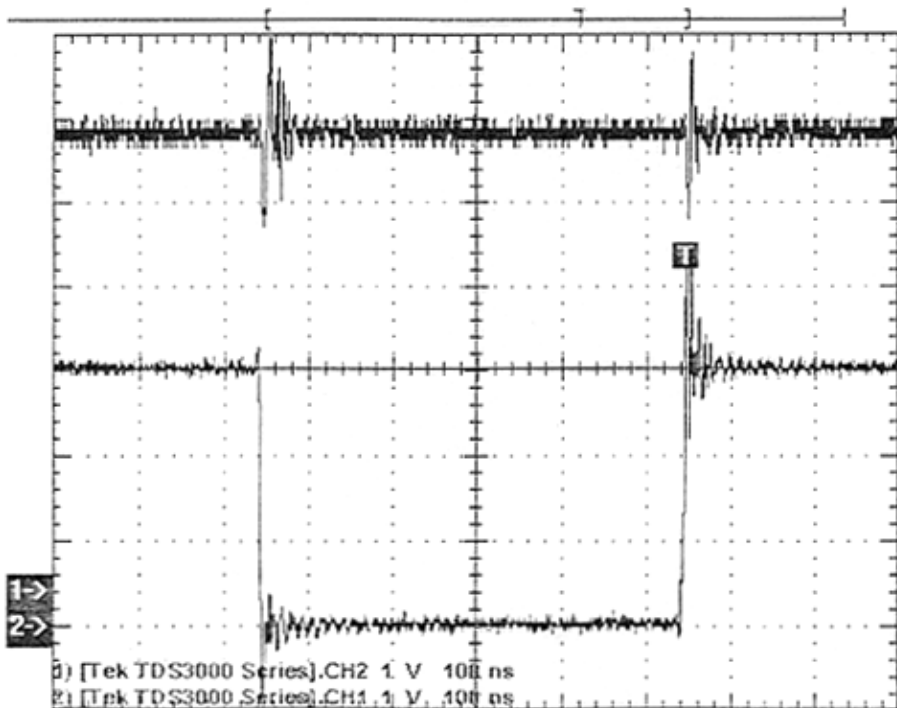


图 6-21 电荷泵输出电压波形

另外需要指出的是，这个抖动不属于我们电路设计中的纹波。我们考虑的纹波是指，电荷泵在接电阻负载时，输出电容给电阻负载提供电流而引起输出电压的波动，因此纹波和工作时钟是同频率的。

还可以从输出波形上看到很多更高频率的杂波干扰信号，这些干扰是源于时钟的高次谐波和线路上的热噪声，以及空间的各种噪声干扰，这些都是无法回避的干扰。

不考虑输出波形上的欠阻尼振荡和噪声干扰，输出电压波形还是比较笔直的，和我们预想的结果相同，电压值和我们在表 6-2 中的测量值一致。

#### 四 电荷泵的驱动能力测试

因为应用的需要，我们只测试了电荷泵增益为 2 时的电荷泵驱动能力。测试条件为， $V_{IN}$  端加稳定电压 3.0V，在  $V_{OUT}$  端接入不同大小的电阻，测试输出电压的变化。当  $V_{OUT}$  电压降到空载输出电压的 90% 约 5.4V 时，此时的输出电流即为最大驱动电流  $I_{outMAX}$ ，接入的电阻为最小负载电阻  $R_{LMIN}$ ，测试时的工作时

钟为 100KHz。表 6-10 给出了测试数据。图 6-22 给出了  $V_{OUT}$ - $R_L$  数据曲线

表 6-10 电荷泵驱动能力测试数据

$R_L(\Omega)$	$V_{OUT}(V)$	$R_L(\Omega)$	$V_{OUT}(V)$	$R_L(\Omega)$	$V_{OUT}(V)$
100	2.93	650	5.19	5.1K	5.87
200	4.00	700	5.27	18K	5.96
300	4.53	800	5.35	200K	5.98
400	4.82	900	5.41	$\infty$	5.98
500	4.82	1K	5.46		
600	5.17	1.1K	5.54		

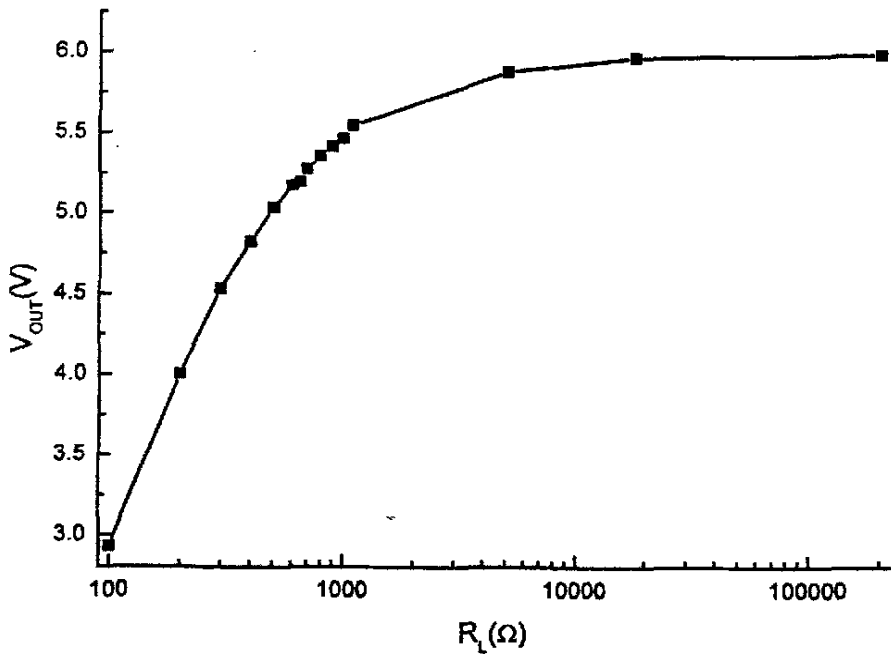


图 6-22 输出电压随负载电阻的变化曲线

根据测量结果，

$$\bar{R}_{LMIN} = 900\Omega \dots\dots\dots (式 6-9)$$

$$I_{outMAX} = \frac{0.9 \cdot V_{OUT}}{R_{LMIN}} = \frac{5.4V}{900\Omega} = 6mA \dots\dots\dots (式 6-10)$$

## 五 电荷泵开关 MOS 管特性测试

MOS 管特性的测试采用半导体管特性图示仪, 该设备是专门测试晶体管特性的。我们测试了电荷泵电路中用到的大宽长比开关 MOS 管的输出特性。

### 1. NMOS 输出特性测试

测得的输出特性曲线如图 6-23 所示。



图 6-23 NMOS 输出特性曲线

图示仪的面板设置为, Y 轴方向代表 MOS 管的导通电流  $I_D$ , 每格刻度代表 50mA; X 轴方向代表管子的漏源电压  $V_{DS}$ , 每格刻度代表 0.5V。每条曲线代表一个  $V_{GS}$ ,  $\Delta V_{GS} = 100\mu A \times 10K\Omega = 1V$ 。

由 NMOS 管的输出特性曲线, 可以得到最小开关导通电阻为,

$$R_{DS(on)} \cong \frac{\Delta V_{DS}}{\Delta I_D} = \frac{2.0 \times 0.5V}{5 \times 50mA} = 4\Omega \dots\dots\dots \text{(式 6-11)}$$

NMOS 管的最大跨导为:

$$g_m = \frac{\Delta I_D}{\Delta V_{GS}} = \frac{(250-125)mA}{1V} = 125\mu S \dots\dots\dots \text{(式 6-12)}$$

增加  $V_{DS}$  看曲线变化, 得到 NMOS 的漏源击穿电压 BV 为 6V~8V 之间。

### 2. PMOS 输出特性测试

我们测试的 PMOS 管的宽长比  $W/L=2688/1$ , 图 6-24 给出了输出特性曲线。

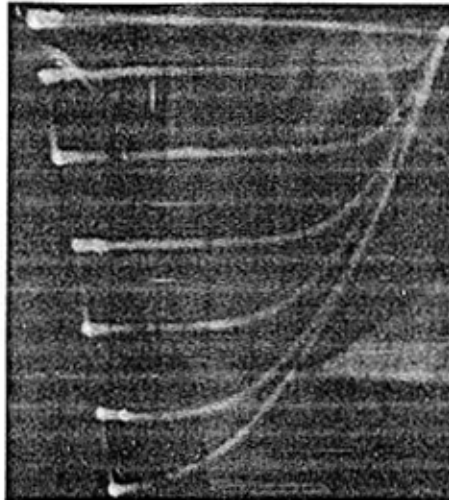


图 6-24 PMOS 输出特性曲线

图示仪面板设置为，Y 方向刻度每格代表 50mA；X 方向刻度每格代表 1V。

$\Delta V_{GS}$  和 NMOS 测试条件相同为 1V。

和 NMOS 管测试原理相同，PMOS 管的最小开关导通电阻为：

$$R_{DS(on)} \cong \frac{\Delta V_{DS}}{\Delta I_D} = \frac{1 \times 1V}{3 \times 50mA} = 6.7\Omega \dots\dots\dots \text{(式 6-13)}$$

PMOS 管的最大跨导：

$$g_m = \frac{\Delta I_D}{\Delta V_{GS}} = \frac{(210-130)mA}{1V} = 80\mu S \dots\dots\dots \text{(式 6-14)}$$

PMOS 管的漏源击穿电压  $BV \cong 9.6V > 9V$ 。

## 六 电荷泵电路测试结果小结

### 1. 功能测试小结

根据对电荷泵增益的测试，无论是增益为 2 还是增益为 1/2，在测试给定的输入电压范围内，输出电压在一个范围内保持了很好的线性度，而且在此线性范围内，电路能够很好的实现预期的设计增益。电荷泵的线性工作范围，随工作时钟的频率降低，线性工作的电压范围变宽，并有向低电压方向移动的趋势。

整个测试条件下，线性工作的范围， $V_{OUT}$  端为 2.5V~5.8V（增益为 1/2）， $V_{IN}$  端为 1.25V~2.9V（增益为 2）。这个范围能够覆盖锂电池或镍镉电荷的正常供电范围，并且满足 5V 稳压 DC-DC 的应用。

## 2. 输出稳定性小结

在负载电容采用  $10\mu\text{f}$  的情况下, 我们得到了稳定的低纹波电压输出。但是同时在输出电压波形上观察到有规律的电压抖动, 该抖动源于电荷泵充放电电容两个极板电平跳变时短暂的时域上的欠阻尼振荡, 暂时还不清楚该振荡的产生原因。

另外输出电压上叠加了很多无法在线路板上克服的高次谐波和外界诸如热噪声和散弹噪声等的噪声干扰。

## 3. 驱动能力小结

电荷泵在  $100\text{KHz}$  工作时钟下, 2 倍增益时的最大驱动电流为  $6\text{mA}$ , 该值稍稍低于我们的设计驱动能力  $6.25\text{mA}$ 。可以估计工艺条件对理论值的影响, 测试结果比理论结果下降了:

$$\frac{6.25-6}{6.25} \times 100\% = 4\% \dots\dots\dots \text{(式 6-15)}$$

和仿真的结果一样, 我们改变工作时钟, 电荷泵的驱动能力的确没有发生明显的变化。

$6\text{mA}$  的驱动电流驱动多个白光 LED 显然是不够的。测试中, 我们用电荷泵驱动一个正向电压为  $2.8\text{V}$  的蓝光 LED, LED 串联电阻取  $500\Omega$ , LED 发的蓝光还是比较亮的。要增加电荷泵的驱动能力, 在第四章中我们讲到可以增加开关管 MOS 的宽长比, 修改电荷泵结构, 图 4-1 的电荷泵可以将驱动电流增加到  $135\text{mA}$ 。根据 (式 6-15), 我们至少可以保证  $100\text{mA}$  的驱动能力。

## 4. 开关管特性小结

我们得到了比较令人满意的 MOS 管传输特性曲线, 在我们期望的应用条件  $|V_{\text{GS}}| = 5\text{V}$  下, 开关管能够保持完整的从截止到饱和的传输特性曲线, 也就能保证设计的 MOS 管能够顺利跳过工作时钟跳变时短暂的饱和态, 进入到线性区实现开关功能。

PMOS 管能够承受较高的源漏电压 (大于  $9\text{V}$ ), NMOS 管的漏源击穿电压明显比 PMOS 管的小, 但是也能达到  $6\text{V}$  以上, 这个范围高于我们设计的电荷泵的输出电压, 可以保证电荷泵工作过程中 MOS 管不被击穿。

但是, MOS 管的开关导通电阻比较大, 其中 NMOS 管的开关导通电阻大于  $4\Omega$ , PMOS 管的开关导通电阻大于  $6.7\Omega$ 。这就限制了电荷泵电路在大电流工作

下的電壓轉換效率，因為大的導通電阻意味着，電壓在從開關管的一端傳到另一端的過程中，有比較多的能量耗在了開關的導通電阻上，雖然這個過程可能會很短，但是能量損耗對於有較大電流流過大的導通電阻時就不能不予以考慮。

## 6.2.2 背柵壓產生電路測試

### 一 測試數據

背柵壓產生電路中最主要的模塊是靜態比較器電路，我們給比較器的正端輸入  $V_{DD}$  接入精準穩壓電平 3V，比較器的負端 SVC-接入可調的直流電壓，然後用數字萬用表測量背柵壓產生電路的其它引出管腳的電平。表 6-11 給出這些管腳的測量數據。

表 6-11 背柵壓產生電路個管腳隨 SVC-變化的測量數據

SCV(V)	AMSEL(V)	B <sub>IAS2</sub> (V)	B <sub>IAS1</sub> (V)	OPAO(V)	SW(V)	V <sub>BULK</sub> (V)
0	0	1.03	0	0.01	3.0	3.0
0.53	0	1.03	0.50	0.01	3.0	3.0
1.08	0	1.04	0.87	0.01	3.0	3.0
1.57	0	1.04	1.00	0.02	3.0	3.0
2.03	0	1.04	1.09	0.02	3.0	3.0
2.55	0	1.04	1.16	0.03	3.0	3.0
2.94	0	1.04	1.21	0.03	3.0	3.0
3.0	0	1.04	1.22	0.03	3.0	3.0
3.02	3.02	1.04	1.22	2.99	0	3.02
3.53	3.53	1.04	1.28	3.48	0	3.53
3.99	3.99	1.05	1.33	3.95	0	3.99
4.57	4.57	1.09	1.39	4.51	0	4.57
5.07	5.06	1.12	1.43	5.02	0	5.07
5.55	5.55	1.15	1.48	5.50	0	5.55
4.98	4.98	1.12	1.43	4.94	0	4.98
4.54	4.54	1.09	1.39	4.50	0	4.54
4.05	4.05	1.06	1.34	4.01	0	4.05



下的电压转换效率,因为大的导通电阻意味着,电压在从开关管的一端传到另一端的过程中,有比较多的能量耗在了开关的导通电阻上,虽然这个过程可能会很短,但是能量损耗对于有较大电流流过大的导通电阻时就不能不予以考虑。

## 6.2.2 背栅压产生电路测试

### 一 测试数据

背栅压产生电路中最主要的模块是静态比较器电路,我们给比较器的正端输入  $V_{DD}$  接入精准稳压电平 3V,比较器的负端 SVC-接入可调的直流电压,然后用数字万用表测量背栅压产生电路的其它引出管脚的电平。表 6-11 给出这些管脚的测量数据。

表 6-11 背栅压产生电路个管脚随 SVC-变化的测量数据

SCV(V)	AMSEL(V)	BIAS1(V)	BIAS2(V)	OPAO(V)	SW(V)	V <sub>BULK</sub> (V)
0	0	1.03	0	0.01	3.0	3.0
0.53	0	1.03	0.50	0.01	3.0	3.0
1.08	0	1.04	0.87	0.01	3.0	3.0
1.57	0	1.04	1.00	0.02	3.0	3.0
2.03	0	1.04	1.09	0.02	3.0	3.0
2.55	0	1.04	1.16	0.03	3.0	3.0
2.94	0	1.04	1.21	0.03	3.0	3.0
3.0	0	1.04	1.22	0.03	3.0	3.0
3.02	3.02	1.04	1.22	2.99	0	3.02
3.53	3.53	1.04	1.28	3.48	0	3.53
3.99	3.99	1.05	1.33	3.95	0	3.99
4.57	4.57	1.09	1.39	4.51	0	4.57
5.07	5.06	1.12	1.43	5.02	0	5.07
5.55	5.55	1.15	1.48	5.50	0	5.55
4.98	4.98	1.12	1.43	4.94	0	4.98
4.54	4.54	1.09	1.39	4.50	0	4.54
4.05	4.05	1.06	1.34	4.01	0	4.05

3.48	3.48	1.04	1.28	3.44	0	3.48
3.05	3.05	1.04	1.23	3.01	0	3.05
2.98	0	1.04	1.22	0.03	3.0	3.00
2.46	0	1.04	1.15	0.02	3.0	3.00
1.91	0	1.04	1.06	0.02	3.0	3.00
1.38	0	1.04	0.96	0.01	3.0	3.00
0.8	0	1.04	0.75	0.01	3.0	3.00
0.55	0	1.04	0.55	0.01	3.0	3.00
0.22	0	1.04	0.22	0.01	3.0	3.00

## 二 测试结果小结

从以上测试数据看,背栅压产生电路完全符合设计要求,电荷泵 PMOS 管的衬底偏压能够由该电路提供。电路中比较器的静态工作状态完全正确,而且有很高的分辨率,就测试数据中显示的可以达到 0.02V 的分辨率。

背栅压产生电路内部的子电路电压均由  $V_{BULK}$  信号提供,因此可以看到  $A_{MSEL}$  电平跟随  $V_{BULK}$  的现象。比较器电源电压随 SCV-变化的情况可以通过比较器电路中运放的两个偏置电压  $V_{BIAS2}$  和  $V_{BIAS1}$  的变化看出来,在  $SCV < 3.0V$  时,  $V_{BIAS2}$  很稳定,说明此时电源电压比较稳定,而当  $SCV > 3.0$  后,  $V_{BIAS2}$ 、 $V_{BIAS1}$  和 SCV-有相同趋势的变化,说明比较器电源已经由 SCV-提供。SW 的电平变化说明了  $V_{BULK}$  两个电源导通的情况。

在第四章中的比较器设计中介绍过,比较器在 SCV-电压正向和反向扫描时,有一定的迟滞效应。我们也做了同样的实验,将 SCV-的电平在 3.0V 附近进行连续的升高和降低,观察到比较明显的迟滞的效应,得到的门限电压为:

$$\begin{aligned} V_H &\cong 3.11V \\ V_L &\cong 2.98V \end{aligned} \dots\dots\dots (式 6-16)$$

可以看到我们得到了和设计值很接近的测量的结果。但是由于可调直流电压不能进行细调,而且稳定性不过,因此从示波器上观察比较器跳变都是高低电平的变化,没法捕捉到比较器中运放的输出处在中间态时的波形,另一个可能的原因是,运放结构的设计本身能避免运放输出处在中间态,进一步说明了图 4-18 的运放结构中 M19 和 M20 在电路中的作用。

## 6.2.3 3-bit ADC 电路的测试

### 一 时钟相位产生电路测试结果

图 6-25 中给出了 CLK 为 100KHz 时, 时钟相位产生电路的输入和输出时钟的波形。左边的图中是输入主时钟和 4 分频后的时钟波形, 右边的图中给出了该电路输出的两个时钟的波形。

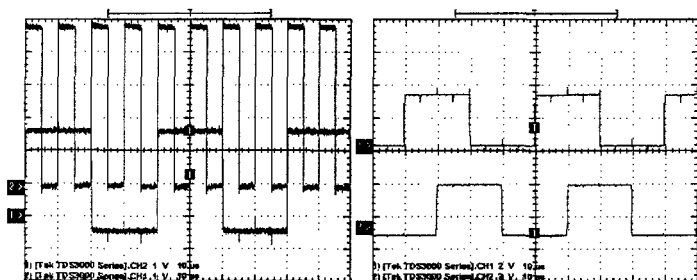


图 6-25 时钟相位产生电路产生时钟波形

### 二 动态比较器测试结果

动态比较器工作时钟为 1MHz, 电源电压 3.0V, 我们用直流电源分别为  $V^-$  和  $V^+$  提供电源, 用数字万用表和示波器观察 DCO 的电平。表 6-12 给出了测试结果。

表 6-12 动态比较器功能测试结果

$V^+(V)$	$V^-(V)$	DCO (逻辑值 0 或 1)
2.56	2.55	1
2.53	2.55	不定态 x (0、1 数目差不多)
2.52	2.55	不定态 x (0 明显多于 1)
2.50	2.55	不定态 x (偶尔出现 1)
2.49	2.55	0
2.58	2.59	不定态 x (0、1 数目差不多)
2.51	2.59	0
2.52	2.59	0

2.50	2.49	1
------	------	---

圖 6-26 中給出了表中 DCO 不定態  $x$  的兩種情況，左邊的波形代表 0、1 數目情況差不多，右邊的波形代表偶爾出現 1。

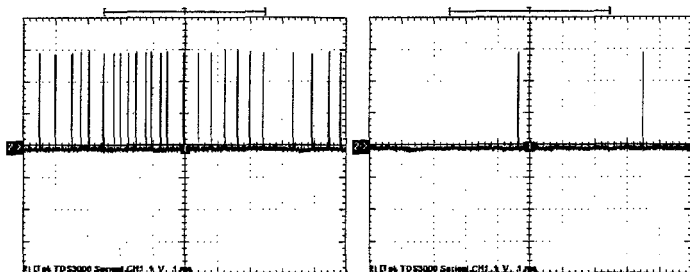


圖 6-26 動態比較器測試中 DCO 不定態的定義

根據表 6-12 中的測試結果，我們可以得到：

$$\begin{cases} DCO=1, & \text{When } V_+ - V_- > 0.01V \\ DCO=0, & \text{When } V_+ - V_- < -0.07V \end{cases} \dots\dots\dots (\text{式 6-17})$$

### 三 3-bit ADC 功能測試

我們在  $V_{REF}$  端接入精準電壓 3.0V，在  $V$ -端接入可調直流電壓，逐漸增加  $V$ -端的電壓，用示波器觀察 ADC 的輸出(Q1,Q2,Q3)的邏輯變化。

根據圖 4-26 設計的 ADC 電路， $V_{REF}$  經過 8 個等值電阻分壓後從上到下，每個比較器正端輸入的電平分別為：2.625V、2.25V、1.875V、1.5V、1.125V、0.75V、0.375V。表 6-13 中給出了 ADC 輸出隨  $V$ -增加時的測試結果。

表 6-13 ADC 輸出隨  $V$ -增加時的測試結果

$V$ -(V)	(Q2, Q1, Q0)	$V$ -(V)	(Q2, Q1, Q0)
$V < 0.35$	0, 0, 0	$1.89 < V < 2.24$	1, 0, 1
$0.41 < V < 0.73$	0, 0, 1	$2.29 < V < 2.61$	1, 1, 0
$0.77 < V < 1.10$	0, 1, 0	$V > 2.69$	1, 1, 1
$1.14 < V < 1.49$	0, 1, 1	其它	不定態
$1.53 < V < 1.85$	1, 0, 0		

## 四 测试结果小结

3-bit ADC 电路的核心是动态比较器的性能, 动态比较器的正常工作依赖于正确相位时钟的产生。根据图 6-25 的测试结果, 我们设计的电路产生了正确无误的两个时钟信号。

有了正确的时钟, 动态比较器的功能也实现了, 得到比较器的分辨率如(式 6-17)所示, 这和仿真的结果(图 4-32)相差的很大, 图中的理论分辨率 $<0.005V$ 。得到这样的测试结果的原因, 一个是上华 0.6 $\mu m$  工艺对动态比较器电路性能影响很大。另一个原因可能是测试条件不理想, 我们用的是两个可调电压源模拟比较器的两个输入, 本身电压源的精度就最多能保证小数点后两位, 再加上电压源本身的不稳定, 造成测试结果与理想值的差异, 甚至导致输出出现不定态的逻辑抖动。

从 ADC 功能的测试结果看, 我们的编码电路的功能实现的还是很理想的, 实现了预期设计构想, 也实现了 ADC 电路的功能。对 ADC 性能的测试, 由于测试条件的限制, 只测试了电路能够稳定输出(Q2, Q1, Q0)时的输入电压 V- 的范围, 可以看到动态比较器的性能对该范围的影响很大, 在基准输入周围最大 0.08V 的范围内都可能输出不稳定, 虽然都能控制在动态比较器正常工作的电压范围内, 但是 ADC 抖动输出的存在, 对于 DC-DC 系统确定电池电压范围, 正确选择电荷泵的工作增益是不利的。

## 本章小结

这一章中我们对流片的电路进行了功能和性能测试。测试结果表明, 本次流片设计的各个电路功能都成功实现。对电荷泵电路和其使用的大宽长比开关 MOS 管的仔细测试研究, 证明了本次电荷泵电路设计的科学性和可行性, 而背栅压产生电路几近完美的测试结果也为将来电荷泵电路的可靠工作提供了保证。ADC 电路预期设计功能的实现, 给以后完整 DC-DC 系统的实现提供了参考。

流片电路中还有许多和我们设计目标存在差距的地方, 这些都在每个电路的测试总结中给出了一定的分析和说明。

总体来讲, 本次设计的电路实际工作情况, 无论从功能上, 还是从性能上, 都是令人满意的。

## 第七章 其它子电路的分析与仿真

### 7.1 振荡器电路

#### 一 电路原理

图 7-1 给出了振荡器电路图, 电路由三部分构成, 第一部分是由两个差分结

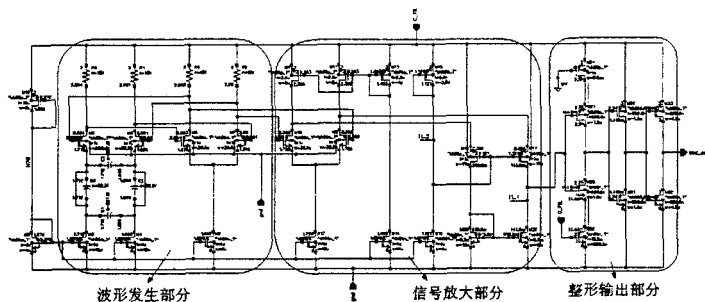


图 7-1 振荡器电路原理图

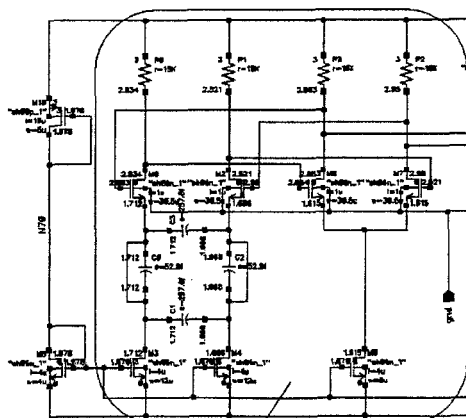
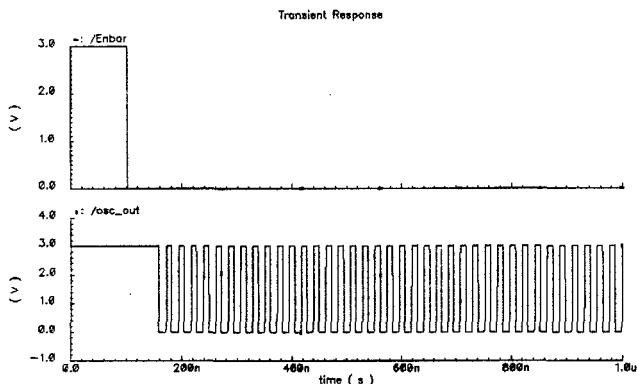


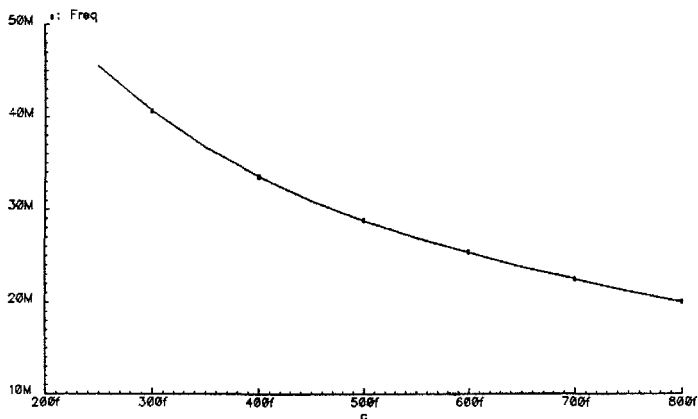
图 7-2 振荡波形发生电路

结构组成的正反馈系统构成振荡波形发生电路。第二部分是一个 folded cascoded 结构的运算放大器结构,它负责将波形发生部分的振荡波形的幅度放大。第三部分是一个波形整形输出电路,由一个施密特反门和两个缓冲反门构成。

图 7-2 是振荡器波形发生部分的线路连接图,在振荡波形发生电路里面, C1 和 C3 是并联跨接在输入差分对两个 NMOS 管源端的振荡电容,可以通过改变图中的两个电容 C1 和 C3 的值来改变振荡器的输出频率。



(a)振荡器电路的输出波形



(b)振荡器输出频率随电容 C 变化曲线

图 7-3 振荡器输出波形及输出频率随电容 C 变化曲线

## 二 电路仿真结果

仿真时, 取  $C_1=C_3=C$ , 即振荡电容为  $2C$ 。图 7-3 中给出了振荡器的仿真结果, (a) 是振荡器的输出波形,  $Enbar$  是振荡器工作的使能信号,  $Enbar=1$  时, 振荡电路不工作, 输出为高电平,  $Enbar=0$  时, 振荡器工作。(b) 是振荡器输出频率随电容  $C$  的变化曲线, 可以看到输出频率随电容  $C$  的增加而减小, 这个定性结论根据振荡器的一般原理也能推的出来。

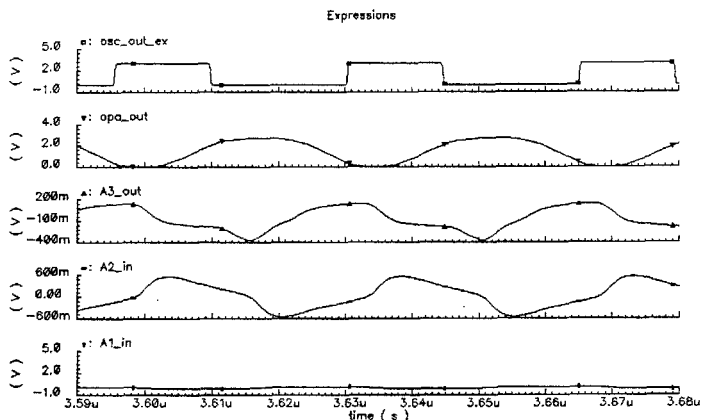


图 7-4 振荡器的起振过程

图 7-4 给出了振荡器波形经差分放大器及整形的起振过程, 图中 A1、A2、A3 分别代表图 7-1 中从左到右的三个差分放大器, in 代表差分输入信号, out 代表差分输出信号, opa\_out 代表图 7-1 中信号放大部分的输出, osc\_out\_ex 代表振荡器的最后输出。从图中可以看到, 振荡器起振过程中, 各个放大器输入输出的波形。

## 7.2 非交叠时钟产生电路

### 一 为什么要使用非交叠时钟

在电荷泵电路中, 以图 4-12 的电路为例, M1 导通时 M3 关断, M1 关断时 M3 导通, 而控制开关的时钟信号, 我们采用的是互补的时钟信号, 两个信号是同时变化的, 也就是说在时钟跳变时, M1 和 M3 会同时处在饱和态, 形成从电



源到地的一个电流通路,如图 7-5 所示(为了说明时钟,开关管都表示为 NMOS 管),因为两个管子同时在饱和态,因此导通电流  $I$  相对比较大,造成了不必要的能量损失。最好的解决这个问题的办法就是在导通一个开关管之前关闭另外一个,这样就不会形成从电源到地的通路,因此开关时钟的时序应该如图 7-6 所示,即由非交叠时钟控制。可以看到非交叠时钟中,一个相位时钟的跳变都是发生在

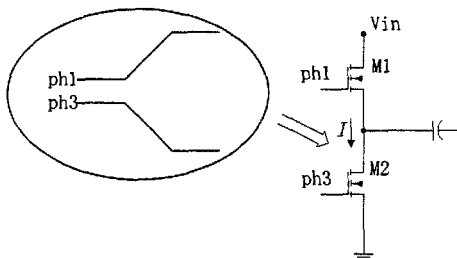


图 7-5 互补时钟跳变时的电荷泵工作状态

另一个相位时钟的低电平状态,即一个开关管状态发生变化时,另一个开关管处在关态。这样就避免了两个开关管同时饱和,将开关管状态变化时的能量损失降到最小。

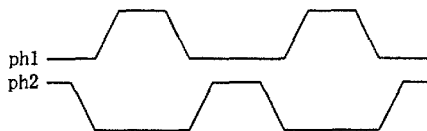
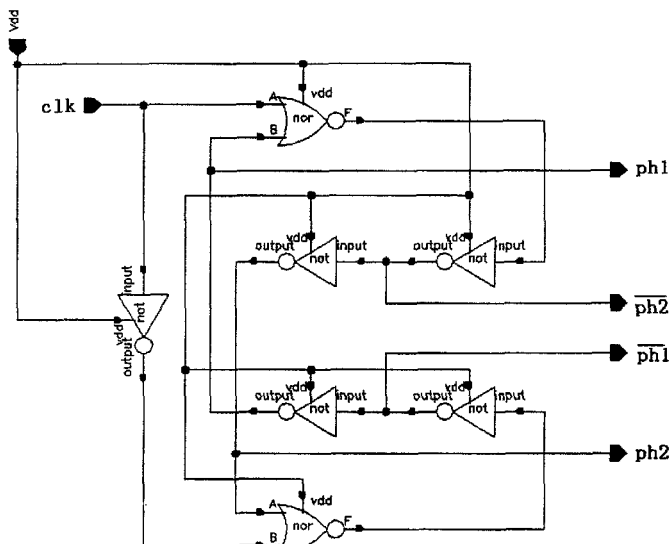


图 7-6 减小能量损失的电荷泵工作时序

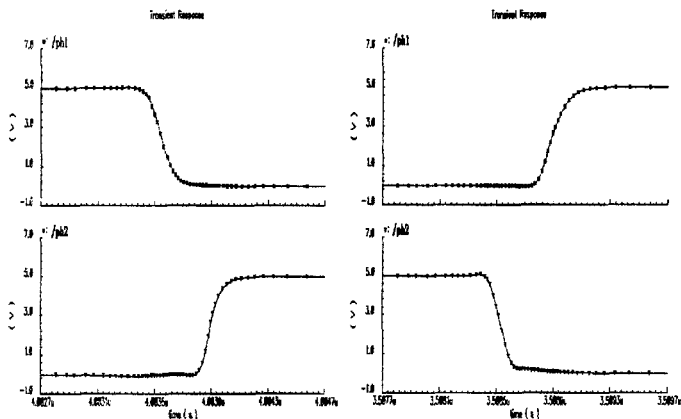
## 二 非交叠时钟产生电路设计

图 7-7 给出了非交叠时钟产生电路原理图及其模拟结果。(a)中的时钟产生电路利用一个锁存结构把单个输入时钟信号  $clk$ , 产生了非交叠的双相时钟  $ph1$  和  $ph2$ ,  $\overline{ph1}$  和  $\overline{ph2}$  是非交叠时钟的互补信号,也是非交叠时钟。(b)是电路的仿真结果,从波形图看,仿真结果完全满足预期的要求。

我们前面在设计 ADC 电路时,为了让动态比较器能够正常工作,也有一个电路用来产生  $\pi/4$  相移的时钟。从这里可以看到,开关电容式电路设计中,时钟设计是很重要的,正确的时序可以保证电路实现良好的功能,达到更高的性能。



(a)非交叠时钟产生电路图



(b)电路仿真结果

图 7-7 非交叠时钟产生电路原理图及其仿真结果

## 7.3 DC-DC 数字控制电路的设计构想

### 一 控制流程

在第三章讲到的高效率 DC-DC 转换电路原理里面,我们简单介绍了 DC-DC 的工作原理,用更简单的话讲,就是分别对输入电源电压  $V_{in}$  和输出校准电压  $V_{out}$  进行采样,对  $V_{in}$  的采样值决定了分数电荷泵的增益值,对  $V_{out}$  的采样值决定了分数电荷泵工不工作。数字控制电路的控制构想也是按照这个思路进行的,根据图 4-10 中  $V_{in}$  与分数增益电荷泵增益的对应关系,图 7-8 中给出了 DC-DC

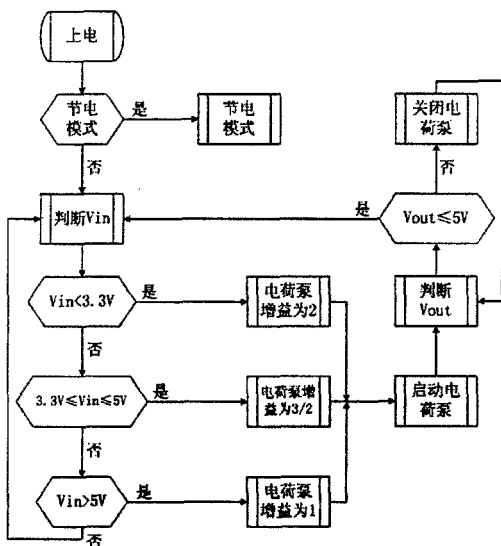


图 7-8 DC-DC 转换器控制流程图

的控制流程图。该流程图只是一个简单的控制流程,可以用数字电路状态机的原理实现,但如何实现,怎么给信号,不在本研究范围之内。

在这个控制流程图里面需要搞清楚的是如何实现  $V_{in}$  和  $V_{out}$  的采样。

### 二 输出校准电压 $V_{out}$ 的采样

$V_{out}$  的采样是比较简单的,因为它只需要和 5V 电压作比较即可。具体实现可以将  $V_{out}$  分压到  $V_{out}/4$ ,再与 1.25V 的基准电压进行比较,如图 7-9 所示。1.25V

基准电压可以由带隙基准源提供,比较器输出结果可以用来做数字控制电路的采样标志位。

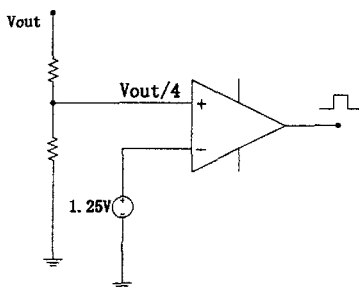


图 7-9 Vout 采样电路

### 三 输入电压 $V_{in}$ 的采样

输入电压  $V_{in}$  的采样需要经过 ADC 转化为数字量,但是  $V_{in}$  的正常工作范围是 2.5V~5.5V,两个重要的分段电压点是 3.3V 和 5.0V,片上带隙基准源一般能够提供的基准电压为 1.25V。我们要利用设计过的 3-bit ADC 电路,既保证能够采样整个输入电压范围,又要保证数字量可以比较好的表示电压分段点。

首先,定义一个分段点,当  $V_{in} > 5.0V$  时,ADC 输出为(1,1,1)。按照表 4-4 给出的 ADC 输出和输入的关系,当 ADC 的输入电压大于  $7V_{REF}/8$  时,其输出为(1,1,1)。

如果 ADC 的基准电压采用 1.25V,可以得到图 4-26ADC 电路中 7 个比较器的基准分段电压依次为: 1.09375, 0.9375, 0.78125, 0.625, 0.46875, 0.3125 和 0.15625。为了让 ADC 的几个输出状态能够覆盖  $V_{in}$  的范围,我们采用下面的方式变换  $V_{in}$  得到 ADC 的输入电压  $V_{jud}$ :

$$V_{jud} = \frac{V_{in}}{m} - 1.25 \dots \dots \dots \text{(式 7-1)}$$

式中  $m$  是  $V_{in}$  的分压比例因子。

由(式 7-1)可以得到:

$$V_{in} = m(V_{jud} + 1.25) \dots \dots \dots \text{(式 7-2)}$$

令  $V_{jud} = 7V_{REF}/8 = 1.09375V$  和  $V_m = 5.0V$  代入 (式 7-1 中) 可以解得  $m$  值:

$$m = \frac{5}{2.34375} \cong \frac{5}{2.3} \dots\dots\dots (式 7-3)$$

下面就可以確定另一個  $V_{in}$  分段點代表的 ADC 輸出值。將  $m$  值和  $V_{in}=3.3V$  帶入到 (式 7-1) 中, 可以得到  $V_{jud} = 0.2944V$ , 該值和 ADC 基準分段電壓  $0.3125V$  最接近, 也就是說, 當  $V_{jud} < 0.3125V$ , 即 ADC 輸出為  $(0,0,0)$  和  $(0,0,1)$  時, 電荷泵增益選擇為 2; 當  $0.3125 < V_{jud} < 1.090375$ , 即 ADC 輸出為  $(0,1,0) \sim (1,1,0)$  時, 電荷泵增益選擇為  $3/2$ ; 當  $V_{jud} > 1.090375$ , 即 ADC 輸出為  $(1,1,1)$  時, 電荷泵增益選擇為 1。

所以我們可以得到實際的  $V_{in}$  在電荷泵不同增益時的分段點, 將  $V_{jud} = 0.3125V$  和  $V_{jud} = 1.09375V$  分別帶入 (式 7-2) 中有:

$$\begin{cases} V_{in1} \cong 3.40V \\ V_{in2} \cong 5.03V \end{cases} \dots\dots\dots (式 7-4)$$

可以看到上面的設計值與理論的  $3.3V$  和  $5.0V$  還是很接近的, 這樣既能保證了輸入電壓範圍覆蓋了 ADC 的工作範圍, 又保證在  $5V$  校準輸出的情況下, 電荷泵的效率達到最優。圖 7-10 給出了輸入電壓  $V_{in}$  的採樣電路。

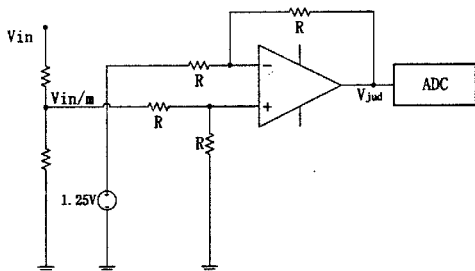


圖 7-10  $V_{in}$  的採樣電路

## 7.4 未仿真完成的模擬電路設計考慮

### 一 節電模式

節電模式是電源管理的一部分, 我們知道, 模擬電路的功耗大部分來自靜態功耗, 要減小模擬電路的功耗, 最常用的辦法就是關閉模擬電路的靜態偏置電路,

這也以為着模擬電路不能工作。運放是構成模擬電路很多功能的基本單元，減小功耗的具體做法就是讓運放失去靜態偏置，從而減少模擬電路中從電源到地的通路，達到節電的目的。

而數字電路的功耗，在 CMOS 電路中，主要是來自於電路的動態功耗，減小功耗意味著要減少電路狀態變化的次數，但是降低數字電路的功耗不能像模擬電路那樣讓其不工作，因為現代 IC 設計中的數字電路大部分是作為控制部分出現的，主控制電路是不能完全不工作的，否則整個系統就不能再被喚醒，所以降低工作時鐘是減小數字電路功耗的比較合理的辦法。

在 DC-DC 電路中，節電模式需要一個外接信號的控制，在白光 LED 驅動應用時，如果該信號接 PWM 信號則可以實現 LED 的亮度調節。

## 二 帶隙基準源

帶隙基準源是要為電路提供一個不隨溫度變化，與電源和工藝都無關的直流電壓，從 ADC 電路設計，以及  $V_{in}$  和  $V_{out}$  電壓的採樣電路設計上來看，基準電壓在 DC-DC 系統中是必不可少的。在半導體工藝的各種不同器件參數中，雙極晶體管的特性參數具有比較好的可重複性，能夠提供進行溫度補償的正溫度系數和負溫度系數的參數。關於帶隙基準源的理論在文獻[6]中有較為詳細的介紹，這裡就不再贅述。本次設計分析了一個帶隙基準源電路的工作原理，但是沒有來得及對電路在上華提供的標準 CMOS 工藝條件下進行進一步的仿真，沒有實現其功能。

圖 7-11 給出了我們準備採用的帶隙基準源電路結構。從圖中可以看到，基準源的電壓輸出  $V_{REF}$  為：

$$V_{REF} = V_{be(1)} + I \cdot (R1 + R2 + R3) \dots \dots \dots \text{(式 7-5)}$$

式中  $V_{be(1)}$  代表 1× 的 PNP 管，電路圖中 n× 的 PNP 管的 b-e 結電壓由  $V_{be(n)}$  表示。

我們知道  $V_{be(1)}$  的溫度系數為負值，要通過式中的 I 得到正的溫度系數。

圖中電阻 R2 的兩端為 a、b，電壓為  $V_a$ 、 $V_b$ 。根據基準源電路的結構可以得到運放輸入端電壓：

$$V_- = 2V_{be(n)} + V_a = 2 \frac{kT}{q} \ln \frac{I_2}{I_{s1}} + V_a \dots\dots\dots \text{(式 7-6)}$$

$$V_+ = 2V_{be(1)} + V_b = 2 \frac{kT}{q} \ln \frac{I_2}{I_{s2}} + V_b \dots\dots\dots \text{(式 7-7)}$$

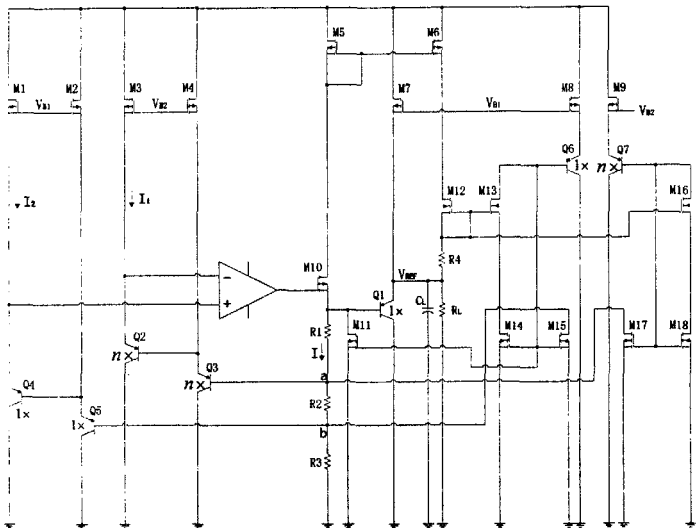


图 7-11 带隙基准源电路结构

根据运放输入虚短的性质，可以得到：

$$V_a - V_b = 2 \frac{kT}{q} \left( \ln \frac{I_2}{I_{s2}} - \ln \frac{I_1}{I_{s1}} \right) = 2 \frac{kT}{q} \ln \frac{I_2 I_{s1}}{I_1 I_{s2}} \dots\dots\dots \text{(式 7-8)}$$

电路中，Q2、Q3 的面积是 Q4、Q5 的 n 倍，如果  $I_2/I_1 = m$ ，则可以得到

$$V_a - V_b = 2 \frac{kT}{q} \ln(m \cdot n) \dots\dots\dots \text{(式 7-9)}$$

由此可以得到基准源的基准电压为：

$$V_{REF} = V_{be(1)} + 2 \frac{R1 + R2 + R3}{R2} \cdot \frac{kT}{q} \ln(m \cdot n) \dots\dots\dots \text{(式 7-10)}$$

从(式 7-10)可以看到，我们分别得到了带有负温度系数和正温度系数的项，

通过改变式中的参数值就可以实现对温度的补偿。

以上的分析都假定三极管的基极电流为零，实际上由于基极电流的影响，会严重影响基准源的精度。因此又增加了一些辅助电路减小基极电流对电路输出电压的影响。从图中可以看到，流入到节点 a 和节点 b 的 Q1~Q5 的基极电流都被电路中的 NMOS 电路通过三极管 Q6 和 Q7 以电流镜方式给抵消掉了。比如电路中，Q6 的基极电流流过 M13 和 M14 支路，M11 支路和 M15 支路通过电流镜结构得到和流过 M14 电流相等的导电电流值，该值正好是 Q1 和 Q5 的基极电流值，使得三极管基极电流不流入 R1~R3 支路，保证了电路的精度。

该电路的特色第一个是对基极电流的抵消电路，可以使电路得到精度很高的基准电压值。第二个是电路的两路静态电流由两个偏置电压  $V_{B1}$  和  $V_{B2}$  控制，可以通过调节两路静态电流的比值来实现温度补偿，从而避免了单独调节电阻给工艺上带来的诸多不便。

## 本章小结

本章继续第四章的电路设计，完成了片上振荡器的分析与设计，对电荷泵的控制时钟进行了进一步的改进，使得电荷泵的工作性能更加适合于电池供电的便携式电子应用。我们还对数字控制电路的控制流程做了简单的介绍，给出了初步的  $V_{in}$  和  $V_{out}$  的信号采样设计思路。最后给出了完成 DC-DC 模拟部分设计的其它电路考虑。



## 参考文献

- [1]K. Martin, A. Sedra. "Switched-Capacitor Building Blocks for Adaptive System".  
IEEE Trans. Circuits and System, vol. 28, no. 6, pp. 576-584, 1981.
- [2]Muhammad H. Rashid. *Microelectronic Circuits: Analysis and Design*. Thomson  
Learning, 1999.
- [3]何小艇. 《数字电路》. 浙江大学出版社, 杭州, 1995.
- [4]D. Maksimovic, S. Dhar. "Switched Capacitor DC-DC Converters for Low Power  
on-Chip Applications". IEEE PESC99. 30<sup>th</sup> Annual, vol. 1, pp. 54-59, 1999.
- [5]N. Kawasaki, H. Nomura. "A New Control Law for Realizing Some Good  
Responses of DC-DC Converters", IEEE Conference Record of Power Conversion  
Conference, pp. 141-146, 1993.
- [6]B. Razavi. *Design of Analog CMOS Integrated Circuits*. McGraw-Hill, 2001.
- [7]S. Franco. *Design with Operational Amplifiers and Analog Integrated Circuits*.  
McGraw Hill, 2002.

## 回顾与展望

本次毕业设计中,我们对恒压驱动并联白光 LED 的驱动电路——开关电容式 DC-DC 转换器进行了研究。在便携式电子产品应用中,锂电池电压范围很宽(2.7V~5.5V),而传统 DC-DC 采用 2 倍的升压电荷泵时,要得到 5V 的校准输出电压时,转换器的效率是很低的。为了提高 DC-DC 的转换效率,我们提出用多增益的升压/降压电荷泵代替单增益的升压电荷泵,来实现开关电容式 DC-DC 转换,多增益的电荷泵采用的是电路结构相对比较成熟的分数增益电荷泵。

这样的变化使得 DC-DC 转换器所采用的结构也与传统结构有所变化,传统结构中,只需要对输出电压进行采样,采样值反馈到控制电路,来控制升压电荷泵的工作状态。在新结构中,不仅要对输出电压进行采样,还需要对输入电压进行采样,根据输入电压的范围决定分数电荷泵的工作增益,这就需要在 DC-DC 中增加 A-D 采样功能。

我们经过对新结构 DC-DC 转换器分析,制订了“设计并实现 DC-DC 主要模拟电路模块”作为本次毕设的设计目标,目前已经完成了以下的任务:

1. 对分数电荷泵做了仔细的分析,设计完成了一个能够实现 7 种增益的分数增益电荷泵,在应用到 DC-DC 中去时,根据输出和输入的关系,能够用到的增益为 1、3/2 和 2。我们对电路的功能、性能进行了仿真,得到了很好的结果。

2. 为了保证电荷泵电路的正常工作,里面的 PMOS 开关的衬底偏压必须选择合适,为此,我们设计完成了一个提供衬底偏压的电路,该电路中包含一个精度比较高的电压比较器。

3. 设计完成了一个 3-bit ADC 电路。从输入电压的范围,以及电路要求的精度考虑,采用 3 位的 ADC 就可以满足 DC-DC 对输入电压的采样要求。

4. 为了能够让以上电路应用到实际中去,我们把电荷泵电路进行了简化,设计了一个简单的能够实现 1/2 和 2 增益的开关电容电荷泵。并设计完成了电荷泵、衬底偏压产生电路和 3-bit ADC 电路的版图,最终在华润上华科技(无锡)有限公司提供的 6S06DPDM-CT02 标准 CMOS 工艺下实现了流片。要设计简化电荷泵的目的,主要是为了能在给定的有限设计芯片面积内得到更多的关于分数增益电荷泵本及其开关 MOS 管的有用信息。因为开关 MOS 管的宽长比都很大,

要提高芯片面积的利用率,就必须采用新结构的 MOS 结构,最终我们采用了蛇形栅的平面 MOS 结构。

5. 设计完成了对流片出来的芯片进行测试的印刷电路板,并在实验室条件下对芯片上的电路功能和电路性能进行了测试,得到了令人满意的测试结果。

6. 设计完成了 DC-DC 的片上振荡器电路和改善电荷泵性能的非交叠时钟产生电路,并给出了 DC-DC 控制电路的简单控制流程图和对输入电压、输出电压进行采样的设计方案。

设计任务的完成和芯片流片电路的测试成功,肯定了我们之前为之付出的努力和艰辛,为接下来的工作带来了无比的信心,但是电路还是存在一些不足之处。

1. 电荷泵电路的版图设计中,出于增加版图利用率的目的,开关管的版图采用了蛇形栅平面结构,但是从设计的芯片版图看,电荷泵电路还是占了很大的面积,并没有充分发挥蛇形栅 MOS 管的优点。因为第一次将 MOS 管的栅极设计成蛇形,为了保证电路的耐流,保证电荷泵能够完成设计的最初意图,我们刻意增加了电荷泵开关管互连线的宽度,使得电荷泵电路版图的面积优势没有体现出来。

2. 在 ADC 电路设计中,我们按照数字逻辑表达式设计了数字编码电路,虽然也得到了正确的结果,但这并不是最优的设计方案。我们可以将编码电路设计成类似存储器 ROM 的阵列结构,还会进一步简化电路和版图的设计。

3. 在电荷泵输出电压的测试结果中,电压信号在开关电路的开关时钟跳变时会产生电压抖动,虽然时间很短,但是幅度较大。这个问题在电路的仿真结果中是没有的,所以还需要找到解决这个问题的合适方法。

4. 在流片的芯片中的两种比较器的测试中(静态比较器和动态比较器),由于实验器材的中,直流电压源的稳定性和精度有限,我们没有测试出精确的比较器的电压输出特性,可以改进测试电路得到测试结果,不过从测试的功能看,这两个指标对本设计的影响不大。

有了本次流片得到的测试数据,以及电路设计和仿真中积累的经验,接下来可以进一步完成完整的 DC-DC 转换器。我们还需要的完成的工作还很多:

1. 虽然本次流片的电荷泵电路版图面积的面积利用率不高,但是开关管本身较高的版图面积利用率则很明显,而且测试结果表明,我们设计的蛇形栅 MOS

管能够用于电荷泵电路。在接下来的工作中，我们还需要进一步设计 14 管分数增益电荷泵电路版图，此次要充分考虑版图面积利用率，验证其流片结果。

2. 本次毕业设计的最大遗憾是没有设计完成带隙基准源电路，因此，我们需要完成带隙基准源的电路仿真和版图设计。

3. 进一步给模拟电路部分增加电源管理功能，即节电模式。

4. DC-DC 转换器是一个比较复杂的数模混合电路系统，模拟电路的主要模块都设计完毕后，就需要考虑数字控制部分的设计。虽然我们给出了控制流程，但是没有给出具体的控制方法，这个还需要仔细考虑。

5. 将各个电路模块组合在一起实现 DC-DC 功能。但是单纯的拼合是不行的，比如要考虑子模块的驱动能力等，所以还需要设计合适的接口电路。

硕士期间发表的论文：

《n-GaN 表面 Ti/Al/Ti/Au 电极的电学特性》

作者：王光峰 陈忠景 何乐年，2004 年 9 月被《半导体技术》录用

## 致 谢

首先要感谢我的导师——陈忠景副教授！本次论文的完成离不开陈老师的悉心指导和帮助，他为了能够让我顺利完成课题的完成，不辞劳苦的一次又一次亲自帮我联系讨论课题中遇到的种种困难。在研究生阶段的两年多时间里，陈老师像慈父一样给予我学业上的指导和生活上的关怀与帮助，他严谨的治学态度和踏实的工作作风一直影响着我。在此我要向陈老师致以最崇高的敬意和最诚挚的谢意。

还要衷心的感谢浙江大学 VLSI 实验室何乐年教授的指导和帮助。忘不了在电路设计最困难的时候，何老师每次都从百忙中抽出时间对本次课题提出宝贵的指导意见。本次课题能够顺利流片，也与何老师的指导和帮助是分不开的，我十分敬佩他扎实的理论知识、丰富的实践经验和对工作的兢兢业业。

感谢微电子技术与系统设计研究所的全体老师。我现在得以用在论文中的理论知识和实践经验，是他们多年指导和帮助的结果。

还要感谢评阅和审议本论文以及参与论文答辩的专家教授。

同时要感谢在课题设计之初给予我帮助的刘磊、刘剑、方斌和周鑫四位师兄。感谢郭清、姚韵若、俞宏、艾俊华、朱婷和王泽等在流片准备工作中给予的指导和帮助。感谢洪慧、吴剑辉、黄晓伟、师敏文、马绍宇、林海峰、沈慧、浦志伟和郭鹏等在电路设计和版图设计中给予的指导和帮助。感谢我的室友章炜巍、姜超、金海祥在平时的学习和生活中给我的巨大帮助。感谢微电子所-209 室的李强、郑琦、王英、姚丰、陈敬宇等，和他们朝夕相处的岁月里，让我获益匪浅！

另外，要特别感谢霍明旭老师，没有他的辛苦工作就没有电路和版图设计的计算机平台的稳定工作和本次课题的顺利进行。

感谢我的父母！感谢他们对我学习和生活的全力支持！感谢他们对我一生的教诲！

王光峰

2005.2

于求是园