

摘要

随着软件无线电技术的迅速发展,无论是通信系统还是雷达系统,都希望能够构建基于软件无线电技术的中频接收系统,从而可以通过软件来定义硬件平台的功能,大大提高了系统的灵活性。

本文以中国兵器装备集团×××公司“十一五”电子预研项目为依托,构建了基于软件无线电思想的雷达中频数字化通用硬件平台。该平台采用Altera公司的CycloneII系列可编程逻辑器件EP2C20F484I8实现了中频数字化的核心算法,采用TI公司的数字信号处理器TMS320LF2407A完成了系统的逻辑控制。实践表明:该方案可操作性强、稳定性好、结构简单、性价比高。

本文针对软件无线电的中频数字化技术进行探讨,深入研究了有关信号采样和数字正交的理论,探讨了实现数字正交采样相干检波的高精度算法,设计了基于软件无线电思想的中频数字化硬件系统,主要包括信号采集电路设计、中频数字化电路设计、逻辑控制电路设计和系统自检电路设计四个部分。本方案将来自接收机的中频信号进行匹配滤波后,在中频进行A/D采样并将数据送入FPGA进行中频数字化处理。FPGA完成对数据的符号校正和直流抑制后,采用六阶Bessel插值法进行数字正交形成双路正交的I、Q视频信号流,在加入校验码后通过LVDS(低电压差分信号)总线技术传至其它运算板进行预处理。此外,本方案还可在无雷达回波数据的情况下进行系统自检,大大提高了系统的可调试性和可靠性。

FPGA中频数字化程序采用模块化的设计思想,DSP逻辑控制程序采用结构化的设计模型,简化了系统的验证和调试。中频信号数字化后幅度一致性在 $\pm 0.2\text{dB}$ 左右,相位正交性在 $90\pm 0.5^\circ$ 左右,达到了预期的设计指标。

关键字: 中频数字化; 数字下变频; 正交采样; 相干检波

Abstract

With the rapid development of software radio(SWR) technology, Intermediate frequency(IF) receiver systems based on SWR technology are hoped to be constructed whether in communication systems or in radar systems. Thus the function of hardware platform can be defined by software and the system's flexibility can be greatly enhanced.

This thesis depends on the "11th Five-year Plan" electronic research projects of a certain branch company of China Weapon Equipment Group and constructs general-purpose radar IF digitization hardware platform based on SWR idea which adopts Altera Corporation's Cyclone II series programmable logic device EP2C20F484I8 to realize the core algorithm of IF digitization and uses TI Corporation's digital signal processor TMS320LF2407A to perform system's logic control. Practice shows: this scheme not only holds simple structure and high performance-price ratio but also is workable and stable.

This thesis carries on the discussion aiming at the SWR IF digitization technology, thoroughly explores high-precision algorithms of digital quadrature sampling and coherent detection and designs IF digitization hardware system based on SWR idea which mainly include four aspects circuit designs as follows: signal sampling circuit, IF digitization circuit, logic control circuit and system self-checking circuit. The signal process flows are as follows: After matched filtering, IF signals coming from receiver will be sampling by A/D converter and the sampling data are inputted into FPGA which executes IF digitization processing. Through symbol revision and direct-current restraint, FPGA performs six-phase Bessel interpolation and forms double channel IQ quadrature digital video signal streams. And then added check codes, the data are transmitted to other operation boards by LVDS(Low Voltage Differential Signal) bus. In addition, this scheme could execute self-checking without radar echo data which greatly enhance the system's debugging and reliability.

FPGA IF digitization program adopts modular design idea, DSP logic control procedure introduces structural design model which both simplify the system's validation and debugging. After IF digitization, amplitude consistency approaches to $\pm 0.2\text{dB}$ and phase orthogonality approaches to $90\pm 0.5^\circ$, which achieve the anticipated design target.

Keywords: IF digitization; Digital down converter; Quadrature sampling; Coherent detection

湖北大学学位论文原创性声明和使用授权说明

原创性声明

本人郑重声明：所呈交的论文是本人在导师的指导下独立进行研究所取得的研究成果。除了文中特别加以标注引用的内容外，本论文不包含任何其他个人或集体已经发表或撰写的成果作品。对本文的研究做出重要贡献的个人和集体，均已在文中以明确方式标明。本人完全意识到本声明的法律后果由本人承担。

论文作者签名：



日期：2007年6月2日

学位论文使用授权说明

本学位论文作者完全了解学校有关保留、使用学位论文的规定，即：

按照学校要求提交学位论文的印刷本和电子版本；学校有权保存学位论文的印刷本和电子版，并提供目录检索与阅览服务；学校可以允许采用影印、缩印、数字化或其它复制手段保存学位论文；在不以赢利为目的的前提下，学校可以公开学位论文的部分或全部内容。（保密论文在解密后遵守此规定）

作者签名：



日期：2007.6.2.

指导教师签名：



日期：2007.6.2

第一章 绪论

1.1 软件无线电概述

随着微电子技术、计算机技术和数字信号处理技术的迅速发展,无线通信技术也取得了空前的发展,无线通信系统中数字化体制逐渐取代模拟体制,无线通信的功能也由用复杂的硬件完成转变为用灵活的软件完成,因此产生了软件无线电技术。

软件无线电的最初研究是从美军的Speakeasy多频段多模式电台开始的,其众多思想很快被应用于民用移动通信。此后,软件无线电的概念远远超出了无线通信,适应于整个广义的通信领域。过去,通信功能基本上是通过模拟手段来实现的,软件无线电的出现使调制解调、编码译码、信令规则与处理、信道选择、天线波束形成等都能由数字信号处理来实现。软件无线电建立于通用的硬件平台之上,其核心是各种灵活的算法和软件。可以说,软件无线电是无线通信继20世纪70年代中期到80年代中期从模拟通信到数字通信、20世纪80年代中期到90年代中期从固定通信到移动通信这两次革命之后的第三次革命,并可称为是从硬件无线通信到软件无线通信的革命。

软件无线电的核心思想是构建一个标准化、模块化的通用硬件平台,将各种通信功能,如工作频段、调制解调类型、数据格式、加密模式和通信协议等用软件来完成,并使高速宽带A/D和D/A转换器尽可能地靠近天线,以研制出具有高度灵活性、开放性的新一代无线通信系统,即把高速DSP芯片、通用CPU芯片或高速FPGA芯片作为无线通信系统硬件平台的核心数字信号处理器,将尽可能多的通信功能用软件来完成。无线通信设备的价值越来越多地体现在软件上,用软件的方法使通信系统工作在多模式、多标准、多频段下,并具有可再配置和可再编程的特性^[1]。

软件无线电的出现,是无线通信从模拟到数字、从固定到移动后由硬件到软件的第三次变革。软件无线电的主要特点在于:

(1) 灵活性。软件无线电硬件平台是模块化的通用数字化平台,软件无线电通信系统可以通过增加软件模块,很容易地实现新的通信功能;也可以与其他制式的无线通信系统进行通信;并可以作为其他无线通信系统的射频中继;还可以通过空中加载来更新软件模块,以适应不同的通信需要。

(2) 开放性。软件无线电通信系统具有模块化、标准化的结构,随着硬件水平的不断提高,可以不断升级相应的硬件模块;随着通信需求的增加,可以不断升级软件模块。

软件无线电不但可以与已有的各种制式通信系统互通互连,还可以与未来发展起来的各种新制式通信系统互通互连。

(3) 智能性。软件无线电采用智能天线技术和自适应信号处理技术使其具有智能性的特点,可以智能地选择无线通信信道、消除噪声干扰、优化有用信号等。

软件无线电是用现代化软件来操纵和控制传统“纯硬件电路”的无线通信。其重要价值在于:传统的硬件无线电通信设备只是作为无线通信的基本平台,而许多通信功能则是由软件来实现,打破了有史以来设备通信功能的实现仅仅依赖于硬件发展的格局。软件无线电的出现是通信领域继模拟通信到数字通信、固定通信到移动通信之后的第三次革命,已成为第三代无线通信系统和未来无线通信系统中的关键技术。

1.2 软件无线电的基本结构

软件无线电技术是在通用的硬件平台上,通过加载不同的软件来完成各种通信功能,系统的升级更多地表现为软件的升级。从结构上来说,软件无线电要求系统尽可能地使高速宽带A/D和D/A转换器靠近宽带射频天线,即把A/D和D/A从基带移到中频甚至射频,把接收到的模拟信号尽可能早的数字化,然后用实时、高速DSP或FPGA进行A/D采样后的一系列数字处理,使无线电系统的各种功能都可以通过软件来定义。

理想的软件无线电组成结构如图1-1所示^[2,3]。

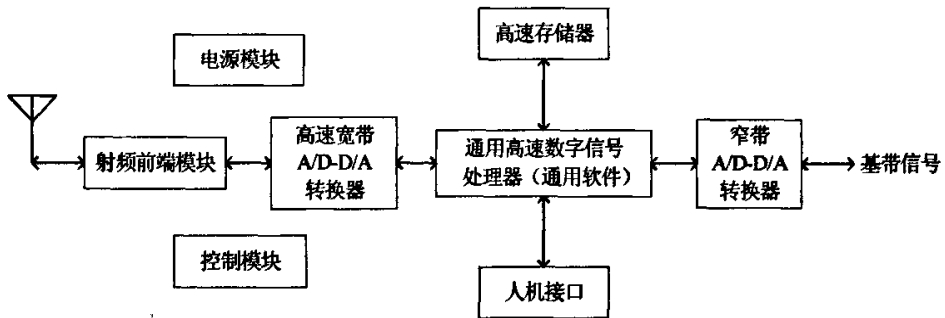


图1-1 理想软件无线电组成结构框图

软件无线电主要由天线、射频前端、宽带A/D-D/A转换器、通用数字信号处理器和通信软件组成。软件无线电的天线一般要覆盖比较宽的频段,要求每个频段的特性均匀,以满足多频段通信业务的需求。射频前端在发射时主要完成模拟上变频、射频滤波和射频功率放大等任务,接收时实现射频滤波、射频放大、模拟下变频等功能。当采用射频直接数字化方式时,射频前端模块不需要完成模拟上、下变频等功能^[3]。宽带A/D-D/A

转换器是软件无线电的数字接入点，接收时将射频前端送来的模拟信号数字化，发射时将数字信号转换为模拟信号送到射频前端。窄带A/D-D/A转换器完成用户与软件无线电系统之间的交互沟通。数字化后的信号处理完全由通用DSP或FPGA来实现。为了减轻数据处理的压力，通常可在高速宽带A/D-D/A与DSP、FPGA之间接入一个可编程的数字上变频器(DUC)和数字下变频器(DDC)^[4]。接收时，DDC将高速数字信号抽取为低速基带数字信号；发射时，DUC将基带数字信号插值为高速数字信号^[5]。

目前可以实现的软件无线电系统大多在中频(IF)范围内进行数字化，在基带(BB)内使用通用数字信号处理器来完成数字信号处理的。软件无线电中频数字化结构如图1-2所示^[6]。

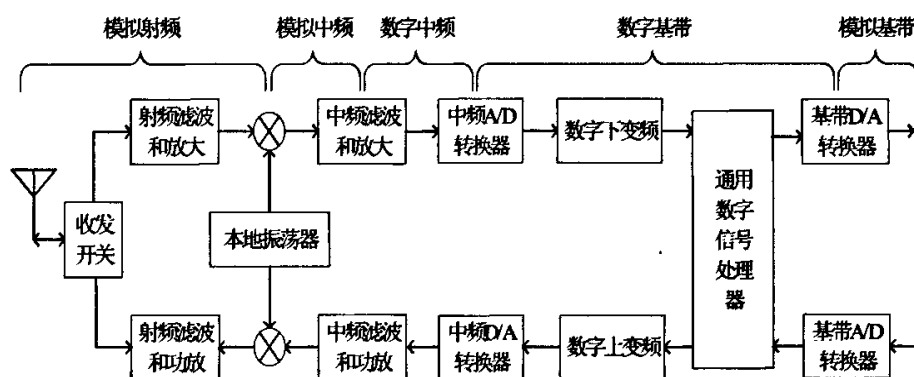


图1-2 软件无线电中频数字化结构

软件无线电中频数字化结构主要由模拟射频、模拟中频、数字中频、数字基带和模拟基带等模块组成。模拟射频模块相当于理想软件无线电结构中的射频前端模块；模拟中频模块采用模拟混频滤波的方法，接收时降低射频载波的频率，发射时升高中频载波的频率；数字中频模块接收时对中频信号进行数字化，使用可编程的数字下变频器将中频数字信号转化为基带数字信号，发射时使用可编程的数字上变频器将基带数字信号转化为中频调制信号，再经宽带D/A转换器形成中频模拟信号；数字基带模块是以通用数字信号处理器为核心的数字信号处理模块，通过加载软件完成相应的通信功能，包括调制解调、信源编码和信道编码、加密解密等；模拟基带模块接收时将基带数字信号转化为模拟信号送给用户，发射时，将通信用的多媒体信号转化为数字基带号送到数字基带模块。

软件无线电中频数字化硬件平台具有模块化的结构，可以随着硬件水平的提高不断地升级，具有很强的开放性。同时，软件无线电中频数字化系统的通信功能是由加载到

通用信号处理器内部的软件来完成的,通过对软件的升级可以使通信系统不断地升级。所以软件无线电中频数字化系统不但符合软件无线电的核心思想,而且也是目前可以实现的通信系统,正受到高度的重视并已经发展成熟。

1.3 雷达中频数字化研究现状

雷达(Radar)是“Radio Detection and Ranging”缩写的音译。原意是“无线电探测和测距”,其基本功能是利用目标对电磁波的散射而发现目标,并测定目标的空间位置,包括目标的距离、方位、速度、图像等^[7,8]。现代雷达要求具有高精度、远距离、高分辨力和多目标测量的特性。

雷达中频信号数字化位于雷达信号处理系统的最前端,其实时性和精度直接影响雷达的工作性能。现代高性能雷达信号处理技术的发展对雷达接收通道的要求越来越高,其中的关键技术之一就是対模拟带通信号进行相干检波得到相互正交的双路信号。它保留了信号复包络的所有信息(幅度、相位等),因而在雷达、声纳、通讯及仪器仪表等电子系统中得到了广泛的应用。

传统的正交双通道采样是用模拟电路实现的。由于在模拟电路中存在温度漂移和多通道间的不一致性,同时在模拟解调中,对于较宽的频带范围,正交双路信号的相位和幅度很难保持完全一致。当存在相位不正交和增益不一致时产生镜频分量,导致镜频抑制比较低,且模拟电路的热稳定性较差。因此,在高性能的信号处理中采用常规的模拟正交双通道采样技术是行不通的。为解决这一问题,在高速器件发展的基础上,国外学者提出了直接对低中频信号进行采样和幅度量化,再通过数字信号处理得到正交双通道数字信号的方法来实现正交相干检波。

(1) Rice 首先使用 Hilbert 变换实现了信号单边化,他使用的采样频率为 $2B$ (B 为信号带宽),所以滤波器的阶数很高^[9]

(2) Water 使用 $4B$ 采样率,以奇数采样点作为 I 路信号,通过对偶数采样点进行内插得到 Q 路信号^[10]

(3) Rader 使用 $4B$ 采样率,用 IIR 滤波器产生 IQ 信号, IIR 滤波器只需要很小的阶数就可以获得良好的幅频响应,但是存在相位失真^[11]

(4) Pellon 把多相滤波器引入中频正交采样,由于两路内插器的幅度衰减在一定程度上相互补偿,所以能在 $2B$ 采样率上获得较好的滤波效果^[12]

(5) Ho K.C.使用 LS(最小方差)准则设计了最优滤波器,他所使用的采样率与带宽

之间没有严格的约束关系,但与信号的中心频率要满足 $f_s = 4f_0/(2m+1)$ 的关系, f_s 和 f_0 分别代表采样频率和信号的中心频率^[13]

(6) 杜永强等使用最小二乘法设计了最优滤波器^[14]

(7) 曾涛等提出可变的信号归一化带宽,滤波器的系数可根据实际信号带宽计算^[15]。此外, Ward^[16]和 Mitchell^[17]以及孙晓兵^[18]等人也提出了自己的复信号产生方法。

目前,对于地面警戒雷达和测控雷达,国内外雷达已经采用低中频采样和数字正交化技术;对于机载雷达,低中频采样和数字正交化技术尚处于研制试验阶段。

1.4 作者的主要工作

本文以中国兵器装备集团×××公司“十一五”电子预研项目为依托,根据×××雷达技术改革实施方案对×××雷达信号处理分系统进行技术改革,同时为下一代 PD(脉冲多普勒)雷达信号处理系统的设计提供参考。作者主要负责雷达信号处理系统中中频信号数字化的实现,包括系统硬件平台的搭建以及系统软件方案的设计。具体工作如下:

(1) 算法研究和硬件平台的搭建

深入研究有关信号采样和数字正交的理论,研究实现数字正交采样相干检波的高精度算法,设计基于软件无线电思想的中频数字化硬件系统,主要包括四个部分:信号采集电路设计、中频数字化电路设计、逻辑控制电路设计和系统自检电路设计。其中,中频数字化电路采用通用 FPGA 来实现,逻辑控制电路采用 DSP 控制器来实现。

(2) FPGA 中频数字化程序设计

采用原理图与 VHDL 语言混合编程的方法编写 FPGA 程序。FPGA 主要用来实现中频信号数字化算法,FPGA 中频数字化程序主要包括直流抑制、数字正交、数据组帧及 LVDS 总线传输等。

(3) DSP 逻辑控制程序设计

工控机(上位机)通过 CAN 总线对系统工作模式以及状态参数进行现场重构,DSP 主要负责与上位机之间的数据通讯以及与 FPGA 之间的数据交换,并通过 SPI 口完成对自检数据库的加载和读取。

第二章 中频数字化理论基础

在无线通信、雷达等信号处理领域中的中频信号一般为带通信号，对于此类信号，如果按照奈奎斯特(Nyquist)采样定理以高于输入信号最高频率成份的两倍来采样，则要求A/D转换器具有较高的采样频率，并且由于采样数据量较大，也会占用大量的硬件系统资源，给我们的实现带来不便。为此，我们通常以低于Nyquist采样率的频率对带通信号进行欠采样，但当带通信号的频率较高时，采样率过低又会降低信噪比，一般的方法是采用过采样技术，将带通采样率选得高一些，使瞬时采样带宽尽可能地宽，然后对采样后的数据流进行降速处理。本章主要探讨了中频数字化领域的一些基本理论，包括信号采样定理、多采样率技术和数字下变频技术，为中频数字化的实现奠定了理论基础。

2.1 信号采样理论

在一定条件下，一个连续时间信号完全可以用该信号在等时间间隔上的瞬时值或样本值来表示，并且可以用这些样本值将信号恢复出来，这个特性来自于信号的采样。

2.1.1 奈奎斯特采样定理

Nyquist采样定理：对于一个频率带限信号 $x(t)$ ，其频带限制在 $(0, f_\beta)$ 内，如果以不小于 $f_s = 2f_\beta$ 的采样速率对 $x(t)$ 进行等间隔采样，得到时间离散的采样信号 $x(n) = x(nT_s)$ （其中， $T_s = 1/f_s$ 称为采样间隔），则原信号 $x(t)$ 将被所得到的采样值 $x(n)$ 完全确定。

由Nyquist采样定理知：如果以不低于信号最高频率两倍的采样速率对带限信号进行采样，那么所得到的离散采样值就能准确地确定原信号。从数学上可以进一步证明Nyquist采样定理，也就是推导用离散采样值 $x(n)$ 表示带限信号 $x(t)$ 的数学表达式。多篇文献^[19]对此有详细推导，故本文不再赘述，只给出结果。

设原信号的傅氏变换为 $X(\omega)$ ，采样后信号的傅氏变换为 $X_s(\omega)$ ， $T_s = 1/f_s$ 为采样间隔， $\omega_s = 2\pi/T_s = 2\pi f_s$ 为采样角频率。则有：

$$X_s(\omega) = \frac{1}{T_s} \sum_{n=-\infty}^{\infty} X(\omega - n\omega_s) \quad (2-1)$$

公式(2-1)表明,连续信号以采样率 f_s 进行采样后所得到的采样信号 $x(nT_s)$ 的频谱是原信号频谱的周期重复,在频域重复周期为 ω_s ,幅度是原频谱幅度的 $\frac{1}{T_s}$,如图2-1(a)和2-1(b)所示。

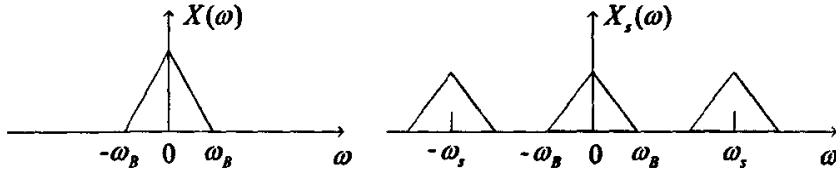


图2-1(a) 采样前的信号频谱

图2-1(b) 采样后的信号频谱

由图(2-1)可见, $X_s(\omega)$ 中包含有 $X(\omega)$ 频谱成分,而且只要满足以下条件:

$$\omega_s \geq 2\omega_\beta \quad \text{或} \quad f_s \geq 2f_\beta \quad (2-2)$$

则原信号的频谱成分不会与其它频率成分相混叠,只需要用一个带宽不小于 ω_β 的滤波器,就能够滤出原来的信号 $x(t)$ 。

Nyquist采样定理的意义在于:时间上连续的模拟信号可以用时间上离散的采样值来代替,这样就为模拟信号的数字化处理奠定了理论基础。

2.1.2 带通信号采样定理

带通采样定理: 设一个频率带限信号 $x(t)$, 其频带限制在 (f_L, f_H) 内, 带宽

$B = f_H - f_L$, 中心频率 $f_0 = \frac{f_H + f_L}{2}$, 如果采样频率 f_s 满足:

$$f_s = \frac{2(f_L + f_H)}{2n-1} = \frac{4f_0}{2n-1} \quad (2-3)$$

式中, n 通常取能满足 $f_s \geq 2B$ 的最大正整数, 这就决定了所需采样频率的最小值。同时, n 的取值对应于采样过程所处的奈奎斯特区(Nyquist Zone)。在采样频率满足公式(2-3)的条件下, 用 f_s 进行等间隔采样所得到的信号采样值 $x(nT_s)$ 能准确地确定原信号 $x(t)$ 。图 2-2 给出了带通信号采样前后的频谱, 其中, 第一奈奎斯特区指的是从 $(0 \sim \frac{f_s}{2})$ 的频率段。

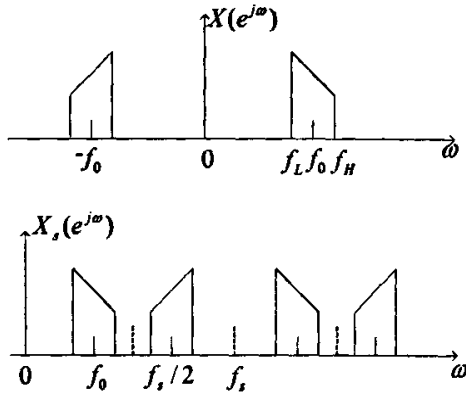


图 2-2 带通信号采样前后的信号频谱

2.1.3 过采样与欠采样

当采样频率 f_s 超过信号最高频率的2倍(对应于采样过程处于第一奈奎斯特区)时称为过采样; 相反地, 当采样频率 f_s 低于信号最高频率的2倍(对应于采样过程处于第一奈奎斯特区以外)时称为欠采样, 又称谐波采样或超奈奎斯特采样。图2-3给出了理想情况下的过采样与欠采样示意图。

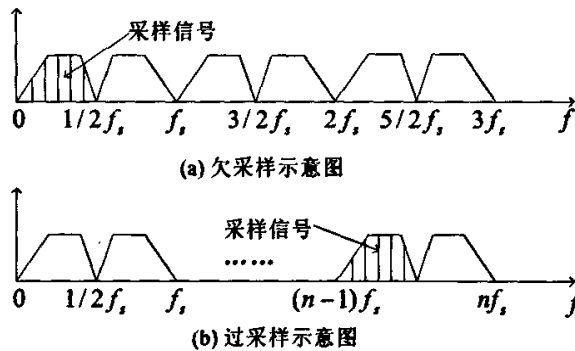


图2-3 理想情况下的欠采样与过采样示意图

对一个带通中频信号的采样既可以是过采样(相对于调制过程)又可以是欠采样(相对于载波信号)。欠采样无疑降低了A/D的采样频率, 对A/D器件和抽取滤波数字信号处理器件的要求大为降低, 此外, 欠采样有可能避开带外的谐波杂散混叠到带内来。欠采样还具有类似于变频器的作用, 一般对于信号进行欠采样, 其频谱将会被折叠到基带(又称第一Nyquist区)。

在数字化过程中, 采样频率 f_s 越大, 噪声基底越低。因为总的积分噪声保持不变而

噪声将在更宽的频段上扩展,因此 f_s 的降低将导致信噪比(SNR)的恶化。与过采样相比,欠采样相对于基带采样方案抬高了噪声基底^[20]。

2.2 多采样率的处理

软件无线电所依赖的最基本理论是带通采样定理,带通采样定理的应用大大降低了所需的射频采样速度,为后面的实时处理奠定了基础。但是从对软件无线电的要求来看,带通采样的带宽应该越宽越好,这样对不同的信号会有更好的适应性。要实现上述要求就需要提高采样频率 f_s ;另外,对一个频率很高的射频信号采样时,如果 f_s 取得太低,对提高采样量化的信噪比是不利的。所以在可能的情况下,带通采样速率应该选得高一些,使瞬时采样带宽尽可能地宽。然而随着采样速率的提高带来的另外一个问题就是采样后的数据流速率很高,导致后续的信号处理速度跟不上,特别是对有些同步解调算法,其计算量大,如果其数据吞吐率太高是很难满足实时性要求的,所以很有必要对A/D采样后的数据流进行降速处理。这就需要用到不同采样率的抽取滤波器或插值滤波器,从而涉及到多抽样率信号处理。

2.2.1 整数倍抽取

所谓整数倍抽取是指把原始采样序列 $x(n)$ 每隔 $(D-1)$ 个数据取一个以形成一个新序列 $x_D(m)$,即:

$$x_D = x(mD) \quad (2-4)$$

式中: D 取正整数,称为抽取因子。抽取过程如图2-4(a)所示,抽取器用符号表示则如图2-4(b)所示。图2-4(c)和2-4(d)分别表示抽取前后的数据序列。显然,如果序列 $x(n)$ 的采样率为 f_s ,则其无模糊带宽为 $f_s/2$;当以 D 倍抽取率对 $x(n)$ 进行抽取后,得到的抽取序列 $x_D(m)$ 之取样率为 f_s/D ,其无模糊带宽为 $f_s/(2D)$,当 $x(n)$ 含有大于 $f_s/(2D)$ 的频率分量时, $x_D(m)$ 就必然产生频谱混叠,导致从 $x_D(m)$ 中无法恢复小于 $f_s/(2D)$ 频率分量的信号,下面从数学上来证明这一点。

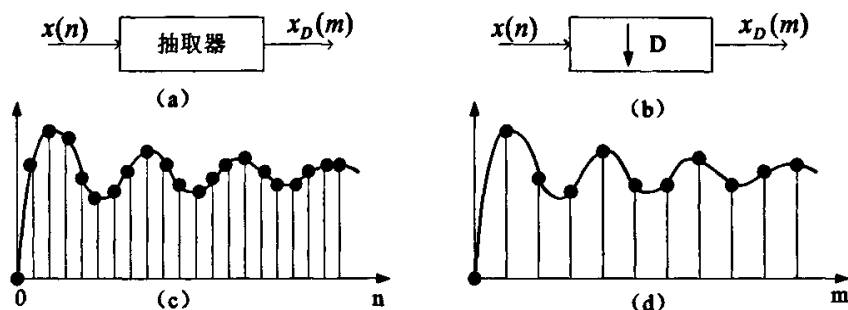


图2-4 数字信号的整数倍抽取

首先定义一个新信号:

$$y(n) = \begin{cases} x(n) & n = 0, \pm D, \pm 2D, \dots \\ 0 & \text{其它} \end{cases} \quad (2-5)$$

根据恒等式:

$$\frac{1}{D} \sum_{l=0}^{D-1} e^{j \frac{2\pi l n}{D}} = \begin{cases} 1 & n = 0, \pm D, \pm 2D, \dots \\ 0 & \text{其它} \end{cases} \quad (2-6)$$

则 $y(n)$ 可表示为:

$$y(n) = x(n) \left[\frac{1}{D} \sum_{l=0}^{D-1} e^{j \frac{2\pi l n}{D}} \right] \quad (2-7)$$

由于 $x_D = x(mD) = y(mD)$, 则 $x_D(m)$ 的 Z 变换为:

$$X_D(Z) = \sum_{m=-\infty}^{+\infty} x_D(m) z^{-m} = \sum_{m=-\infty}^{+\infty} y(Dm) z^{-m} = \sum_{m=-\infty}^{+\infty} y(m) z^{-\frac{m}{D}} \quad (2-8)$$

将公式(2-7)代入公式(2-8)中可得:

$$\begin{aligned} X_D(Z) &= \sum_{m=-\infty}^{+\infty} \left\{ x(m) \left[\frac{1}{D} \sum_{l=0}^{D-1} e^{j \frac{2\pi l m}{D}} \right] \right\} z^{-\frac{m}{D}} \\ &= \frac{1}{D} \sum_{l=0}^{D-1} \sum_{m=-\infty}^{+\infty} \left[x(m) e^{j \frac{2\pi l m}{D}} \right] z^{-\frac{m}{D}} \\ &= \frac{1}{D} \sum_{l=0}^{D-1} X \left(e^{-j \frac{2\pi l}{D}} \cdot z^{\frac{1}{D}} \right) \end{aligned} \quad (2-9)$$

将 $z = e^{j\omega}$ 代入公式(2-9), 得到抽取序列 $x_D(n)$ 的离散傅立叶变换为:

$$X_D(e^{j\omega}) = \frac{1}{D} \sum_{l=0}^{D-1} X(e^{j\frac{\omega-2\pi l}{D}}) \quad (2-10)$$

由公式(2-10)可见,抽取序列的频谱 $X_D(e^{j\omega})$ 为抽取前原始序列之频谱 $X(e^{j\omega})$ 经频移和D倍展宽后的D个频谱的叠加和。图2-5给出了抽样前后的频谱结构变换图。

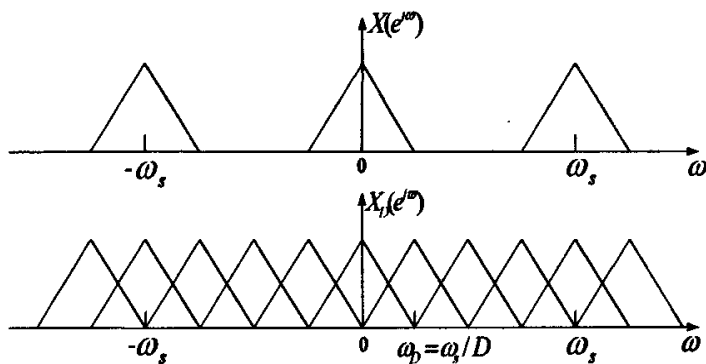


图 2-5 抽样前后(D=4)的频谱结构变换

从图2-5可以看出,抽样后的频谱 $X_D(e^{j\omega})$ 是有混叠的,这样就无法从 $x_D(n)$ 中恢复出 $x(n)$ 。所以,只有在抽取之后的抽样率仍然符合抽样定理的要求才能恢复出原始信号 $x(n)$,否则就必须另外采取措施。通常采取的措施是抗混叠滤波,所谓抗混叠滤波就是在抽取之前,对信号进行低通滤波,把信号的频带限制在 $\omega_s/2D$ ($\omega_s = 2\pi f_s$) 以下。这时的抽取系统框图应如图2-6所示,图中 $H(e^{j\omega})$ 为抗混叠滤波器。

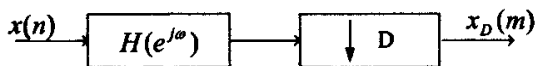


图2-6 带有抗混叠滤波器的抽取器

上图所示的抽取系统虽然把 $x(n)$ 的高频部分损失掉了,但由于抽取后避免了混叠,所以在 $X_D(e^{j\omega})$ 中仍然完好地保留 $X(e^{j\omega})$ 中的低频部分,在信号恢复时可以从 $X_D(e^{j\omega})$ 中恢复出 $X(e^{j\omega})$ 的低频部分,这一点从图2-7中可以很明显地看出来。

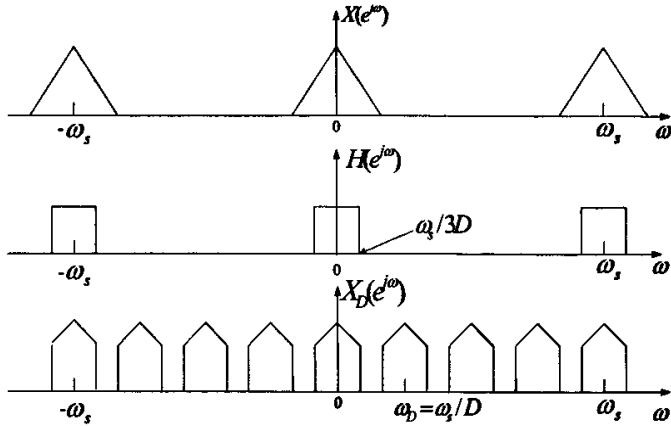


图2-7 信号抽取后的频谱图

2.2.2 整数倍内插

整数倍内插是指在两个原始抽样点之间插入 $(I-1)$ 个零值，若设原始抽样序列为 $x(n)$ ，则内插后的序列 $x_I(m)$ 为：

$$x_I(m) = \begin{cases} x\left(\frac{m}{I}\right) & m = 0, \pm I, \pm 2I, \dots \\ 0 & \text{其它} \end{cases} \quad (2-11)$$

内插的过程如图2-8(a)、2-8(b)所示，这里设 $I=3$ 。其中图2-8(a)为信号原始序列，图2-8(b)为内插后的信号序列，图2-8(c)为经过滤波后由 $X_I(e^{j\omega})$ 恢复的信号序列。

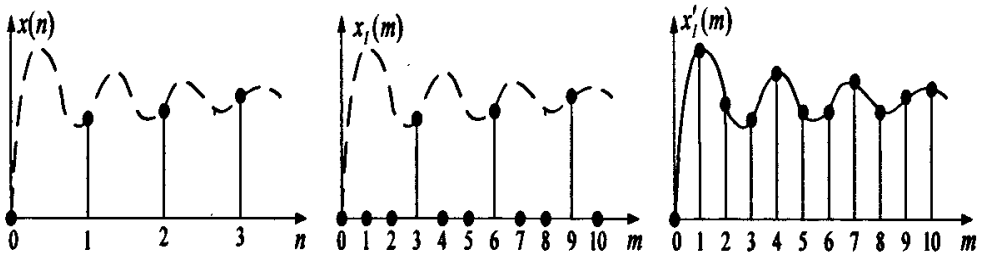


图2-8(a) 序列 $x(n)$

图2-8(b) 序列 $x_I(m)$

图2-8(c) 序列 $x'_I(m)$

下面讨论内插的信号频谱 $X_I(e^{j\omega})$ 与原始谱 $X(e^{j\omega})$ 之间的关系，从而可以更好地理解内插器的作用。

由于 $x_I(m)$ 除 m 为 I 的整数倍处为 $x_I\left(\frac{m}{I}\right)$ 外，其余都为零，所以有：

$$x_l(z) = \sum_{m=-\infty}^{+\infty} x_l(m)z^{-m} = \sum_{m=-\infty}^{+\infty} x(m)z^{-ml} = X(z^l) \quad (2-12)$$

把 $z = e^{j\omega}$ 代入公式(2-12)可得内插后的信号频谱为:

$$X_l(e^{j\omega}) = X(e^{j\omega l}) \quad (2-13)$$

由公式(2-13)可知,内插后的信号频谱为原始序列谱经 l 倍压缩后得到的谱。图2-10给出了抽取前后的频谱结构。其中图2-10(a)为原始频谱图,图2-10(b)为内插后未经滤波的频谱图,图2-10(c)为滤波后的频谱图。这时在 $X_l(e^{j\omega})$ 中不仅含有 $X(e^{j\omega})$ 的基带分量,而且还含有其频率大于 π/l 的高频成分(称其为 $X(e^{j\omega})$ 的高频镜像),为了从 $X_l(e^{j\omega})$ 中恢复原始谱,则必须对内插后的信号进行低通滤波(滤波器带宽为 π/l),滤波后的频谱结构如图2-10(c)所示。也就是说原来插入的零值点变为 $x(n)$ 的准确内插值,经过内插大大提高了时域分辨率(通过抽取则提高了频域分辨率)。

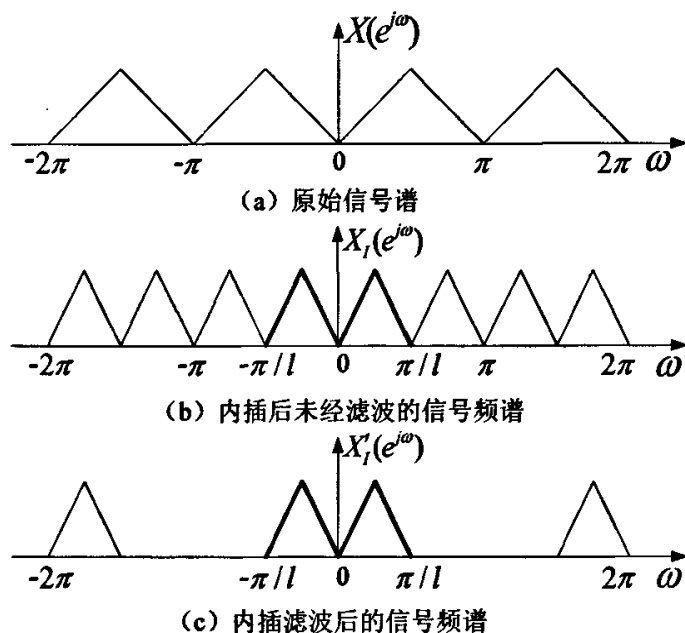


图2-10 内插前后($l=2$)的频谱结构图

从上述分析可以看出:利用内插(插入零点)不仅可以提高时域分辨率,也可以提高输出信号的频率。从 $X_l(e^{j\omega})$ 的频谱结构可以看出,只需用一个带通滤波器取出 $X_l(e^{j\omega})$ 中的高频成分即可,带通滤波器 $H_{BP}(e^{j\omega})$ 的频率特性为:

$$H_{BP}(e^{j\omega}) = \begin{cases} 1 & n\frac{\pi}{I} \leq |\omega| \leq (n+1)\frac{\pi}{I} \\ 0 & \text{其它} \end{cases} \quad (2-14)$$

式中 $n=0$ 对应取出原始基带谱, $n=1,2,3,\dots$ 对应取出基带谱的各次倍频分量。这时内插器实际上起到了上变频作用, 使输出频率提高 $(I-1)$ 倍, 而其信号的频谱结构不变。

2.3 数字下变频

数字下变频的目的是为了去除载波得到基带信号, 下变频器主要由数字控制振荡器(NCO)、混频器、低通滤波器组成。实现方法上, 有单通道混频和正交双通道混频两种方式。这两种方式的结构如图2-11和图2-12所示。

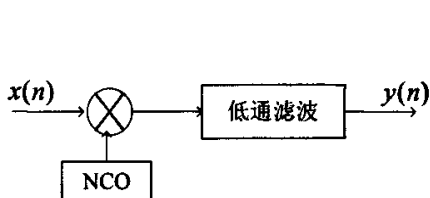


图2-11 单通道数字下变频结构图

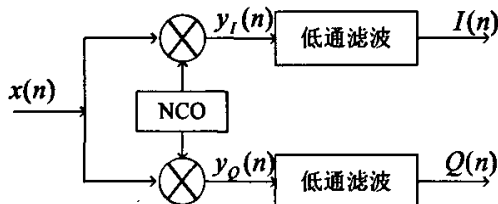


图2-12 正交通道数字下变频结构图

图2-13和图2-14分别示意了采用单通道和正交双通道混频方式混频后信号频谱的变化。从图中我们可以看到, 采用单通道结构处理时, 混频后的基带信号会发生混叠, 而采用正交双通道结构则不会。因此, 单通道混频方式在某些系统中适用(比如频谱是对称的), 在某些系统中不适用。此外, 采用何种混频方式还与基带处理的要求有关。因此, 数字下变频采用单通道或是正交通道混频方式需要根据系统的要求来考虑^[21]。

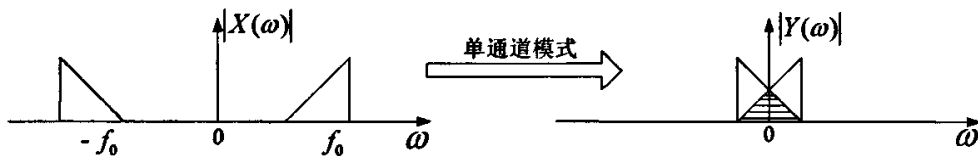


图2-13 单通道混频模式下信号频谱的变化

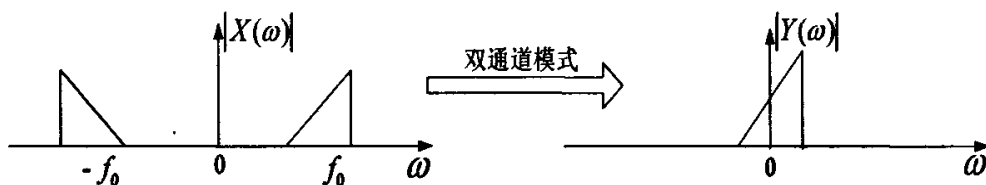


图2-14 双通道混频模式下信号频谱的变化

本文主要讨论正交通道混频结构的数字下变频器。

设接收机输出中频模拟信号的中心频率为 f_0 ，则中频信号可表示为：

$$x(t) = A(t) \cos(2\pi f_0 t + \phi(t)) \quad (2-15)$$

中频采样频率 f_s 除满足带通采样定理 $f_s \geq 2B$ 之外，还必须使相邻两个采样点之间的相位差为 $(M - \frac{1}{2})\pi$ ，即：

$$2\pi f_0 \cdot \frac{1}{f_s} = \pi(M - \frac{1}{2}) \quad (2-16)$$

式中 M 取正整数，改写公式(2-16)得到采样频率 f_s 与中心频率 f_0 满足以下关系：

$$f_s = \frac{4f_0}{2M-1} \text{ 或 } f_0 = \frac{(2M-1)f_s}{4} \quad (2-17)$$

在本方案中，中频信号的中心频率 $f_0 = 15\text{MHz}$ ，带宽 $B = 1\text{MHz}$ ，因此可取 $M = 8$ ，

$f_s = 4\text{Mbps}$ ，则 $x(t)$ 经过 A/D 转换后可表示为：

$$\begin{aligned} x(n) &= A(nt_s) \cos(2\pi f_0 nt_s + \phi(nt_s)) \\ &= A(nt_s) [\cos(\phi(nt_s)) \cos(3n\pi/2) - \sin(\phi(nt_s)) \sin(3n\pi/2)] \quad (2-18) \\ &= \begin{cases} A(nt_s) \cos(\phi(nt_s)) \dots n = 4k \\ A(nt_s) \sin(\phi(nt_s)) \dots n = 4k + 1 \\ -A(nt_s) \cos(\phi(nt_s)) \dots n = 4k + 2 \\ -A(nt_s) \sin(\phi(nt_s)) \dots n = 4k + 3 \end{cases} \end{aligned}$$

式中：采样时间间隔 $t_s = 1/f_s$ ， k 为整数。显然，经过中频采样后，由采样值交替可得到同相分量 I 的偶数项和正交分量 Q 的奇数项，所差的只是符号修正。但在数字信号处理过程中，通常需要得到同一时刻的同相分量与正交分量值，所以需要对其进行时域的插值或频域的滤波，二者是等效的。假定某次采样得到 $I(i)$ ，缺与之对应的 $Q(i)$ ，下次采样得到 $Q(i+1)$ ，缺与之对应的 $I(i+1)$ ，而 $Q(i)$ 和 $I(i+1)$ 都可以通过内插运算而得到。

一个在频域上带限的信号，在时域上必然是连续有界的。因此，用多项式来逼近一个带限信号是合理的，这就是带通信号采样中使用插值法的理论依据。实际上，插值相当于滤波，完成插值后，负谱分量已被滤除，此后采样率还可以降低。考虑到后面要用抽取来降低数据率，插值只需在一路上进行，另一路经过延时对齐即可。

图 2-16 是基于 Bessel 插值法实现数字正交采样的框图。将采样输出项进行符号校正

后，在奇次采样值上进行 Bessel 插值，偶次采样值经过延时对齐即可。

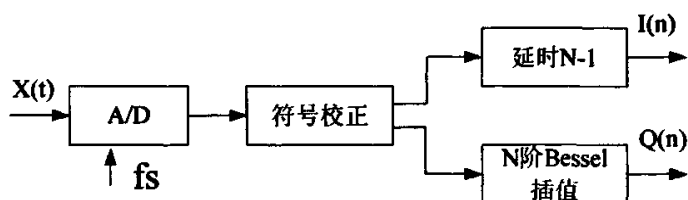


图2-16 数字正交采样的Bessel插值法

2.4 本章小结

本章介绍了有关信号采样方面的一些基本理论：Nyquist采样定理、带通信号采样理论、多采样率处理技术和数字下变频原理。Nyquist采样定理作为最基本的采样理论为模拟信号的数字化奠定了理论基础；带通采样定理的应用大大降低了所需的采样速率，为实现信号的实时处理提供了理论前提；欠采样和多速率信号处理技术为实现对A/D变换后的数据流进行降速处理提供了理论依据；数字下变频原理为实现中频数字化、将中频信号变换成和信号带宽相匹配的基带抽样信号提供了理论指导。

第三章 中频信号正交相干检波

雷达实际工作时,到达接收天线的目标回波信号都是实数,与复数的实部和虚部相比,可以认为输入回波信号是单通道的。而在数字域对回波信号进行处理时,往往需要同时得到其幅度和相位信息,比如对接收机进行系统补偿或路间不一致性的补偿、对回波信号进行距离、速度处理和方位分辨等。而一个数值只能表示幅度,因而需要对其进行变换,将其转化成同相和正交两路信号,这两路信号在幅度上一致,相位上相差 90° ,分别称为I路信号和Q路信号。这一过程通常是和检波同时进行的,因而称之为正交相干检波。

在信号处理领域,对接收信号进行正交相干检波是十分必要的。它保留了信号复包络的所有信息(幅度、相位等),因而在雷达、声纳、通讯及仪器仪表等电子系统中得到了广泛的应用。

传统的正交双通道采样主要采用模拟正交双通道处理,即将来自接收机的中频信号经过混频、滤波和A/D双通道采样后得到双路正交I、Q信号。在模拟解调中由于双路乘法器和低通滤波器本身存在不一致性,再加上模拟电路的热稳定性较差,使得I、Q输出通道间的幅度不一致,相位上存在较大的误差,反映在频域是附加了镜频分量。此方法的正交性能一般为:幅度平衡在0.5dB左右,相位正交误差在 5° 左右,即幅相误差引入的镜像功率在-30dB左右^[22,23],限制了其性能的提高,镜频抑制比只能达到-36dB,远不能满足现代高性能系统对镜频抑制比的要求。即使加上校正处理,镜频抑制比也只能达到-56dB,只能满足部分系统的要求。例如机载预警雷达为了消除强的背景杂波及干扰,要求MTI的改善因子在-60dB左右,这相应的提高了对信号处理有关部分的要求,以提供高质量的原始数据,这对正交采样提出了很高的要求。另外,校正的方法增加了实现的复杂性,需要额外的数字信号处理器件来完成校正过程。为提高镜频抑制比,直接对中频带通信号进行采样,再由数字信号处理得到正交双路数据的方法得到了广泛的关注,现已提出了多种实现方案,将镜频分量抑制到A/D转换的量化噪声之下^[24]。

与模拟器件相比,数字信号处理技术具有很高的可靠性和稳定性;另外,数字电路没有模拟电路中那样的温度漂移、增益变化以及直流电平漂移等,这使得数字电路的应用越来越广。

3.1 模拟正交采样方法

传统的复包络采样方法是采用模拟正交双通道采样，即对中频信号乘以 $e^{-j2\pi f_0 t}$ ，并滤除 $2f_0$ 分量后得到正交的双路基带信号，再进行数字采样，其处理框图如图3-1所示。

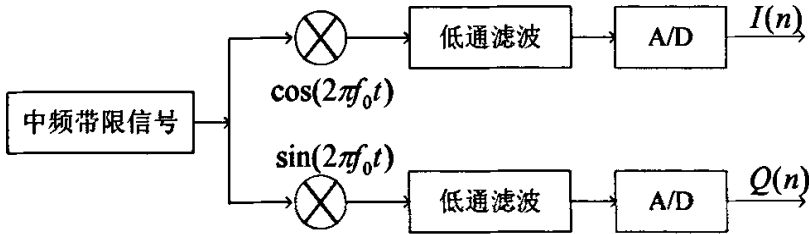


图3-1 传统正交双通道处理框图

此法需要产生完全正交的模拟本振信号 $\cos(2\pi f_0 t)$ 和 $\sin(2\pi f_0 t)$ ，这在实际中很难做到。同时，模拟双通道存在漂移和通道不一致性，模拟电路的热稳定性也较差，使得I、Q两个输出通道间的幅度不一致，相位上存在正交误差，反映在频域是增加了镜频分量。为了使镜频分量尽可能地小(镜像抑制足够大)，就必须对上述两个模拟双通道的幅度一致性、相位正交性提出要求。下面讨论幅度一致性、相位正交性与镜像抑制之间的关系。

通信系统接收机接收到的中频信号可以表示为：

$$s(t) = \text{Re} [A(t) \cdot e^{j(\omega_0 t + \varphi(t))}] = \text{Re} [\tilde{x}(t) \cdot e^{j\omega_0 t}] = \frac{\tilde{x}(t)}{2} e^{j\omega_0 t} + \frac{\tilde{x}^*(t)}{2} e^{-j\omega_0 t} \quad (3-1)$$

式中： $\tilde{x}(t) = A(t) \cdot e^{j\varphi(t)}$ 称为信号的复包络， ω_0 为中频载频角频率， Re 表示取复数的实部。 $\tilde{x}(t)$ 可表示为：

$$\tilde{x}(t) = A(t) \cos \varphi(t) + jA(t) \sin \varphi(t) = I(t) + jQ(t) \quad (3-2)$$

式中： $I(t)$ 和 $Q(t)$ 分别表示信号复包络的同相分量和正交分量。

对于理想接收相参宽带复包络正交解调器，两通道混频滤波合并后的复信号为：

$$y(t) = y_i(t) + j \cdot y_q(t) = \frac{\tilde{x}(t)}{2} e^{j\omega_0 t} \quad (3-3)$$

假定 α 为同相和正交通道的幅度偏差， $\Delta\varphi$ 为它们之间的相位偏差，同相通道的输出仍为公式(3-2)表示的 y_i ，则正交通道的输出为：

$$y_q'(t) = (1 + \alpha) \operatorname{Im} \left[\frac{x(t)}{2} e^{j\omega_c t - j(\Delta\varphi)t} \right] \quad (3-4)$$

则合并输出为:

$$y'(t) = y_i(t) + j \cdot y_q'(t) \quad (3-5)$$

由此可得存在通道偏差情况时的正交解调器的输出误差为:

$$y_e(t) = y'(t) - y(t) = j \cdot \operatorname{Im} \left\{ \left[(1 + \alpha)e^{-j\Delta\varphi} - 1 \right] \frac{x(t)}{2} e^{j\omega_c t} \right\} \quad (3-6)$$

一般来说两通道的幅度偏差小于20%，相位偏差小于0.3 rad^[25]，所以:

$$\left[(1 + \alpha)e^{-j\Delta\varphi} - 1 \right] \approx \alpha - j\Delta\varphi \quad (3-7)$$

由此误差信号 $y_e(t)$ 为:

$$\begin{aligned} y_e(t) &= j \cdot \operatorname{Im} \{ [\alpha - j\Delta\varphi] y(t) \} \\ &= (\alpha - j\Delta\varphi) \frac{y(t)}{2} - (\alpha + j\Delta\varphi) \frac{y^*(t)}{2} \end{aligned} \quad (3-8)$$

由公式(3-8)可以看出: $y_e(t)$ 包含两个部分, 第一部分为输入信号幅度和相位的畸变.

第二部分为输入信号的镜像分量.

镜像功率 Q_m 为:

$$Q_m = \frac{1}{4} (\alpha^2 + \Delta\varphi^2) \cdot y(t) \cdot y^*(t) \quad (3-9)$$

信号功率 Q_s 为:

$$\begin{aligned} Q_s &= \left(1 + \frac{\alpha}{2} - j \frac{\Delta\varphi}{2} \right) \cdot \left(1 + \frac{\alpha}{2} + j \frac{\Delta\varphi}{2} \right) \cdot y(t) \cdot y^*(t) \\ &= \left(1 + \alpha + \frac{\alpha^2}{4} + \frac{\Delta\varphi^2}{4} \right) \cdot y(t) \cdot y^*(t) \end{aligned} \quad (3-10)$$

将公式(3-10)中的高项略去得:

$$Q_s = (1 + \alpha) \cdot y(t) \cdot y^*(t) \quad (3-11)$$

则镜像功率与信号功率之比的分贝表述为:

$$\eta = 10 \lg \frac{Q_m}{Q_s} = 10 \lg (\alpha^2 + \Delta\varphi^2) - 6.0 - 4.3 |\alpha| \quad (3-12)$$

给定幅度偏差 α 、相位偏差 $\Delta\phi$ ，根据公式(3-12)即可求出镜像抑制。例如当幅度误差在2%左右，相位误差在2°左右时，引入的镜像抑制比在-34dB左右。为使镜像抑制达到-60dB，则相位偏差必须小于0.1°。也就是说为了达到比较高的镜像抑制，对正交本振的正交性要求是相当高的，用一般模拟本振的方法来实现是非常困难的。即图3-1所示的在模拟域实现正交双通道处理的办法只适用于对镜像抑制要求不高的场合，为了满足高镜像抑制的要求，一般采用数字正交采样的方法来实现。

3.2 数字正交采样方法

载频为 f_0 的中频带通信号可以表示成公式(2-18)的形式，在满足带通采样定理

$f_s \geq 2B$ 和 $f_s = \frac{4f_0}{2M-1}$ 的条件下，写成通用表达式：

$$\begin{aligned} x(n) &= A(nt_s) \cos(2\pi f_0 nt_s + \phi(nt_s)) \\ &= A(nt_s) [\cos(\phi(nt_s)) \cos(n\pi(2M-1)/2) - \sin(\phi(nt_s)) \sin(n\pi(2M-1)/2)] \\ &= \begin{cases} (-1)^{n/2} I(nt_s) & n \text{ 为偶数} \\ (-1)^M (-1)^{(n+1)/2} Q(nt_s) & n \text{ 为奇数} \end{cases} \end{aligned} \quad (3-13)$$

由上式可以看出：采样输出的信号中包含了所需的有用信息， $x(n)$ 即为交替的I、Q双路输出信号，只不过在符号上需要进行修正。另外I、Q双路输出信号在时间上相差一个采样周期 T_s ，要得到标准的I、Q双路信号，则需要经过后续的数字信号处理来实现，这种数字化方法既完成了正交化处理又实现了信号的检波。

本节将具体讨论已提出的各种实现方案，按结构分为五种类型：(1)低通滤波法；(2)Hilbert变换法；(3)插值滤波法；(4)多相滤波法；(5)频域处理法。

3.2.1 低通滤波法

低通滤波方法基本上是一种仿照模拟正交采样的实现方法，只是将移频放在A/D变换器之后，如图3-2所示。将中频采样输出信号 $x(n)$ 分别与 $\cos(2\pi f_0 t)$ 和 $\sin(2\pi f_0 t)$ 相乘进行数字混频，让混频后的信号通过低通滤波器，滤除高频分量即可得到所需的基带正交双路信号，还可对输出信号抽取以降低速率。

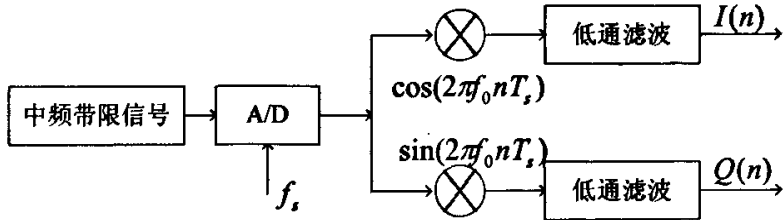


图3-2 低通滤波法实现框图

低通滤波法对双路信号同时作变换所用的滤波器系数一样，这样两路信号通过低通滤波器时，由于非理想滤波所引起的失真是一致的，对I、Q双路信号的幅度一致性和相位正交性没有影响，从而具有很好的负频谱对消功能，可以达到很高的精度。

这种方法的缺点是数据采集时需要较高的采样率，即对A/D采样的要求比较高，需在高频进行采样数字化，而且在这种处理方法中采样率要比该方法所限定的还要高。通过计算机仿真可以看出，当低通滤波器的阶数为15阶时，对镜频分量的抑制比即可达到-77dB^[26]。

3.2.2 希尔伯特变换法

自然界的物理可实现信号都是实信号，而实信号的频谱具有共轭对称性质，即满足：

$$X(f) = X^*(f) \quad (3-14)$$

所以对于一个实信号只需由其正频部分或其负频部分就能完全加以描述，不会丢失任何信息也不会产生虚假信号。例如只取正频部分得到一个新信号 $z(t)$ ，由于 $z(t)$ 只含正频分量，故 $z(t)$ 不是实信号而是复信号， $z(t)$ 之频谱 $Z(f)$ 可表示为：

$$Z(f) = \begin{cases} 2X(f) & f > 0 \\ X(f) & f = 0 \\ 0 & f < 0 \end{cases} \quad (3-15)$$

公式(3-15)中 $f > 0$ 的分量加倍是为了使 $z(t)$ 与原信号 $x(t)$ 的能量相等，引入一个阶跃滤波器：

$$H(f) = \begin{cases} 1 & f > 0 \\ 0 & f = 0 \\ -1 & f < 0 \end{cases} \quad (3-16)$$

则公式(3-15)可写为：

$$\int_{-\infty}^{\infty} x(t) \cdot H[x(t)] dt = 0 \quad (3-17)$$

如果设阶跃滤波器 $H(f)$ 对应的冲激响应为 $h(t)$ ，则根据公式(3-17)， $z(t)$ 可表示为：

$$z(t) = x(t) + x(t) * h(t) \quad (3-18)$$

式中，符号*表示卷积。冲激响应 $h(t)$ 可求得：

$$h(t) = j \cdot \frac{1}{\pi t} \quad (3-19)$$

所以 $z(t)$ 可重写为：

$$z(t) = x(t) + j \cdot \frac{1}{\pi} \int_{-\infty}^{\infty} \frac{x(\tau)}{t-\tau} d\tau \quad (3-20)$$

定义：

$$H[x(t)] = \frac{1}{\pi} \int_{-\infty}^{\infty} \frac{x(\tau)}{t-\tau} d\tau \quad (3-21)$$

称为 $x(t)$ 的 Hilbert 变换，则有：

$$z(t) = x(t) + j \cdot H[x(t)] \quad (3-22)$$

由此可以得出如下结论：一个实信号 $x(t)$ 的正频率分量所对应的信号 $z(t)$ 是一个复信号，其实部为原信号 $x(t)$ ，而其虚部为原信号 $x(t)$ 的 Hilbert 变换。把 $z(t)$ 称为实信号 $x(t)$ 的解析表示，同时把 $z(t)$ 的实部叫做 $x(t)$ 的同相分量，而把 $z(t)$ 的虚部叫做 $x(t)$ 的正交分量。之所以把 $z(t)$ 的实部与虚部称之为是正交的，是因为：

$$\begin{aligned} \int_{-\infty}^{\infty} x(t) \cdot H[x(t)] dt &= \int_{-\infty}^{\infty} x(t) \cdot \left[\frac{1}{\pi} \int_{-\infty}^{\infty} \frac{x(\tau)}{t-\tau} d\tau \right] dt \\ &= \int_{-\infty}^{\infty} x(\tau) \cdot \left[\frac{1}{\pi} \int_{-\infty}^{\infty} \frac{x(t)}{t-\tau} dt \right] d\tau \\ &= \int_{-\infty}^{\infty} x(t) \cdot \left[\frac{1}{\pi} \int_{-\infty}^{\infty} \frac{x(t)}{\tau-t} dt \right] d\tau \\ &= - \int_{-\infty}^{\infty} x(\tau) \cdot H[x(\tau)] d\tau \end{aligned} \quad (3-23)$$

由公式(3-23)即可得到：

$$\int_{-\infty}^{\infty} x(t) \cdot H[x(t)] dt = 0 \quad (3-24)$$

上式表明 $z(t)$ 之实部 $x(t)$ 与其虚部 $H[x(t)]$ 是正交的，或者说一个实信号的Hilbert变换与该信号是正交的。所以Hilbert变换就是一个正交变换，由它可以产生实信号的正交分量。

3.2.2.1 抽选后希尔伯特变换法

抽选后希尔伯特变换法的实现过程如图3-3所示。将采样输出信号 $x(n)$ 按奇偶项进行抽选和符号修正，利用所得到的偶数项(或奇数项)信号来产生标准I、Q信号。本文以偶数项为例进行分析， $x(n)$ 的偶数项进行符号修正后即为所需的I路信号。将此路信号一分为二对其中的一路信号进行Hilbert变换，另一路延迟 $(N-1)/2$ 个样本(其中N为Hilbert变换器的点数，在此设为奇数)，这样就得到了标准的I、Q双路信号。

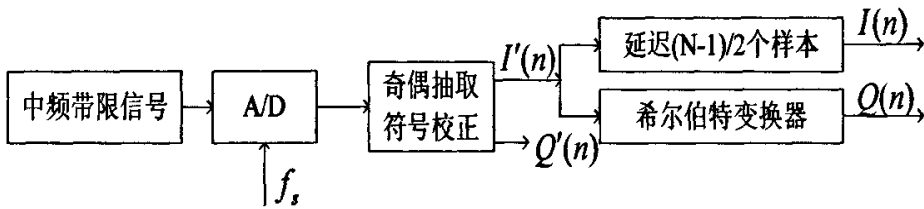


图3-3 抽选后希尔伯特变换法实现框图

利用计算机仿真可以看出，当Hilbert变换器的阶数为15阶时，对镜频分量的抑制比可以达到-54dB^[26]。

这种方法的缺点在于：由于只对一路信号进行变换，输出结果受Hilbert变换器的阶数影响很大。阶数越高，输出信号的幅度一致性与相位正交性越好。另外，它只适用于调制在 f_0 上的单边带信号，或者说当采用这种方法进行处理时， f_0 应该落在中频信号通带外。这是因为当调制在 f_0 上的信号为双边带信号时，采用这种处理方式会使上下边带信号产生混叠。以I路信号为例，当上下边带中分别存在信号 $A_1 \cos[2\pi f_0 t + \varphi_1(t)]$ 和 $A_2 \cos[2\pi f_0 t + \varphi_2(t)]$ 时，所得到的I路输出为：

$$I(n) = A_1(n \cdot 2T_s) \cos[\varphi_1(n \cdot 2T_s)] + A_2(n \cdot 2T_s) \cos[\varphi_2(n \cdot 2T_s)] \quad (3-25)$$

可以看出，由于余弦函数的偶对称性，上下边带的信号将无法区分开。而且即使调

制在 f_0 上的信号为单边带信号时, 由上述分析可见, 另一边带的噪声也将混叠到信号域中, 这样将导致信噪比下降, 但下降值不会大于6dB。在实际应用中, 若中频信号的载频 f_0 落在信号通带内, 即调制在 f_0 上的信号为双边带信号时, 需要在采样处理时选择一个新的频率 f'_0 , 使信号变为调制在 f'_0 上的单边带信号, 而且采样频率 f_s 应满足公式(2-17)所示的关系, 即:

$$f_s = \frac{4f'_0}{(2M-1)}$$

这种方法的优点在于: 在满足 $f_s = \frac{4f'_0}{(2M-1)}$ 和 $f_s \geq 2B$ 的前提下, f_s 可以取任意小的频率值, 以减小对A/D采样及后续的数字信号处理部分的压力。

3.2.2.2 直接希尔伯特变换法

直接希尔伯特变换法的实现过程如图3-4所示。直接对中频采样输出信号 $x(n)$ 进行延时和希尔伯特变换处理, 然后在时域进行抽选(也可在频域进行频移) 即可得到所需的 I、Q 双路信号。

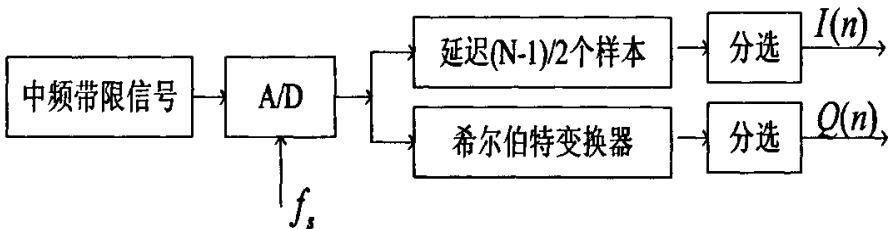


图3-4 直接希尔伯特变换法实现框图

通过计算机仿真可以看出, 当希尔伯特变换器的阶数为15阶时, 对镜频分量的抑制比可达到-60dB^[26]。

这种方法与上一方法的区别在于: 它是在中频采样输出信号 $x(n)$ 处进行希尔伯特变换, 这样可以避免双边带信号解调后的频谱混叠, 也不会导致输出信号信噪比的降低。但这种方法要求采样率在满足上述条件的同时还要满足Nyquist采样定理, 即:

$$f_s > 2\left(f_0 + \frac{B}{2}\right) \quad (3-26)$$

与上一方法相比, 这种解调处理的缺点在于它需要较高的采样率。

3.2.3 插值法

从第二章所述的中频采样原理可以看出,中频数字化可以直接由采样值交替得到同相分量 I 的偶数项和正交分量 Q 的奇数项,所差的只是符号修正。但在数字信号处理过程中,通常需要得到同一时刻的同相分量与正交分量值,所以需要对其进行时域的插值或频域的滤波,二者是等效的。

根据信号分析理论可知,一个在频域上带限的信号,在时域上必然是连续有界的。因此,用多项式来逼近一个带限信号是合理的。这就是带通信号采样中使用插值法的理论依据。

3.2.3.1 辛格插值法

根据公式(3-13),当以 $f_s = \frac{4f_0}{2M-1}$ 采样时,接收机输出的中频信号可表示为:

$$\begin{aligned} x(n) &= A(nt_s) \cos(2\pi f_0 nt_s + \phi(nt_s)) \\ &= A(nt_s) [\cos(\phi(nt_s)) \cos(n\pi(2M-1)/2) - \sin(\phi(nt_s)) \sin(n\pi(2M-1)/2)] \\ &= \begin{cases} (-1)^{n/2} I(nt_s) & n \text{ 为偶数} \\ (-1)^M (-1)^{(n+1)/2} Q(nt_s) & n \text{ 为奇数} \end{cases} \end{aligned} \quad (3-27)$$

注意到 $\frac{1}{4f_0} = \frac{1}{2M-1} \cdot \frac{1}{f_s} = \frac{1}{2M-1} \cdot t_s$, 因此,可以考虑在抽样点 nt_s 附近进行插值。

由公式(3-27)得:

$$\begin{aligned} x\left(nt_s + \frac{1}{4f_0}\right) &= I\left(nt_s + \frac{1}{4f_0}\right) \cos 2\pi f_0 \left[\frac{(2M-1)n}{4f_0} + \frac{1}{4f_0}\right] - Q\left(nt_s + \frac{1}{4f_0}\right) \sin 2\pi f_0 \left[\frac{(2M-1)n}{4f_0} + \frac{1}{4f_0}\right] \\ &= \begin{cases} (-1)^{n/2} Q\left(nt_s + \frac{1}{4f_0}\right) & n \text{ 为偶数} \\ \pm (-1)^{(n-1)/2} I\left(nt_s + \frac{1}{4f_0}\right) & n \text{ 为奇数} \end{cases} \end{aligned} \quad (3-28)$$

式中, M 为奇数时取“+”, M 为偶数时取“-”。由于一般 M 较大,即插值点与抽样点无限接近时,有 $nt_s + \frac{1}{4f_0} = nt_s + \frac{1}{2M-1} \cdot t_s \approx nt_s$, 故只要求出 $x\left(nt_s + \frac{1}{4f_0}\right)$ 的插值,便可得到 nt_s 时刻的同相分量或正交分量的近似值。辛格插值法的实现过程如图 3-5 所示。

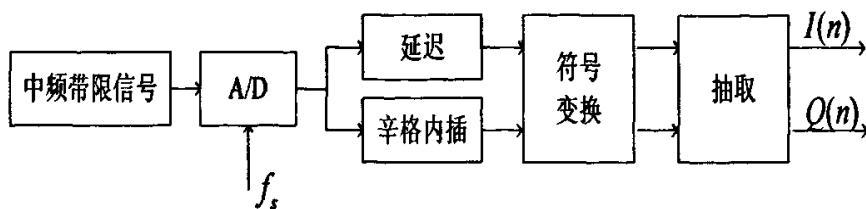


图3-5 辛格插值法实现框图

通过计算机仿真可以看出，当辛格内插器的阶数为15阶时，对镜频分量的抑制比可达到-80dB。然而，此法对信号边带的抑制特性较差，15阶时约为-28dB^[27]。

3.2.3.2 Bessel插值法

一个在频域上带限的信号，在时域上必然是连续有界的。因此，用多项式来逼近一个带限信号是合理的。实际上，插值相当于滤波，完成插值后，负谱分量已被滤除，此后采样率还可以降低。考虑到后面要用抽取来降低数据率，插值只需在一路上进行，另一路经过延时对齐即可。工程上常采用较易实现的 Bessel 插值法来计算丢失采样值。

Bessel插值公式为：

$$p\left(\frac{x_0+x_1}{2}\right) = \frac{1}{2}(y_0+y_1) + \frac{1}{16}(-y_{-1}+y_0+y_1-y_2) + \frac{3}{256}(y_{-2}-3y_{-1}+2y_0+2y_1-3y_2+y_3) + \frac{5}{2048}(-y_{-3}+5y_{-2}-9y_{-1}+5y_0+5y_1-9y_2+5y_3-y_4) + \dots \quad (3-29)$$

式中 y_i 为内插节点值， $p(\cdot)$ 为内插值。为了选取合适的内插滤波器阶数，需要对公式(3-29)的余项(内插误差)进行分析，把Bessel内插误差公式应用于工程，则有如下表达式：

$$E_{\max} = \frac{h^n}{4n!} \left[\frac{1}{4} - l^2 \right] \dots \left[\frac{1}{4} - \left(\frac{n}{2} - 1 \right)^2 \right] \cdot (2-n) \quad (3-30)$$

式中： $h = 4\pi f_b / f_s$ 为归一化的采样间隔， f_b 为信号的偏差， n 为内插滤波器的阶数。

以本文的参数 $f_0 = 15\text{MHz}$ ， $f_s = 4\text{Mbps}$ 为例，当 $f_b = 300\text{kHz}$ 时，对于四阶Bessel内插公式，可求得内插误差 $E_{\max} = 0.01849$ ，由此引起的I、Q相位误差为 1° ；对于六阶Bessel内插公式，可求得内插误差 $E_{\max} = 0.0032$ ，由此引起的I、Q相位误差为小于 0.2° 。本文选取的滤波器阶数为六阶，六阶Bessel内插公式为：

$$p\left(\frac{x_0+x_1}{2}\right) = \frac{3}{256}(3y_{-2}-25y_{-1}+150y_0+150y_1-25y_2+3y_3) \quad (3-31)$$

将公式(3-31)改写为适用于数字IQ处理的通用公式，得到：

$$x(n) = [x(n-1) + x(n+1)] * \frac{150}{256} - [x(n-3) + x(n+3)] * \frac{25}{256} + [x(n-5) + x(n+5)] * \frac{3}{256} \quad (3-32)$$

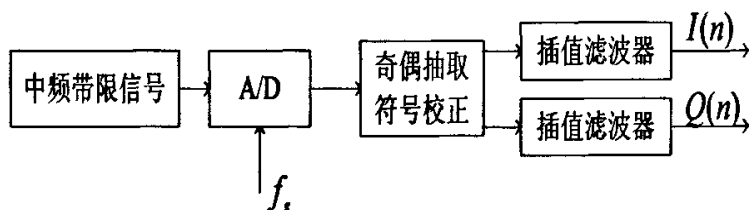
Bessel内插法对频谱中心的衰减较大，在频谱边缘衰减较小。故我们认为：Bessel插值法更适用于信号频谱集中于频带中心的情况，或 $f_s \gg B$ 的情况。另外，Bessel插值的系数可精确的用二进制小数来表示，所以在工程上较易实现，而且可以达到较高的精度^[27]。

3.2.4 多项滤波法

上面阐述的Hilbert滤波法、辛格内插法和Bessel插值法3种方法中，Hilbert滤波法是为了滤除低频分量得到解析信号而提出的；辛格内插法与Bessel插值法则是在A/D采样后交替得到相差一个符号因子的同相和正交分量，经符号修正后通过一路延迟另一路插值来完成时间上的对齐两种方法，主要不同之处在于所用的插值函数不同。

上述方法都只有一路滤波而另一路仅作时间上的延迟，故实际滤波器与理想滤波器的任何差异都将导致I、Q的不匹配，产生较大的误差。因而，在实际的运用中需要采用较高阶数的滤波器，给实现带来不便。低通滤波法虽然提出了一种对双路信号同时进行处理以避免对单路处理时引入附加失真的处理方式，可以用较短的滤波器来实现较好的正交处理，但它需要比较高的采样率。

多相滤波法采用对两路同时滤波，而且两路滤波器的系数是从同一个原型滤波器中抽取出来的，滤波器特性的不理想不会直接带来I、Q两路的不一致，因此能够以较低的滤波器阶数，达到较高的性能。多相滤波法的实现框图如图3-6所示。



由公式(3-27)可以看出，当以 $f_s = \frac{4f_0}{2M-1}$ 采样时，可以从一路获得基带同相分量的

偶数值，另一路获得基带正交分量的奇数值。在时域上，相当于两路信号有半个采样周期的时延；在频域上，则表现为相差一个相位因子。由公式(3-26)推导如下：

设在公式(3-27)中， $M=0$ ，将 $x(n)$ 进行奇偶分路和符号变换，可以得到：

$$I'(n) = (-1)^n x(2n) = I(2n) \quad (3-33)$$

$$Q'(n) = (-1)^n x(2n-1) = Q(2n-1) \quad (3-34)$$

则 $I'(n)$ 的频谱为：

$$\begin{aligned} I'(e^{j\omega}) &= \sum_{n=-\infty}^{+\infty} I(2n)e^{-j\omega n} = \frac{1}{2} \sum_{l=0}^1 \sum_{n=-\infty}^{+\infty} I(2n)e^{j\pi n l} e^{-j\omega(n/2)} \\ &= I(e^{j\omega/2}) + I(e^{j(\omega/2+\pi)}) / 2 \end{aligned} \quad (3-35)$$

其中， $I(e^{j\omega})$ 为 $I(n)$ 的频谱。只要满足 $I(e^{j\omega}) = 0 \quad (\pi/2 \leq |\omega| \leq \pi)$ ，公式(3-35)中的两个分量就不会混叠，即：

$$I'(e^{j\omega}) = I(e^{j\omega/2}) / 2 \quad (3-36)$$

同理，若 $Q(n)$ 的频谱 $Q(e^{j\omega})$ 满足 $Q(e^{j\omega}) = 0 \quad (\pi/2 \leq |\omega| \leq \pi)$ ，则 $Q'(n)$ 的频谱可改写为：

$$Q'(e^{j\omega}) = Q(e^{j\omega/2})e^{-j\omega/2} / 2 \quad (3-37)$$

公式(3-36)和公式(3-37)描述了正确的正交解调后I、Q支路的频谱，公式(3-37)比公式(3-36)多出了一个相位因子 $e^{-j\omega/2}$ ，这个相位因子等同于1/2采样时间的不对齐。这是由于将数字化中频信号的所有第 $2n-1$ 个采样值分配给Q路导致的。同样的道理，若将所有 $2n+1$ 个采样值分配给Q路，则这个相位因子就为 $e^{j\omega/2}$ 。因此，I、Q在时间上的不对齐可以采用两个时延滤波器来加以校正。这两个滤波器的频率响应应满足：

$$\frac{H_q(e^{j\omega})}{H_i(e^{j\omega})} = e^{-j\omega/2} \quad \text{且} \quad |H_q(e^{j\omega})| = |H_i(e^{j\omega})| = 1 \quad (3-38)$$

文献[12]提出可以设计多相滤波器，分别对I、Q作FIR内插滤波，内插滤波器相对于理想滤波器之间的差异不直接导致I、Q两路的不匹配。因为多项滤波器式从同一路低通滤波器中抽取出来的，滤波器组的多项分量的频响特性很相似，所以即使是非理想滤波，由于它们对I、Q两路的失真是一致的，因而可以以较低的滤波器阶数达到较高的精度。

例如可选:

$$\begin{cases} H_i(e^{j\omega}) = e^{j\frac{3\omega}{4}} \\ H_q(e^{j\omega}) = e^{j\frac{\omega}{4}} \end{cases} \quad \text{或} \quad \begin{cases} H_i(e^{j\omega}) = e^{j\frac{\omega}{2}} \\ H_q(e^{j\omega}) = 1 \end{cases} \quad (3-39)$$

则用上述两个滤波器分别对 $I(n)$ 和 $Q(n)$ 进行滤波后可得:

$$2I''(e^{j\omega}) = I'(e^{j\omega})H_i(e^{j\omega}) = I(e^{j\frac{\omega}{2}}) \cdot e^{j\frac{3\omega}{4}} \quad \text{或} \quad [I(e^{j\frac{\omega}{2}}) \cdot e^{j\frac{\omega}{2}}] \quad (3-40)$$

$$2Q''(e^{j\omega}) = Q'(e^{j\omega})H_q(e^{j\omega}) = Q(e^{j\frac{\omega}{2}}) \cdot e^{j\frac{3\omega}{4}} \quad \text{或} \quad [Q(e^{j\frac{\omega}{2}}) \cdot e^{j\frac{\omega}{2}}] \quad (3-41)$$

由此可见, 经过 $H_i(e^{j\omega})$ 和 $H_q(e^{j\omega})$ 滤波, 两个正交的基带信号 $I''(n)$ 和 $Q''(n)$ 在时间上就完全对齐了(具有相同的延迟因子)。

通过以上分析知道, 延时校正滤波器可以采用如公式(3-39)滤波器中的其中一组来实现。实际上, 上述两组滤波器就是内插因子 $1=4$ 时多相滤波内插器的分支滤波器。设计 FIR 内插器的方法很多, 一般都是基于设计多相滤波器组, 每个多相滤波器本质上都是一个分数延迟内插器, 滤波器组组成一个多相速率扩展系统可以被一个等价的直接扩展系统来模拟。这个等价的直接扩展系统是通过在采样点间添零和低通滤波来完成的。在直接扩展系统的输出端, 一个或 n 个标准滤波器产生的脉冲响应, 可以通过延迟和抽取后得到多相分量。

3.2.5 频域法

图3-7是频域法实现数字正交采样的框图, 此方法即为Hilbert变换法的频域实现。

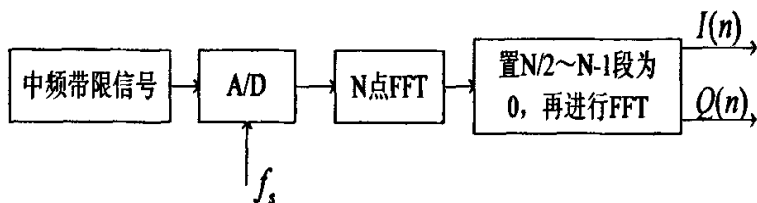


图3-7 频域法实现框图

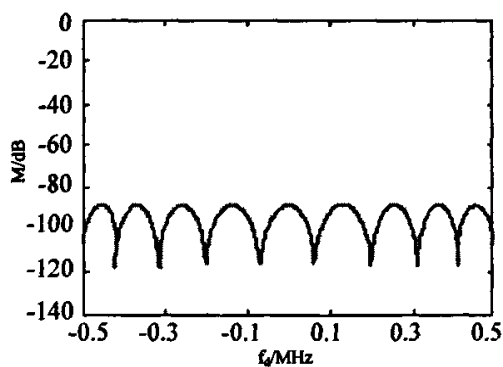
由公式(3-27)可以看出, 中频带通信号按 $f_s = \frac{4f_0}{2M-1}$ 且 $f_s \geq 2B$ 的采样率取样后, 可得到交替的 $I(n)$ 和 $Q(n)$ 值。两者在时间上相差一个采样周期, 对上面所得的 $x(n)$ 进行2倍抽取和符号校正后, 得到单路 $I(n)$ 或 $Q(n)$ 。因此, 在频率域实现数字正交化的方

法为：首先对采样数据 $I(n)$ 作FFT后，令其负频率分量为0，正频率分量乘以2得到 $Z(e^{j\omega})$ ，然后对 $Z(e^{j\omega})$ 作IFFT得到复信号 $Z(n)$ ， $Z(n)$ 的实部和虚部分别对应I、Q通道数据。此方法仅需作两次傅立叶变换便可形成I、Q通道，可得到理想的镜像抑制。此法即是Hilbert滤波器法的频域实现，由于FFT存在快速算法，因此非常适合采用DSP技术来实现数字正交采样。

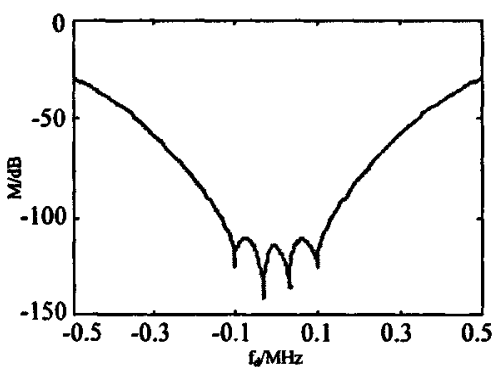
3.2.6 计算机仿真分析

本节对常用的Hilbert滤波、辛格内插、Bessel插值及多相滤波法的镜频特性进行了计算机仿真以比较其性能。仿真时选取中频信号带宽 $B=1\text{MHz}$ ，中心频率 $f_0=15\text{MHz}$ ，采样频率 $f_s=4\text{Mbps}$ 。图3-8为上述4种方法对中频信号解调后的镜频抑制特性，图中横坐标为信号频率分量 $f_d \in (-0.5, 0.5)\text{MHz}$ ，纵坐标为镜频分量抑制比

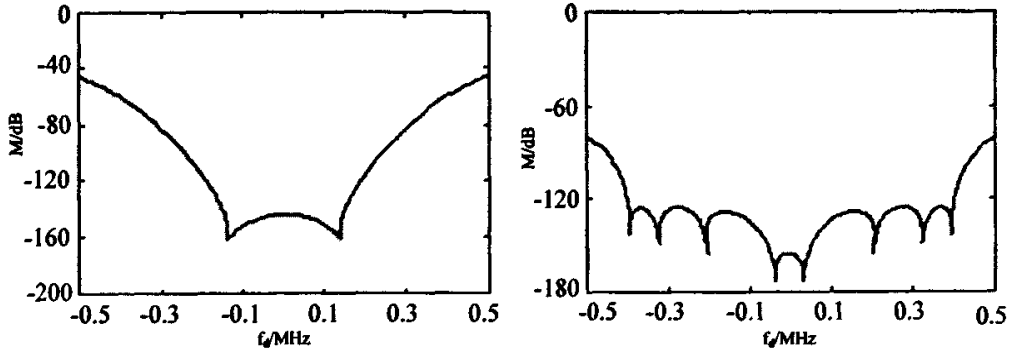
$\eta = 20\lg|X(-f_d)/X(f_d)|$ 。仿真中Hilbert滤波器为基于瑞梅兹算法设计的FIR等波纹滤波器，它与辛格插值器、Bessel插值器的阶数相同都为19阶，都有10个非零系数且奇对称，对于多相滤波法，滤波器的阶数为8，系数偶对称。



(a) Hilbert变换法



(b) 辛格插值法



(c) Bessel插值法

(d) 多项滤波法

图3-8 几种常用数字正交采样法的镜频抑制特性

由图3-8可以看出，在相同的滤波器阶数(非零系数的个数相同)条件下，由于Hilbert变换法是按等波纹设计的，所以在整个频带内的镜频抑制比基本相同，约为-88dB。辛格插值法和Bessel插值法则在频带中心的衰减较大，边缘较小，辛格插值法分别为-110dB和-30dB，Bessel插值法分别为-150dB和-47dB，而且，Bessel插值法的衰减宽度也较辛格内插法宽。与前三种方法相比，多相滤波法8阶就可以达到-125dB的衰减，并且衰减的宽度也较快，然而由于多相滤波法采用双路滤波，所以运算量要加倍，但它的检波效果是最佳的。

3.3 本章小结

本章从模拟正交采样出发，对数字正交采样方案进行了理论分析，探讨了各种不同的实现方法，综合分析比较了各种方法并进行了计算机仿真。从前面的讨论可知：

(1) 在对中频信号进行正交相干检波时，首先要根据信号频谱特性选取合适的采样频率。由于受器件发展水平的限制，目前的数字正交相干检波方案中，在满足系统要求的前提下，我们总是希望采样频率越低越好(采样频率越低，数据处理压力越小，系统信噪比和精度也就会随之降低)。在一般的方案中，采样频率通常取值为信号带宽的3~6倍。通常，为了防止抽样后的频谱混叠、便于降低速率和移频，我们取采样频率为信号带宽的4倍更为合适，而且具体的实现结构也很简单。对于采样频率的确定，一般的方案都要求严格满足 $f_s \geq 2B$ 和 $f_s = \frac{4f_0}{2M-1}$ ，其中M的取值不宜太大(应根据具体器件决定)。

(2) 低通滤波法的实现过程是先将中频移至零频，然后由低通滤波器滤除相当于负

频谱的高频分量；Hilbert变换法则是先由希尔伯特滤波器滤除负谱分量后再进行移频；内插法则在采样时就已完成了移频，得到在时间上不对齐的IQ基带分量，相当于在频域上相差一个相位因子，因此，时域的插值就相当于频域的滤波，此滤波器为线性相位的全通滤波器。辛格内插和Bessel内插为单路内插，多相滤波法则采用双路内插。

(3) 从对于镜频的抑制特性角度来看，频域法和多相滤波法最佳，低通滤波法次之，插值法和Hilbert变换法最差。从工程实现的容易程度而言，插值法和频域法最佳，Hilbert变换法和多相滤波法次之，低通滤波法最差。

综上所述，我们认为：在具体应用中时，首先应根据信号的频谱特性来选择解调方案。如果信号的能量集中在频谱中心，则应选择Bessel法和辛格内插法，这两者相比，Bessel插值法的性能更为优良。反之，若信号的边带频谱分量较强，则应选用低通滤波法、Hilbert变换法、频域法和多相滤波法。这四者相比，多相滤波法能以较低的阶数实现较高的镜频抑制比，所以，目前有被广泛采用的趋势。

第四章 中频数字化系统硬件设计

在前面两章的论述中,我们探讨了信号采样的基本理论以及正交相干检波的不同方法,为本章系统方案的设计和实现提供了理论基础。整个雷达信号处理流程如下:首先对来自接收机的中频信号进行 A/D 采样转换,经过符号校正、直流抑制后,进行数字正交处理,形成 I、Q 正交数字视频信号;然后通过 LVDS 总线将已处理的数字视频信号传至后续板进行频域脉冲压缩、恒虚警处理、多电平检测以及多目标累积等;最后通过自适应动目标显示(AMTI)、自适应动目标检测(AMTD)或脉冲多普勒(PD)技术来确定目标信息。根据中频数字化系统设计的要求,本文所涉及的主要工作指标如下:

(1) 主要技术参数和要求

中频 A/D 采样通道数: 4

中频 A/D 位数: 14 位

中频 A/D 采样率: 4MHz

数字正交 I/Q 视频:

幅度一致性: $\pm 0.2\text{dB}$

相位正交性: $90\pm 0.5^\circ$

(2) 系统电源

模拟电源: $\pm 5\text{V}\pm 0.1\text{V}$, 电流 $\geq 6\text{A}$, 纹波 $\leq 100\text{mV}$

数字电源: $+3.3\text{V}\pm 0.1\text{V}$, 电流 $\geq 1.25\text{A}$, 纹波 $\leq 100\text{mV}$

(2) 系统时钟

频率: $16\text{MHz}\pm 0.01\text{MHz}$

谐波抑制: $\geq 45\text{dB}$

杂散抑制: $\geq 60\text{dB}$

周期抖动: $\leq 100\text{ps}$

功率: $8\text{dBmW}\pm 2.5\text{dBmW}$

(3) 中频信号

信号形式: 非线性调频信号(NLFM)

中心频率: $15\text{MHz}\pm 0.1\text{MHz}$

带宽: $1.0\text{MHz}\pm 0.2\text{MHz}$

输入范围: $-1.25\text{V}\sim +1.25\text{V}$ (带 50Ω 负载)

(4)双向信号

CAN 总线接口：符合 CAN 2.0B 标准

LVDS 总线接口：符合 ANSI/TIA/EIA-644 标准

4.1 系统整体设计方案

中频后的信号处理主要包括高速数据采集，数字下变频及DSP基带处理三部分，本文吸取了软件无线电的思想，采用可编程逻辑器件设计了基于LVDS总线拓扑结构的中频数字化方案。该方案采用通用化设计，电路功能灵活、集成度高，同时考虑到系统升级的需要，硬件资源留有一定的余量。中频数字化的主要任务是将各种调制信号从中频变换到基带，这部分设计主要包括信号采集电路设计、中频数字化电路设计、逻辑控制电路设计和系统自检电路设计。具体的实现框图如图4-1所示：

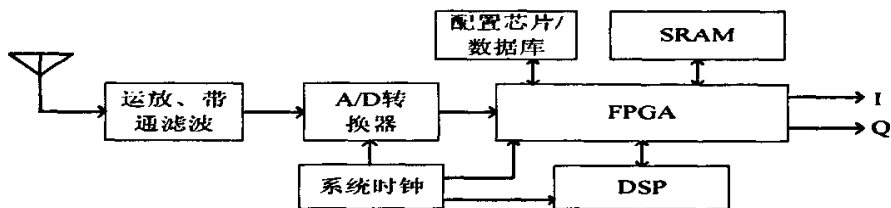


图4-1 中频数字化实现框图

其中，FPGA 采用 Altera 公司的 EP2C20F484I8，主要用来实现中频信号数字化算法，包括直流抑制、数字正交、数据组帧及传输等；配置芯片/数据库选用 Altera 公司的专用配置芯片 EPCS64，兼做自检数据库用来存放雷达自检数据；DSP 采用 TI 公司的 TMS320LF2407A，主要负责与上位机之间的数据通讯以及与 FPGA 之间的数据交换，并通过 SPI 口完成对自检数据库的加载和读取。

4.2 信号采集电路设计

信号采集电路一般由放大器、抗混叠滤波器、A/D转换器、时钟、输出接口等组成，如图4-2所示。此电路主要由运算放大器AD8056、匹配滤波电路和模/数转换器AD9240组成，负责完成中频数据的采集工作。AD8056是ADI公司的低功耗、高宽带、高速双通道运算放大器，其中频输入信号参数为：载频15MHz、带宽1MHz，电压范围-1.25V~+1.25V(带50Ω负载)，经过放大(增益G=2)后，输出信号电压范围为-2.5V~+2.5V，在输出端将电压中心值抬高到+2.5V，因此A/D的输入电平是0~+5V。ADuM1400是数字

隔离器，主要用来隔离模拟干扰并进行电平匹配(将A/D转换器的CMOS电平输出转换为FPGA可兼容的LVTTTL电平)。滤波电路是一个由LC电路组成的低通滤波网络，对输入信号进行前置抗混叠滤波。由于采用双通道运算放大器做前级电压放大，因此能有效抑制中频信号上的电压纹波以及加载在中频信号上的信道噪声。

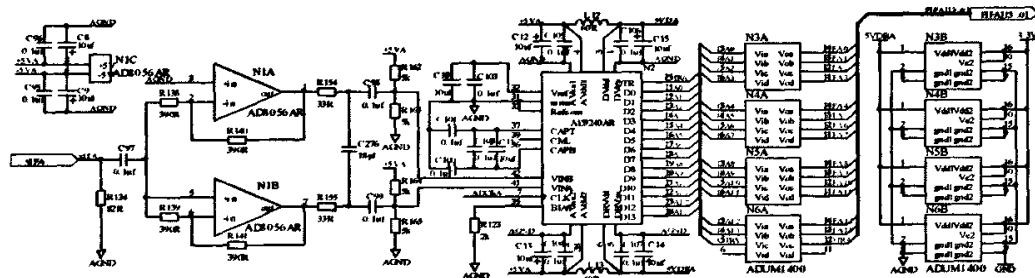


图4-2 数据采集硬件电路图

A/D 转换器在对模拟信号进行取样和量化时，必然会对每个取样值进行截尾或舍入，从而使取样值不能无限精确，对取样值进行截尾或舍入必然会引入量化误差。图 4-3 和 4-4 分别为由舍入量化和截尾量化所引入的量化误差对后续脉冲压缩处理中的脉压输出主副瓣比的影响。由仿真结果可以看出，随着 A/D 转换器位数的增大，脉压输出主副瓣比增大并趋于理想值。仿真结果表明，为达到一定的精度要求并不需要 A/D 转换器的位数为无穷大，在本系统中 A/D 转换器的位数大于十即可满足要求。

本系统所选用的 AD9240 是一款的采用 CMOS 工艺的低功耗(在+5V 供电时仅为 285mW)模/数转换器，该芯片的转换位数为 14 位，最高采样率为 10M/s。在 5MHz 带宽内具有 77.5dB 的信噪比并保持 90dB 的无杂散动态范围(SFDR)，降低了附加抖动，提高了采样速率并增强了输入频率能力。

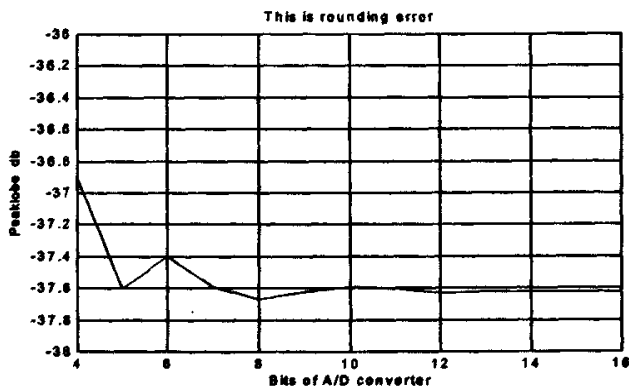


图 4-3 舍入量化对主副瓣比的影响

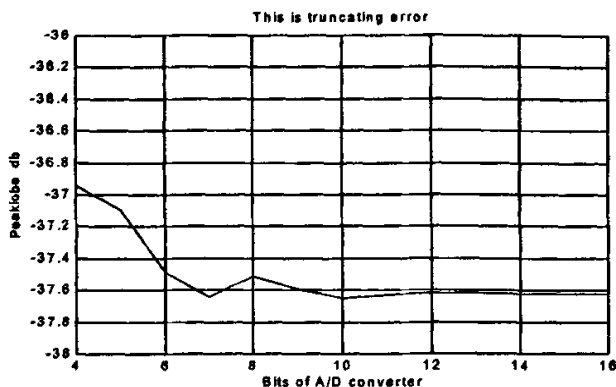


图 4-4 截尾量化对主副瓣比的影响

4.3 中频数字化电路设计

数字下变频是中频数字化处理的核心，该部分采用Altera公司的基于90纳米SRAM工艺查找表结构(Look-up Table)的CycloneII系列可编程逻辑器件EP2C20F484I8来完成。CycloneII系列器件提供了高密度、高速和系统集成的功能，比上一代芯片成本低30%，逻辑容量多三倍。大量设计的基准测试结果表明，CycloneII系列FPGA的成本是相竞争的其它低成本FPGA的一半，而速度快50%以上。由于内嵌高带宽乘法器，非常适合于低成本的数字信号处理的应用，而且这些乘法器最高能运行至250MHz，消除了由复杂算法计算所导致的性能瓶颈。

EP2C20F484I8的具体性能^[28]如下：

- (1) 容量：18752个逻辑单元(LE)，1172个逻辑阵列块(LAB)
- (2) 嵌入式存储器：52个M4K存储块(4K比特加上512校验比特)，提供最高达234K的片内存储空间，支持多种配置如单口和双口RAM、ROM和FIFO
- (3) 嵌入式乘法器：26个18×18乘法器，可配置成52个9×9乘法器，最高可运行至250MHz
- (4) 锁相环：4个，可实现时钟的分频、倍频和相位的延迟对齐
- (5) 外部存储器接口：CycloneII器件是为高速和可靠的数据传输而设计的，能以167Mbps的速率同SDR SDRAM器件、333Mbps的速率同DDR和DDR II SDRAM器件以及667Mbps的速率同QDR II器件相连接
- (6) I/O标准：CycloneII器件支持多种单端和差分I/O标准，包括SSTL、HSTL、PCI、PCI-X、LVCMOS、LVTTTL、LVDS、mini-LVDS、RSDS和LVPECL，最多可使

用315个I/O管脚和132个差分通道

FPGA中频数字化原理图如图4-4所示。当系统进行自检时，输入FPGA的是来自自检数据库EPCS64中预存的雷达自检数据；当系统正常工作时，输入FPGA的是来自A/D采样的雷达回波数据。A/D是14位二进制原码输出，经过符号校正(将最高位反号后即可变为二进制偏移码)后，送入FPGA进行直流抑制，直流抑制是为了减少接收机和A/D采样电路中可能存在的直流漂移对信号处理的影响。直流抑制后的信号可以认为是雷达回波的原始信号，经过六阶Bessel内插滤波并加入校验码后，即可形成I、Q双路视频数据。

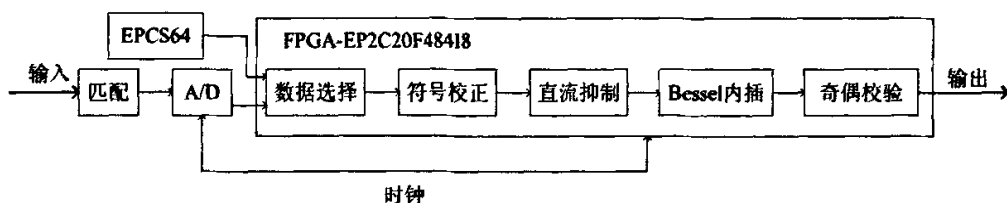


图4-4 FPGA中频数字化原理图

4.3.1 电源管理

FPGA内核和锁相环(PLL)使用数字1.2V电源，I/O口可采用3.3V TTL标准或者2.5V LVTTTL标准，在满足接口标准的条件下，我们选用2.5V LVTTTL标准，可以有效降低FPGA静态功耗。

FPGA采用两片凌力尔特公司的LTC3412 DC/DC电源为内核和I/O单独供电，LTC3412的转换效率高达95%，输出误差仅为±2%。输入电压范围宽，输出电流大(2.5A)，驱动能力强。而且片内能提供精准参考电压，使得输出电压可调。

内核电源供电电路如图4-5所示， V_{pb} 提供0.8V的片内精准参考电压，只需合理配置输出电阻R100、R101和R102的阻值即可为FPGA提供1.2V和2.5V的电压，而且输出电流足够驱动整个FPGA芯片。I/O口电源供电电路与内核电源供电电路相似。

PLL的供电与内核和I/O口不同，包括数字1.2V和模拟1.2V电源，为防止噪声通过模拟电源和模拟地引入FPGA，可使用一个50MHz的磁珠或10uF的钽电容进行低通滤波以滤除高频干扰，然后经过0.1uF和0.001uF陶瓷片去耦电容后，将数字1.2V电压引入到PLL的模拟1.2V电压端口去。另外，PLL的地是模拟地，需要与数字地隔开。

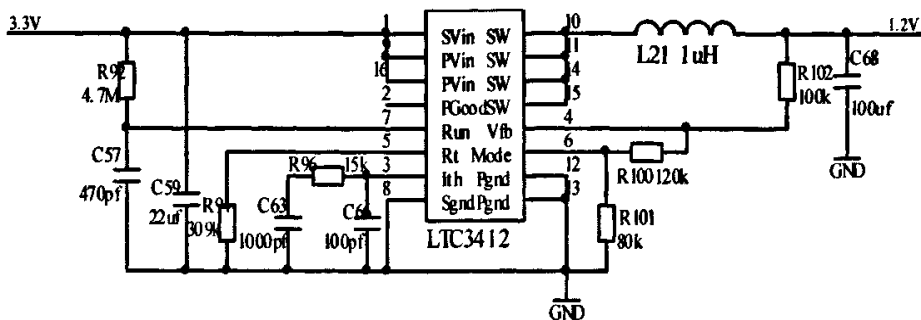


图4-5 FPGA内核供电电路图

4.3.2 时钟管理

时序控制电路为整个系统提供基准时序。FPGA内部有两种频率成分，包括系统时钟和同步时钟。时钟源是从雷达频率源送来的最大信号强度为8dBm(-17.76~17.76mV)的16MHz模拟时钟，经过ADCMP573(滞回比较器)整形后，送到时钟分频及电平转换器AD9515。AD9515输出两路时钟：一路是4MHz CMOS电平的时钟，此时钟经过时钟分配器IDT49FCT805分配成4路CMOS电平时钟供A/D转换器作为采样时钟；另一路是16MHz LVPECL电平的数字时钟，此时钟经过电平转换器MC100EPT21A和模数隔离器ADUM1400后转换为16MHz TTL时钟供其它系统板卡使用，同时，送入FPGA的16MHz LVDS电平时钟也由此时钟经过时钟分配器NB4N11S采集。同步时钟选用ICS公司的超低相位抖动(<1ps)、高稳定性、LVPECL输出的75MHz晶体振荡器ICS8MG3，由于该时钟频率较高(器件选型时未找到满足要求的低频LVPECL晶体振荡器)，对于多层布板可能引起不必要的干扰，所以采用AD9515降频后，再经过NB4N11S分配两路LVDS时钟供给FPGA使用。系统时钟链路由低抖动、低噪声、高稳定性多电平输出器件合成，保证了多通道间时钟相位的一致性。系统时钟链如图4-6所示。

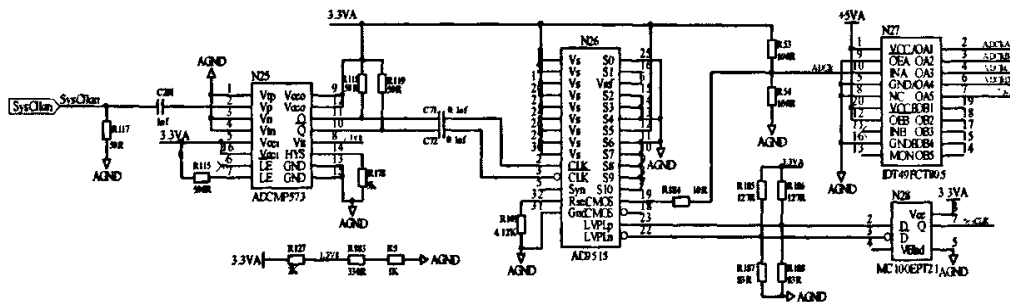


图4-6 系统时钟链路图

4.3.3 配置方案

为了便于调试，FPGA配备了JTAG口。在系统调试成功后通过主动模式(AS)将主程序固化在配置芯片EPCS64中，以后系统上电时，FPGA就能在内部时钟(10MHz)的配合下，主动将配置芯片中的配置文件导入FPGA内部运行。具体过程^[28,29]如下：系统上电复位后，FPGA保持nSTATUS和CONF_DONE为低电平、nCONFIG为高电平，使能片选信号nCS0以选中配置芯片EPCS64，然后通过DCLK向EPCS64提供工作时钟，通过ASDO向EPCS64提供操作代码和地址码，EPCS64正确识别后，将从该地址开始的配置文件通过DATA传回FPGA。当FPGA接收完全部配置数据后，释放漏极开路门CONF_DONE，此后CONF_DONE被外接上拉电阻拉至高电平。至此，FPGA已复位完毕并进入系统初始化过程，经过299个空闲时钟周期后，FPGA完成初始化并开始运行系统程序。FPGA的配置电路如图4-7所示，其中MSEL0为低电平，MSEL1为高电平表示选通AS配置模式。由于EPCS64除做专用配置器件外，作为FLASH还兼做系统自检数据库，为了调试方便也增加了调试口X1。

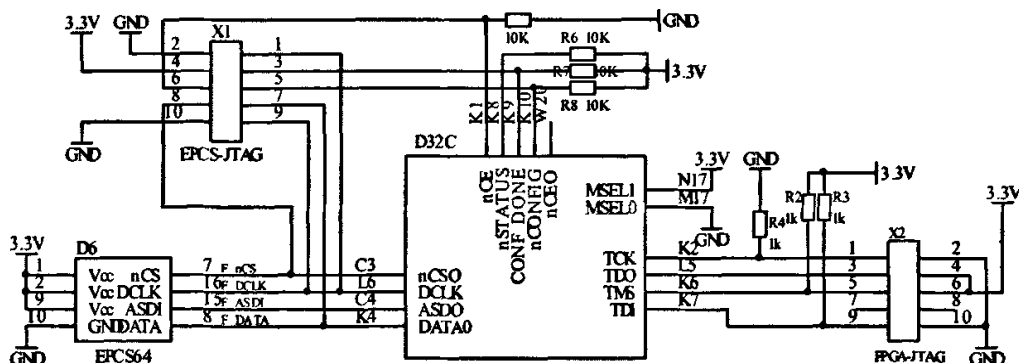


图4-7 FPGA配置电路图

4.3.4 LVDS 总线结构

系统采用了符合雷达数据流特点的总线结构，扩展十分方便，如图4-8所示。数据总线采用分段式LVDS总线，相对多节点形式的总线，分段式大大减小了总线匹配长度，降低了阻抗匹配要求，同时可明显提高单段传输速率，每对数据线的传输速率可达300Mbps以上。监控总线采用并联多主结构，并行时序总线具有LVTTTL电平和符合RS-485标准的差分电平的两种电信号。

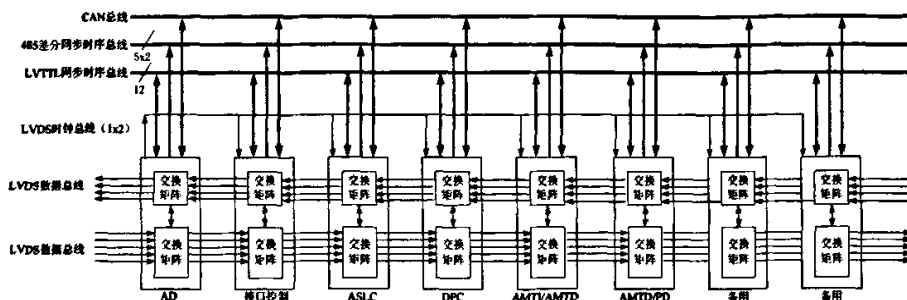


图 4-8 系统总线结构图

LVDS 数据总线共 9 对，分成正向和反向 2 组。正向的一组从时序板开始顺次流向 AD 板(即本板)和后续运算板，其中有 1 对同步时钟线，4 对数据线的传输速率相同；反向的一组从最后的运算板开始顺次经过各运算板和 AD 板流向时序板，其中有 1 对同步时钟线，3 对数据线的传输速率相同。本系统在实际工作时，正向数据流中包含工作模式控制字和最多 4 个的通道数据，总数据率小于 300Mbps，因此只需占用 1 对数据线的；反向数据流中包含检测结果和背景视频等数据，总数据率远小于 300Mbps，也只需占用 1 对数据线的。

4.3.5 I/O 资源分配

FPGA 的 I/O 口支持多种电平标准，可灵活地配置为单端或差分 I/O。本系统中 FPGA 可与 AD 采样过来的 14 位数据线的、可分别与 DSP 和 SRAM 的数据、地址和控制线直接相连，系统的同步信号也可通过线路驱动器 AM26LV32C 与 FPGA 直接相连。板间数据传输采用 LVDS 总线技术，因此还需要配置 9 对 LVDS 差分端口。另外，由于系统要在无雷达回波信号的情况下进行自检，所以 FPGA 还需要预留 14 个 I/O 口(包括 12 根数据线、1 根时钟线和 1 根 D/A 唤醒线)与 D/A 转换器 AD9752(12 位)相连。为了系统升级需要，本系统在设计时考虑将容量更高、资源更丰富的相同管脚数的 EP2C50 系列的芯片与 EP2C20 系列进行复用，因此 FPGA 采用支持同系列芯片复用的线状球栅阵列封装(FBGA)，只是在设计时需要将 EP2C20F484I8 的某些管脚固定接到电源或地上去。

4.4 逻辑控制电路设计

雷达信号处理可通过控制板和录取终端来设置信号处理各种参数和对信号处理进行管理。控制面板采用琴键方式对信号处理进行参数的设置和控制，录取终端通

过CAN总线对信号处理进行STC编辑、选择和背景视频的設置和控制。

整个系统的工作流程如下：系统上电后，管理DSP首先与FPGA通讯，检测FPGA是否工作正常。FPGA正常后，DSP和FPGA一起逐一对外部SRAM和内部SRAM进行检测；之后，管理DSP通过内部通讯总线与其他插件的管理DSP建立连接，并以此检测其他插件的管理DSP是否正常，然后逐一询问每个插件的BIT(相当于系统中各个板卡的ID号)情况，最后将所有插件的检测結果上报到外部CAN总线，管理DSP是否正常由上位机进行检测。自检数据监视电路可以监视通过LVDS数据总线传过来的其他插件的监视数据，实现集中监视功能。监视数据的切换由插件之间的管理DSP通讯实现。

本系统中，工控机(上位机)通过CAN总线对系统工作模式以及状态参数等进行现场重构，DSP作为控制芯片主要负责与上位机之间的数据通讯以及与FPGA之间的数据交换，并通过SPI口完成对自检数据库的加载和读取。

本方案选用TI公司的16位定点DSP TMS320LF2407A作为控制管理芯片，LF240xA系列芯片采用高性能静态CMOS技术，提供低成本、低功耗、高性能的处理能力。此外，该系列DSP控制器将实时处理能力和控制器外设功能集于一身，为控制系统提供了一个理想的解决方案。LF240xA系列DSP具体性能^[30]如下：

- (1) 40MIPS的执行速度使得指令周期缩短至25ns(40MHz)，提高了控制器的实时控制能力
- (2) 片内高达32K字的FLASH程序存储器，高达2.5K字的数据/程序RAM，544字双口RAM(DARAM)和2K字的单口RAM(SARAM)
- (3) 可扩展的外部存储器(LF2407A)总共192K字空间：包括64K字程序存储器空间；64K字数据存储器空间和64K字I/O寻址空间
- (4) 自带看门狗定时器模块(WDT)、两个事件管理模块、控制器局域网络(CAN)2.0B模块、串行通信接口(SCI)模块、串行外设(SPI)接口模块
- (5) 高达40个可单独编程或者复用的通用输入/输出引脚(GPIO)，10位A/D转换器最小转换时间为500ns
- (6) 5个外部中断(两个电机驱动保护中断、一个复位中断和两个可屏蔽中断)，3种低功耗模式能独立地将外设器件转入低功耗工作模式

4.4.1 DSP 与上位机接口电路设计

DSP与上位机通过CAN总线进行数据通讯。CAN总线通信网络由TMS320LF2407A

的内部CAN控制器和外接CAN总线收发器SN65HVD230QD组成，CAN总线网络通信的硬件接口电路如图4-9所示。由于CAN总线通信网络需要在网络中的最远端进行电阻匹配(120Ω)，因此本系统设计了电阻跳线，当本板作为网络最远端时，将跳线X10插上；当本板非网络最远端时，将跳线X10拔出即可。为了便于调试和演示，系统中的每个板卡在设计时都增加了CAN总线调试接口(X9)，在调试过程中，上位机(带CAN卡)可将本地数据以及通过CAN总线接收的数据直观地显示出来。

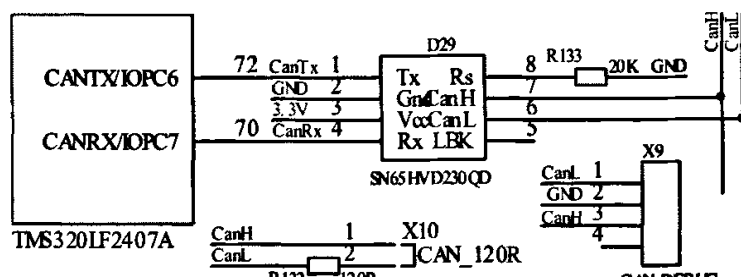


图4-9 CAN总线网络通信接口电路图

网络通信接口单元是用来对CAN总线进行读写访问的部分控制电路。当需要发送数据时，CPU将数据交给网络接口单元电路，由网络接口单元电路进行数据格式转换、串并转换和信号形式转换，将数据按照CAN协议信号形式发送到CAN总线上。当CAN总线上有数据时，它负责从CAN总线上读取数据。首先通过帧过滤功能判断是否接收此帧，若接收，则通过与发送相反的过程，将数据交给CPU。

TMS320LF2407A片内的CAN控制器主要负责对数据的格式进行转换，承担网络通信的控制作用。CAN收发器CANSN65HVD230QD是CAN控制器和物理层之间的通讯接口，负责信号电平及形式的转换，可以提供对总线的差动发送能力和对CAN控制器的差动接收能力，具有在复杂环境下抗瞬间干扰、保护总线的能力。

4.4.2 DSP 与 EPCS64 接口电路设计

DSP通过SPI口与EPCS64相连，SPI通过主动方式对EPCS64进行访问，其接口电路如图4-10所示。EPCS64作为自检数据库时用法与一般的FLASH不同，在读写数据时有专门的操作代码和地址码，并需要严格的时序来配合。当系统工作在自检模式时，DSP通过SPI将EPCS64中的数据读出并送入FPGA参与中频数字化运算。

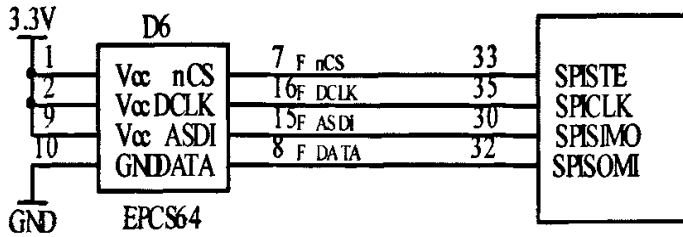


图4-10 DSP与EPCS64接口电路

4.4.3 DSP 与 FPGA 接口电路设计

FPGA的I/O口都是通用可配置的，所以和DSP接口非常方便。只需要将DSP的16跟数据线和3跟地址线(地址译码)，数据、地址和存储器控制信号线(\overline{DS} 、 \overline{IS} 、 R/\overline{W} 、 \overline{RD} 和 \overline{WE})和两个中断源(XINT1和XINT2)直接连到FPGA的通用I/O口即可。需要注意的是：数据、地址和存储器控制信号线需要外接上拉电阻，在空闲状态时总保持高电平，当FPGA需要对DSP进行访问时，FPGA置相应的控制信号为低电平即可。

4.5 系统自检电路设计

系统具有完善的自检功能，系统有自检时钟和自检数据库，通过上位机工作状态参数设置来实现工作状态和系统自检之间的转换。当系统转换为自检状态时，系统利用自检数据库，通过改变分机面板上的按键改变监视口的波形输出，比较输出波形与标准波形来检测插件的工作是否正常。

FPGA 送出的自检数据通过数字隔离器 ADuM1400 进行电平匹配(将 FPGA 输出的 LVTTTL 电平转换为 D/A 转换器可兼容的 CMOS 电平)后，通过 D/A 转换器 AD9752 将模拟数据送入示波器，将示波器上观测到的波形与标准波形相比较，即可很容易的检测插件的工作状态。

4.6 本章小结

本章选用EP2C20F484I8和TMS320LF2407A作为硬件平台的核心芯片设计出了基于软件无线电思想的中频数字化通用硬件平台。该系统利用可编程逻辑器件实现中频数字化的核心算法，硬件配置灵活方便，只需重写可编程逻辑器件即可完成系统硬件资源的重新配置，而且系统设计时留有一定余量，升级十分方便。

第五章 中频数字化系统软件实现

5.1 开发平台简介

算法是系统的基础，表现为数学模型，在具体的电路实现中，涉及的将是实现这种算法的具体方法和流程。控制是系统的灵魂，表现为逻辑模型，保障系统有条不紊的正常运行。本章将介绍用 FPGA 和 DSP 完成中频数字化算法和逻辑控制的软件实现。

5.1.1 FPGA 开发平台

FPGA选用的Altera公司的CycloneII系列的芯片，因此选用该公司的QuartusII5.1集成设计工具，它集成了整个开发流程所需的各种工具，还可以直接调用第三方开发的各种仿真、综合工具。支持多种输入方式，包括原理图输入、VHDL/Verilog硬件描述语言输入和状态机输入等，提供大量的IP核，提供测试激励生成工具等。FPGA的开发流程图如图5-1所示：

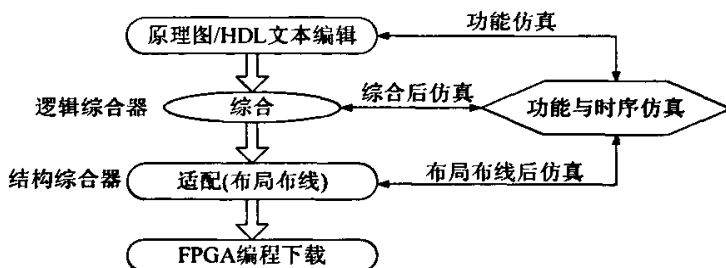


图5-1 FPGA开发流程图

FPGA设计与仿真流程的具体步骤如下：首先，进行系统描述，用VHDL/Verilog语言将系统的行为描述出来；其次，对VHDL/Verilog程序进行功能性仿真，检验描述是否正确；而后，进行系统综合，对综合达到的门级电路进行综合后仿真，查看功能与要求是否一致。完成查看后，进行硬件实现，即芯片内部的布局布线。由于布局布线后，信号将产生传输延时，因此必须进行布局布线后仿真；最后将布局布线仿真后生成的编程文件下载至芯片，完成最终的硬件验证和测试。

在系统设计过程中，采用自顶向下的设计方法，从系统的总体要求出发，由上至下地逐步将设计内容细化，最后完成系统硬件的总体设计。

5.1.2 DSP 开发平台

DSP选用TI公司的控制芯片TMS320LF2407A，相应地采用了该公司的专用集成开发环境CCS2.1(C2000)。

◆ TI公司的CCS软件开发系统包括：

集成代码编辑工具，可直接编写C、汇编、.H文件、.cmd文件等；代码生成工具包括汇编器、优化C编译器、连接器；基本调试工具如下载执行代码、查看寄存器等；断点工具，实现单步、段运行；对C语言程序设计比较有用的profile工具，评估代码运行的时钟数；图形显示工具；DSP/BIOS工具，增强对代码的实时分析能力；软仿真器等。

◆ TI或第三方提供的硬件仿真器：

CCS支持多种硬仿真器，系统选用的是合众达SEED-XDSpp硬件仿真器，支持TMS320全系列DSP。该仿真器用并口驱动，带JTAG/MPSD标准仿真接口，并且支持多处理器同时仿真，多片并行调试，是功能强大的全速仿真器，用于系统级的集成和调试。硬仿真采用扫描式(Scan-based Emulator)仿真，使用这种方法，程序可以从片外或片内的目标存储器实时执行，不会引入额外等待，是一种比较好的开发工具。

5.2 基于 FPGA 的中频数字化软件设计

FPGA 承担了中频数字化的主要功能，采用原理图与 VHDL 语言混合编程，根据系统功能划分设计各个子模块。FPGA 详细的子模块设计框图如图 5-2 所示，以下给出中频数字化过程中主要模块的设计思路。

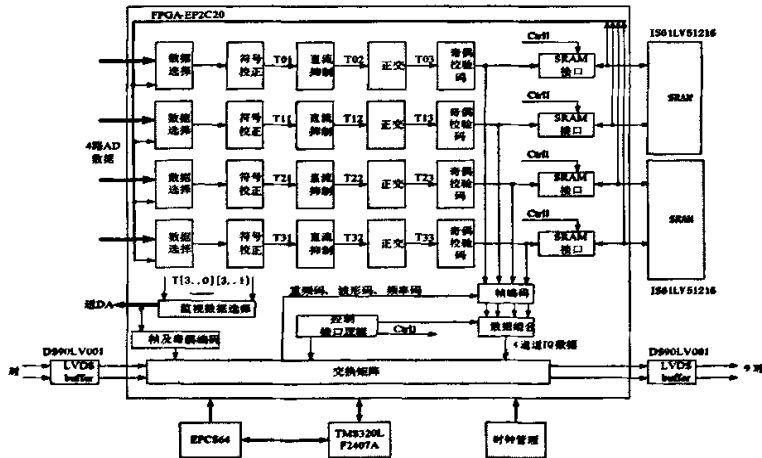


图 5-2 FPGA 模块化设计框图

5.2.1 直流抑制模块

为减少接收机和 A/D 采样电路中可能存在的直流漂移对信号处理的影响，本系统在设计中增加了直流抑制电路。直流抑制的原理是基于以下两个假设：

(1) 假设接收机和 A/D 采样电路中可能存在的直流漂移的变化是缓慢的，也就是说在短时间内可以认为是不变的

(2) 假设没有直流漂移的系统零输入响应信号的统计均值为零

根据这两个假设，可以通过采集大量的零输入响应信号，计算出其均值即为直流漂移电平，用该直流电平对采样信号进行补偿即可消除信号的直流成分。

在 AMTI 和 AMTD 模式下，认为每个重复周期的末端信号可以近似为零输入响应信号，即远距离区没有回波信号，为“干净区”。因此，在系统时序的控制下，直流抑制电路自动采集远距离处的信号进行直流估计，然后将 AD9240 送来的信号减去平均值完成对 A/D 采样中直流漂移的修正。

直流抑制的具体实现思路是：将“干净区”（“干净区”数据累加示意图如图 5-3 所示）中连续 512 个采样周期的数据求平均，然后对 3 个连续的数据进行 α -滤波，即按以下公式求加权平均：

$$\bar{y} = \frac{7}{8}(y_1 + y_2) + \frac{1}{8}(y_2 + y_3) = (y_1 + y_2) + \frac{1}{8}(y_3 - y_1) \quad (5-1)$$

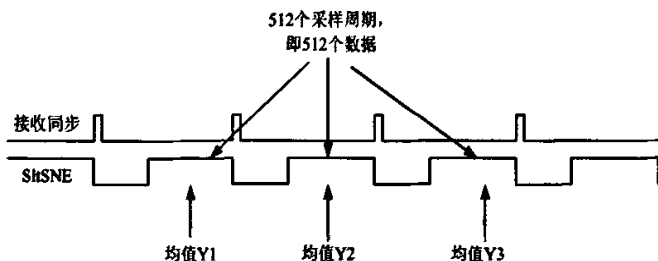


图5-3 “干净区”数据累加示意图

直流抑制的设计思路是：在直流抑制使能信号 \overline{sltSNE} 控制下将 512 个数据的累加，并在 \overline{sltSNE} 上升沿清零，通过锁存器(\overline{sltSNE} 为锁存脉冲)和 D 触发器实现数据延时对齐，并计算直流漂移的数值。在第 4 个同步接收周期到来之后，将接收到的数据减去上个周期计算所得的直流漂移值即可完成直流漂移的修正。直流抑制原理图如图 5-4 所示。直流抑制模块采用原理图与 VHDL 语言混合编程，其 FPGA 实现框图如图 5-5 所示。

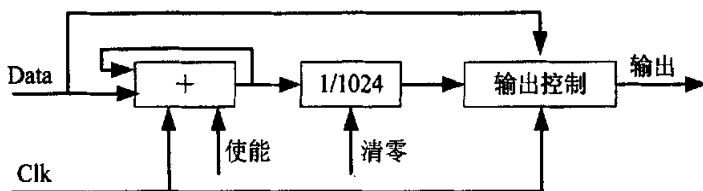


图 5-4 直流抑制原理图

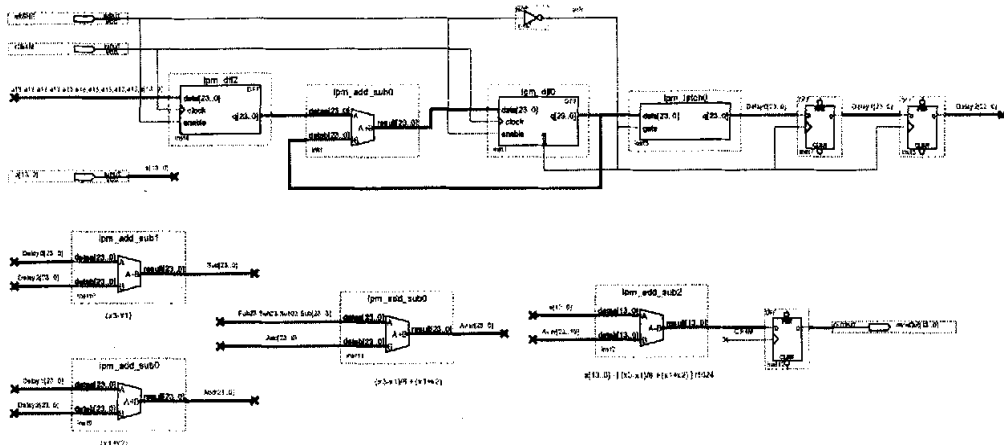


图 5-5 直流抑制的 FPGA 实现

5.2.2 数字正交模块

数字正交采用六阶 Bessel 插值法，如前所述，插值前须经过符号校正。处理时只对经过符号校正的奇次采样值进行插值运算，偶次采样值经符号校正和延迟对齐后直接输出。六阶 Bessel 插值公式如下：

$$\begin{aligned}
 x(n) = & [x(n-1) + x(n+1)] * \frac{150}{256} - [x(n-3) + x(n+3)] * \frac{25}{256} \\
 & + [x(n-5) + x(n+5)] * \frac{3}{256}
 \end{aligned}
 \tag{5-2}$$

数字正交实原理图如图5-6所示，连续采样输出的串行数据经过移位寄存器后变成12点并行输出的并行数据。从采样的结果可以看出，每次采样只能获得I(i)或Q(i+1)，缺少对应的Q(i)和I(i+1)，通过Bessel内插公司即可求出所缺少的对应项。由于FPGA自带乘法器，所以实现Bessel内插算法十分方便。若乘法器资源紧张(如乘法器已用来实现FIR滤波)，可考虑将插值系数转换为2的n次方，尽量使用加减法代替乘除法完成系数配比。根据此思路，数字正交模块的FPGA实现图如图5-7所示，抽取只需要在2MHz(采样数据率为4Mbps)的时钟频率下使用数据选择器即可。

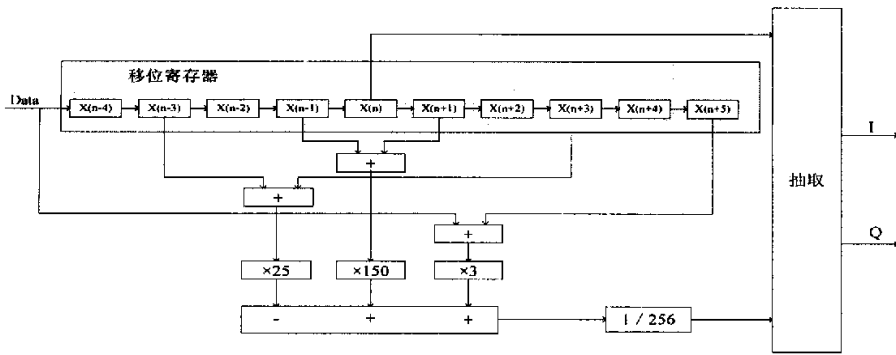


图5-6 数字正交原理图

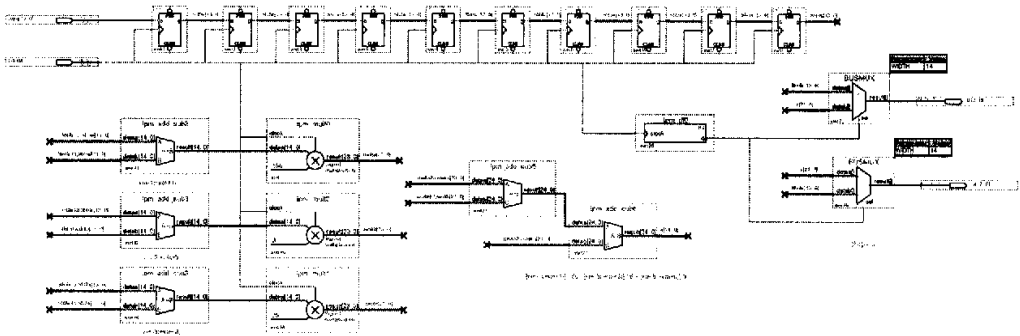


图 5-7 数字正交模块的 FPGA 实现

基于Matlab的Bessel插值后的实部和虚部仿真图如图5-8所示。显然，经过Bessel插值后，已形成了相互正交的IQ视频数据。数字正交模块的FPGA仿真图如图5-9所示，经过抽取后数据率降低一半。根据FPGA的仿真结果，参照图5-8可知，FPGA的输出结果与Matlab的仿真结果基本一致，证明了数字正交模块的正确性。

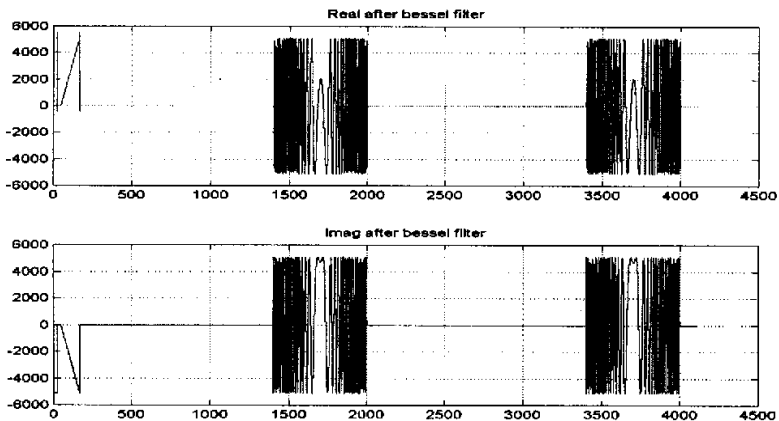


图 5-8 Bessel 插值后的的实部(I)和虚部(Q)

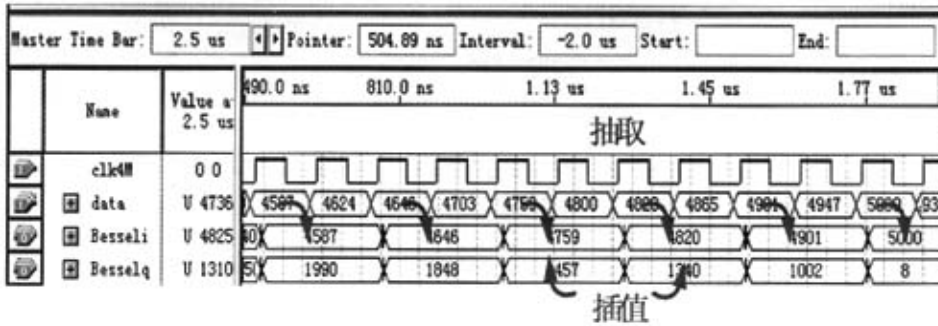


图 5-9 数字正交模块的 FPGA 仿真

当雷达工作在常规模式(400Hz)时,雷达发射信号的重复周期为 2500us(参差),如图 5-10 所示,其组成是 1us(单频脉冲)+100us(空闲时间)+300us(非线性跳频波形)+2099 us(空闲时间),其中 1 us 是脉压宽度,2099 us 是雷达接收回波数据的持续时间。显然,在 4Mbps 的采样率下,待处理的数据量为 2099us*4Mbps=8396 个。为了满足信号处理的实时性,必须保证回波数据要在一个重复周期内处理完毕。根据 FPGA 的仿真结果,每个距离单元的回波信息经过 A/D 采样后,完成数字正交并送入 LVDS 模块进行流水处理大概需时 2420us,已能满足系统实时性要求。

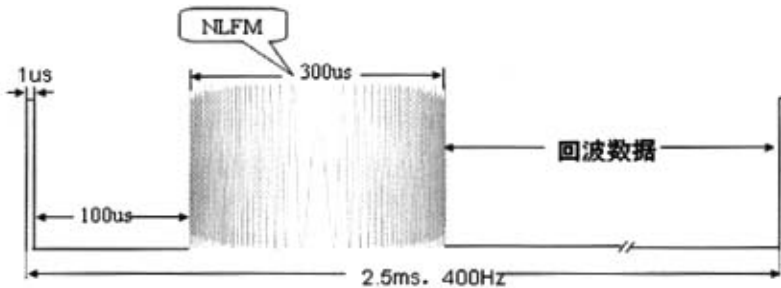


图 5-10 常规模式下雷达的发射信号波形

5.3 基于 DSP 的逻辑控制软件设计

DSP作为控制芯片主要负责与上位机之间的数据通讯以及与FPGA之间的数据交换,并通过SPI口完成对自检数据库的加载和读取。其工作流程如图5-11所示:

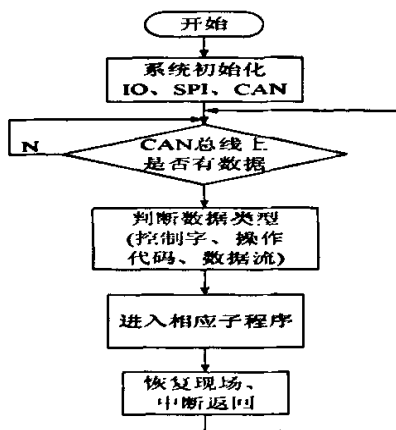


图5-11 DSP工作流程图

当DSP上电复位后，首先完成系统的初始化，包括I/O口参数设置(I/O口复用方式、数据和方向控制等)、SPI口参数设置(方式选择、数据宽度、波特率等)、CAN邮箱参数设置(邮箱对象选择、标识符设置、波特率等)以及片内资源分配等。当CAN总线上出现数据流后，判断数据流的类型，以查询或中断的方式与主机进行通讯，保存现场后转入相应的子程序，子程序执行完毕后跳入主程序并恢复现场。

5.3.1 DSP 与上位机之间的数据通讯

DSP通过CAN总线与上位机进行数据通讯。CAN总线网络拓扑图如图5-12所示，系统中的每一块插件板都带一个TMS320LF2407A，并分配给网络中的每个CAN控制器一个唯一的标识符(ID)。CAN控制器在接收信息时，首先将要接收的信息的标识符与相应接收箱的标识符进行比较，只有标识符相同的信息才能被接收。

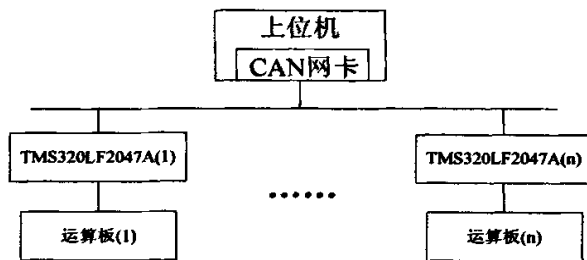


图5-12 CAN总线网络拓扑图

CAN 总线采用 CAN2.0B 为通讯协议，通讯波特率为 250kbps。各插件板有唯一的 ID 与其他插件板区别，各板均只对各自的 ID 报文做出反应，可通过设置邮箱标识符及

局部接收屏蔽高、低位寄存器实现；主控板接收所有插件板的报文。CAN 总线的数据通讯通过数据报文进行，一个 CAN 数据报文包括协议首部，CAN 标识 (ID10-0)，RTR (1 位)，数据包长度 (4 位)，8 字节的净数据和协议尾部。CAN 控制器发送和接收报文是通过发送和接收缓冲区进行的，缓冲区为 10 个字节，定义如表 5-1 所示：

表 5-1: CAN 数据报文格式

标识符 ID10-3		
ID2-0	RTR	数据长度码 Length3-0
Byte0		
Byte1		
Byte2		
Byte3		
Byte4		
Byte5		
Byte6		
Byte7		

其中，ID10-3 和 ID2-0 的分配如表 5-2 和表 5-3 所示：

表 5-2: 报文 ID10-3 定义表

插件板	ID10-3
电源板	10H
时序/接口板	11H
处理板 1	12H
处理板 2	13H
保留	保留

表 5-3: 报文 ID2-0 定义表

D2	D1	D0	含 义
000-100			保留 用于扩展功能
1	0	1	此帧报文为命令
1	1	0	此帧报文为状态
1	1	1	此帧报文为数据

信息从 CAN 控制器发送到 CAN 总线是由 CAN 控制器自动完成的。发送程序只需把要发送的信息帧送到相关的 CAN 寄存器，启动发送命令即可。数据发送采用通用定时器周期中断，按需发送已采集到的数据到上位机，实现数据的存储，以使用户查询。

信息从 CAN 总线到 CAN 接收邮箱是由 CAN 控制器自动完成的，数据接收采用邮箱中断。在中断服务程序中读取接收到的数据，对接收到的数据进行解码，并置位相应标

志位。在主程序循环中查询标志位，当检测到标志位被置位时，则进入相应处理程序，同时对标志位清零。

5.3.2 DSP 与 EPCS64 之间的数据通讯

DSP(主控制器)通过SPI口实现对EPCS64(从控制器)的访问。当EPCS64兼做FLASH存放自检数据库时，需要通过专门的时序才能实现对EPCS64的读写操作。DSP与EPCS64的接口电路如图4-8所示，DSP对EPCS64的读写操作时序图如图5-13和图5-14所示。

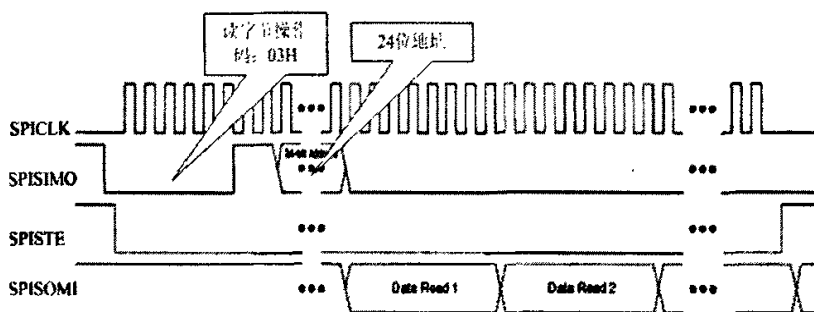


图5-13 DSP读EPCS64时序图

DSP读EPCS64的操作流程如下:SPI完成初始化后,置SPISTE为低电平使能EPCS64,然后在SPISIMO脚上发送读字节操作码03H,此后,继续发送24位读地址(EPCS64中某个存储块的首地址),在下一个时钟上升沿到来时,EPCS64的DATA脚(接DSP的SPISOMI脚)上就出现了待读的数据(地址自动加1),此数据经过SPISOMI脚送到DSP的缓存区,最后,DSP将缓冲区的数据送到数据线上供FPGA读取。

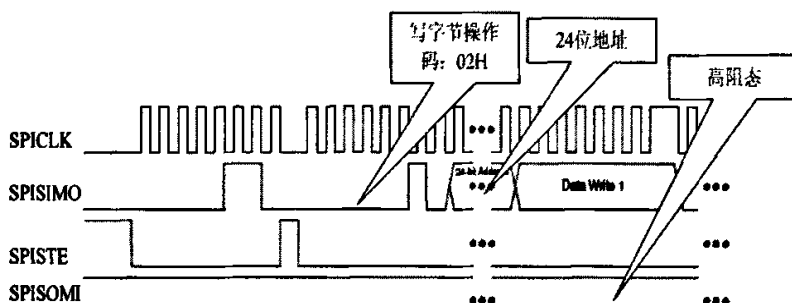


图5-14 DSP写EPCS64时序图

DSP写EPCS64的操作流程如下:SPI完成初始化后,置SPISTE为低电平使能EPCS64,然后在SPISIMO脚上发送写字节操作码02H,此后,继续发送24位写地址(EPCS64中某

个存储块的首地址), 最后在同一个脚上发送待写入EPCS64的数据流(地址自动加1)。与读操作不同的是, EPCS64的DATA脚在整个写操作过程中都是高阻态。值得注意的是: 如果数据写入的是EPCS64中非空白块, 为了能够保证将数据正确写入, 必须先运行擦除相应数据块的操作。

5.3.3 DSP 与 FPGA 之间的数据通讯

DSP与FPGA之间的数据通讯是通过DSP的数据线来完成的。当DSP需要将数据写入FPGA时, 在地址线上出现相应的操作类型码(地址译码), 同时将数据输出到数据总线上供FPGA访问。当DSP接收来自FPGA的数据时, FPGA置相应的控制位使能DSP的读操作, 接着在DSP的数据线上便出现相应的数据流, DSP选择合适的数据缓冲区将数据缓存起来即可。

5.4 本章小结

本章以第四章所搭建的硬件平台为基础, 是中频数字化算法的具体实现。使用QuartusII5.1 和 CCS2.1 集成开发环境分别完成了中频数字化和系统逻辑控制的软件设计。根据雷达中频信号的频谱特性, 采用工程上较易实现的 Bessel 插值法(六阶)在 FPGA 中完成了中频数字化过程, 经过数字正交后幅度一致性在 $\pm 0.2\text{dB}$ 左右, 相位正交性在 $90\pm 0.5^\circ$ 左右, 达到了系统的预期设计指标。

FPGA采用模块化的设计思想, 简化了系统的验证和调试。经过对比分析, 设计结果完全正确。DSP采用结构化的设计模型, 逐一完成了系统的设计要求, 保障了系统有条不紊的运行。

结束语

软件无线电是无线通信发展中的一次革命，它采用通用、开放和完全可编程的硬件平台，将尽可能多的功能由软件来完成，从而将无线通信设备从长期以来依赖硬件的状态中解放出来。

软件无线电的目标是在射频直接进行 A/D 和 D/A 变换，把接收到的模拟信号尽可能早的数字化，采用通用 DSP 芯片或高速 FPGA 芯片作为无线通信系统硬件平台的核心数字信号处理器，将尽可能多的通信功能用软件来完成。

本文以中国兵器装备集团×××公司“十一五”电子预研项目为依托，结合雷达中频信号数字化课题的具体要求，在讨论数字中频的理论算法和工程实现方案的基础上，设计了基于软件无线电思想的雷达中频数字化硬件平台，利用 ADI 公司的运算放大器 AD8056A 和 A/D 转换器 AD9240 完成了雷达回波信号的采集；利用 Altera 公司的 CycloneII 系列可编程逻辑器件 EP2C20F484I8 实现了中频数字化的核心算法；利用 TI 公司的数字信号处理器 TMS320LF2047A 完成了系统的逻辑控制；利用 ADI 公司的 D/A 转换器 AD9752 完成了系统自检电路的设计。整个系统采用通用化的模块设计，增大了系统的灵活性，可根据系统的不同要求，在不对硬件电路作任何改动的情况下，设计出满足不同指标要求的系统结构。最后，在各自的开发平台上进行了系统的软件设计和仿真，中频信号数字化后幅度一致性在 $\pm 0.2\text{dB}$ 左右，相位正交性在 $90\pm 0.5^\circ$ 左右，达到了系统的预期设计指标。

×××雷达信号处理方案在技术上大胆创新，采用超大规模集成电路加高速高性能数字信号处理器等新产品新技术来完成雷达信号处理系统的研发工作，实现集成化模块化设计，大大提高了整机的可靠性。

(1) 高集成度设计及在线系统重构技术。采用多通道高精度、低抖动 LVDS/LVPECL 系统时钟链，减小各级系统时钟的抖动并保持相位的一致性；采用超大规模 FPGA，取代大规模复数乘法器、多级乘法累加器和幅相提取等专用集成电路；信号处理状态设置采用 CAN 总线通过监控台进行遥控操作，整机同步时序、滤波器权库、信号波形、STC 曲线等参数可通过监控计算机进行现场重构；采用 JTAG 和模块化设计技术，将故障隔离至主要芯片，系统集成度高、可靠性高、应用灵活、维修性好。

(2) 采用六阶 Bessel 插值法对中频信号进行数字化，降低了 I、Q 通道间的幅相不平衡性，采用 LVDS 高速总线数据传输技术，降低了传输干扰及误码率，提高了系统的

实时性。

(3) 采用多通道数据库自检技术,通过对自检数据库原始数据进行处理,并与Matlab仿真波形库对比分析,实现在无雷达回波信号条件下对系统进行自检并快速查找错误,降低系统调试难度。

在本设计中,也有一些地方需要改进,可使系统性能进一步提高。

(1) 由于器件的影响,不可避免地造成了I、Q通道间的幅相误差,其结果是降低镜频抑制比、降低分辨率和增加时域负瓣。为了获得较高的分辨率就必须校正各通道间的失真。针对雷达系统的设计要求,可采用多项滤波法对双路同时进行插值滤波,能有效抵消双通道的非理想性,获得很高的镜频抑制比。只要I、Q两路信号的频谱失真一致,则合成矢量时,下边带(镜像)谱分量相互抵消,而上边带谱分量叠加形成单边带谱输出。多项滤波法由于对双路同时插值,所以数据量较Bessel插值法大一倍,随着高速器件工艺水平的发展,在超宽带雷达中采用多项滤波法进行中频数字化必将成为可能。

(2) FPGA的配置芯片EPCS64兼做系统自检数据库,在实际调试中发现,由于需要严格的时序控制才能保证对自检数据库的正确访问,操作不太方便,而且容易出错。因此,可考虑采用高速FLASH芯片用来保存自检数据库,而采用容量较小的EPCS4作为FPGA的专用配置芯片。

(3) 数字下变频算法在FPGA中占用的资源较多,可从算法结构和具体硬件描述程序等方面进行优化。同时,由于采用高速LVDS总线进行板间的数据传输,对信号完整性还需要进一步的研究。另外,本课题作为整个雷达系统的重要组成部分,要想真正配合雷达系统的联调,仍然有很多问题需要做进一步的研究和分析。

从近一年的学习研究工作和工程实践经验来看,基于FPGA+DSP的硬件平台构架灵活、接口方便、功能互补、相辅相成,非常适合于信号处理和无线通信等领域,是未来的发展方向。FPGA作为信号处理算法实现的有力工具,其高速性、灵活性、集成性和通用性在电子和通信领域的应用将会越发深远,前景让人拭目以待。

参考文献

- [1] Buracchini E. The Software Radio Concept[J]. IEEE Communications Magazine, 2000, 38(9):138-143
- [2] Mitola J. The Software Radio Architecture[J]. IEEE Communications Magazine, 1995, 33(5):26-38
- [3] Mitola J. Software Radio Architecture: A Mathematical Perspective[J]. IEEE Journal on Selected Areas in Communications, 1999, 17(4):515-538
- [4] Chris H.D. Design and Implementation of High-Performance FPGA Signal Processing Data paths for Software Defined Radios[J]. Xilinx Application Note, 2001:1-16
- [5] Wang J.B., Zhao M, Xu X.B., et al. Research on Hardware Platform of the Software Radio[J]. IEEE Trans on Comm., 2000, E83-B:1210-1216
- [6] 张勇.软件无线电中频数字化技术研究是实现[D].成都:电子科技大学硕士学位论文, 2003
- [7] Skolnik M.I. Introduction to Radar System[M].Ver.2, New York: McGraw-Hill Education, 1980:15-18
- [8] 丁鹭飞,耿富录.雷达原理[M].第三版.西安:西安电子科技大学出版社, 2003:1-2
- [9] Rice D.W., Wu K.U. Quadrature Sampling With High Dynamic Range[J]. IEEE Trans. on AES, 1982,18(4)
- [10] Waters W.M., Jarrett B.R. Bandpass Signal Sampling and Coherent Detection[J]. IEEE Trans. on AES, 1982, 18(4)
- [11] Rader C.M. A Simple Method for Sampling IIR Phase and Quadrature Components[J]. IEEE Trans. on AES, 1984, 20(6)
- [12] Pellon L.E. A Double Nyquist Digital Product Detector for Quadrature Sampling[J]. IEEE Trans. on ASSP, 1992, 40(7)
- [13] Ho K.C., Chan Y.T., Inkol R. A Digital Quadrature Demodulation System. IEEE Trans. on AES, 1996, 32(4)
- [14] 杜永强.直接中频采样数字正交输出的最小二乘实现[J].系统工程与电子技术,2000,9
- [15] 曾涛,龙腾.一种准连续波雷达中频采样的新方法[J].现代雷达,1999,4
- [16] Ward H.R. An Optimum Filter for Direct A/D Conversion[J]. IEEE Tran. on AES,

1991,(6)

- [17] Mitchell R.L. Creating Complex Signal Samples from A Band-limited Real Signal[J]. IEEE Trans. on AES,1989,25(3)
- [18] 孙晓兵.中频正交采样的设计与实现结果[J].现代雷达,1995,12
- [19] 郑君里,应启衍,杨为理.信号与系统(上册)[M].第二版.北京:高等教育出版社,2000:150-159
- [20] 张建军.高速高精度雷达中频数字化技术研究[D].成都:电子科技大学硕士学位论文,2003
- [21] 罗昀.中频数字化接收机技术及其实现[D].成都:电子科技大学硕士学位论文,2004
- [22] Churchill F., Ogar G., Thompson B. The Correction of I and Q Errors in a Coherent Processor[J]. IEEE Trans. on AES, 1981,17(1): 131-137
- [23] Roome S.J. Analysis of Quadrature Detector Using Complex Envelope Notation[J]. IEEE Proc.,1989,136(2):95-100
- [24] 任晓宇.中频正交采样理论及其ASIC设计实现[D].西安:西安电子科技大学硕士学位论文,1999
- [25] 刘芬.高精度数字正交采样/插值方法及其应用研究[D].秦皇岛:燕山大学硕士学位论文,2004
- [26] 刘芬,潘明海,邸建红.带通信号的数字正交采样及信号处理[J].燕山大学学报,2003, 27(3):272-274
- [27] 于雷.中频直接采样技术研究[D].南京:南京理工大学硕士学位论文,2001
- [28] Altera Corporation. Cyclone II Device Handbook(Volume 1)[G].2005
- [29] Altera Corporation. Active Serial Memory Interface Controller Reference Design(ver.1.0) [G].2005
- [30] TI Corporation. TMS320LF2407A, TMS320LF2406A, TMS320LF2403A, TMS320LF2402A, TMS320LC2406A, TMS320LC2404A, TMS320LC2402A DSP Controllers[G].2002

致谢

本文是在导师王子旭副教授的精心指导下完成的。王老师诲人谆谆、孜孜不倦的高尚情操，勤奋严谨、实事求是的治学风范和高瞻远瞩、开阔敏锐的思想方法，给我留下了深刻的印象，并将使我受益终身。他在学业上给予我悉心的指导和帮助，在工作中给予我建设性的意见和建议，在生活上给予我父辈般的关怀和照顾，使得我能集中精力，潜心学习和钻研。总之，三年来的学习生活凝聚了导师大量的心血，在此，谨向王老师表示诚挚的感谢和深深的敬意。

感谢中国兵器装备集团×××公司给我提供了优良的工作平台和科研环境，使我有机会从事高科技领域的研究和开发。在近一年多的时间里，公司给我提供了数次培训的机会和专业的训练，使得我的科研水平和动手能力有了较大的提高。

感谢中国兵器装备集团×××公司的黄绍斌总工程师和项目负责人赵林兵工程师给予我工作上无私的指导和生活上热忱的关怀，感谢项目组成员黄志华、刘晓、马俊杰工程师以及我的同学叶微，在整个项目中他们都给予了我热心的帮助并进行了有益的探讨和磋商，使我对雷达的工作原理有了进一步的认识、对项目整体和全局的设计思想以及基于FPGA+DSP构架的系统设计有了深刻的认识，增长了我的见识，拓宽了我的思路，丰富了我的经验。正是通过和他们的交流，我才能顺利完成此文。

感谢潘永才副教授和沈小丰副教授三年来对我的栽培和帮助，感谢我的师兄李忠明博士对本文提出的中肯的意见和建议，感谢我的父母和朋友多年来对我的支持与鼓励，感谢所有关心过和帮助过我的人！

最后，向在百忙之中因审阅本文而付出辛勤劳动的各位专家、教授表示深深的谢意。