

华东师范大学

硕士学位论文

高速通信系统中PCB板级电源分配系统对信号完整性影响的研究
——电源完整性

姓名：徐红波

申请学位级别：硕士

专业：通信与信息系统

指导教师：姚萌

20050401

论 文 摘 要

电源完整性 (Power Integrity, 简称 PI) 是当今高速电路设计中的关键性问题, 是信号完整性 (Signal Integrity) 问题研究的延伸和深入, 其研究的本质为高速系统的电源分配系统对信号完整性的影响。研究对象包含了组成电源分配系统的电源模块, 电源平面、接地平面、旁路电容和高速芯片的封装及内部电源分配等问题; 电源分配系统产生的同步切换噪声 (Synchronous Switching Noise, 简称 SSN), 地弹 (Ground bounce), 边缘效应和谐振效应等问题。性能不高的电源模块, 系统中多级芯片产生同步切换, 电源、接地平面的布局不合理都会造成电源完整性问题。良好的电源完整性可以保证电源 (含接地) 平面在系统工作频率范围内电压波动小于一定的目标值; 而电源完整性欠缺的电源系统可能造成其他元器件的误动作, 致使输出不正确的数据, 甚至使系统完全不能工作。

本文从高速通信系统的 PCB 板级电源完整性分析入手:

- 1) 介绍了电源完整性的相关定义, 分析了产生电源完整性问题的原因以及电源完整性问题对高速线路造成的影响。并着重分析了电源分配系统的同步切换噪声, 地弹等现象。
- 2) 分析了旁路电容在解决电源完整性问题中的重要作用。
- 3) 推导建立了组成电源分配系统的开关电源模块, 电源、接地平面, 和旁路电容的 Spice (Simulation program with integrated circuit emphasis model) 模型。
- 4) 利用 Cadence 公司的 SPECCTRAQuest™ Power Integrity (简称 SQ PI) 设计仿真工具, 将所建立的模型有效的应用到媒体网关 (media gateway) 产品 A7XXX 的媒体转换 MCM (Media Conversion Module) 控制模块的电源完整性分析中, 对部分电源分配路径进行了优化设计。
- 5) 首次采用动态电子负载测量方法, 自行设计了电源完整性模拟测试验证环境。通过对 MCM 控制模块的开关电源和控制电路板的电源完整性测试, 验证分析了各种旁路电容对电源完整性的影响, 并总结探讨了高速系统的电源完整性设计流程和方法。

高速通信系统设计是一个十分复杂的过程, 如何在设计中有效的预防包括同步切换噪声, 地弹噪声在内的电源完整性问题已经成为系统完整性设计的重点。

通过不断的研究和讨论电源完整性问题对于实际工作中的设计观念、设计思路、设计流程以及设计手段的改进具有指导意义。

关键词： 信号完整性，电源完整性，同步切换噪声，地弹，电源分配系统，旁路电容，动态电子负载, SPECCTRAQuest

ABSTRACT

Power integrity is the key problem of high-speed circuit design at present. It extends the concept of signal integrity. The essence of power integrity is the impact of power distribution system (PDS) for signal integrity. The research objects include power module, power plane, ground plane, bypass capacitor, encapsulation of high-speed chip and inside power distribution. It resolves synchronous switch noise (SSN), ground balance, edge and resonance effect problem completely. The elements of low-performance power module, synchronous switching of mass chips, and unreasonable PCB layout of the power/ground plane can bring the problem of power integrity. Good power integrity can ensure the value of fluctuate range for power plane is less than certain target value in frequency domain, but bad power integrity perhaps let other components act wrong, and bring about output un-correct value, or even make system not work.

Following contents about PCB level PI of high-speed system are researched in this article:

- 1) Introduce relevant definition of PI, and analyze the factors that cause PI problem, especially the synchronous switching noise, ground balance, and so on.
- 2) Analyze the important effect of bypass capacitor for resolving power integrity.
- 3) Establish the simulation models for switching power module, power/ground plane, and bypass capacitor.
- 4) Through SPECCTRAQuset PI simulation tool of Cadence Ltd, these models are applied in PI analysis for MCM (Media Conversion Module) control module of media gateway A7XXX system. Parts of PDS are optimized.
- 5) Initiate the PI simulation test environment with the dynamic electronic load, apply the environment to the PI test for MCM control module, and validate the influence of various bypass capacitors to PI design. Finally, the design principles and process of PI is also discussed.

The design of high-speed communication system is a complex process. Now, how to prevent power integrity problems is an emphasis of system integrity design. Discussing and researching of PI problem will promote the ideas, concepts, process and methods of high-speed communication system design.

KEY WORD: Signal integrity, Power integrity, Synchronous switching noise, Ground bounce, Power distribution system, bypass capacitor, dynamic electronic load, SPECCTRAQuest

徐红波硕士学位论文答辩委员会成员名单

姓名	职称	单位	备注
沈建国	教授	华东师范大学	主席
应吉康	教授	华东师范大学	
黄昶	副教授	华东师范大学	

学位论文独创性声明

本人所提交的学位论文是我在导师的指导下进行的研究工作及取得的研究成果。据我所知，除文中已经注明引用的内容外，本论文不包含其他个人已经发表或撰写过的研究成果。对本文的研究做出重要贡献的个人和集体，均已在文中作了明确说明并表示谢意。

作者签名： 徐红波 日期： 05.6

学位论文使用授权声明

本人完全了解华东师范大学有关保留、使用学位论文的规定，学校有权保留学位论文并向国家主管部门或其指定机构送交论文的电子版和纸质版。有权将学位论文用于非赢利目的的少量复制并允许论文进入学校图书馆被查阅。有权将学位论文的内容编入有关数据库进行检索。有权将学位论文的标题和摘要汇编出版。保密的学位论文在解密后适用本规定。

学位论文作者签名：

导师签名：

日期： 徐红波

日期： 6.10

Originality Notice

In presenting this thesis in partial fulfillment of the requirements for the Master's degree at East China Normal University, I warrant that this thesis is original and any of the techniques presented in the thesis have been figured out by me. Any of the references to the copyright, trademark, patent, statutory right, or propriety right of others have been explicitly acknowledged and included in the *References* section at the end of this thesis.

Signature: 徐江波 Date: 5.6.2

Copyright Notice

I herein agree that the Library of ECNU shall make its copies freely available for inspection. I further agree that extensive copying of the thesis is allowable only for scholarly purposes, in particular, storing the content of this thesis into relevant databases, as well as compiling and publishing the title and abstract of this thesis, consistent with "fair use" as prescribed in the Copyright Law of The People's Republic of China.

Signature: 徐江波 Date: 2015.6.2

第一章 引言

1.1 信号完整性和电源完整性问题的应用背景

随着 IC 输出开关信号的速度和电路工作频率的提高，无论信号周期如何，几乎所有的设计都会遇到信号完整性问题。信号完整性定义为信号在电路中能以正确时序和电压做出响应的能力。

对于布局来说，信号完整性需要提供不影响信号时序或电压的电路板布局，而对电路设计而言，信号完整性则要求通过布局提供端接元件、布局策略和布线信息。信号完整性问题解决得越好，设计的效率就越高，也就可以减少线路的修改以及在电路板设计完成之后增加端接器件。

近来，人们对信号完整性重要性的认识逐渐深化，在解决信号完整性所面临的定时、反射、串扰、振铃等问题上投入了大量的人力物力进行研究，并取得了相当的成果。随着 PCB(Printed Circuit Board)设计复杂度的逐步提高，对于信号完整性的分析除了反射、串扰以及 EMI(Electro Magnetic Interference)之外，稳定可靠的电源供应也成为设计者的重要研究方向之一。尤其当开关器件数目不断增加，核心电压不断减小的时候，电源的波动往往会带给系统致命的影响，即电源完整性。

电源完整性是一个电路设计成功与否的最直接标志。专业的 EDA(Electronic Design Automatic)仿真工具在进行信号完整性分析时，一般都是简单地假设电源绝对处于稳定状态（这与实际系统是不符合的），但随着系统设计对仿真精度要求的不断提高，这种假设所带来的系统误差不再被忽略，实际上，对于高速电路来讲，我们已经不能够简单地将电源和地平面当作理想的情况来处理。地反弹噪声、旁路电容的设计不合理、多电源/地平面的分割不好、底层布局设计不合理、电流分配不均匀等导致的电源完整性方面的问题，最终会引起信号的畸变而影响到信号的完整性。而新一代的信号完整性仿真必须建立在可靠的电源完整性分析基础之上。本论文所研究的内容就是在基于高速电子线路电源完整性分析理论研究的基础之上，构造出系统信号完整性问题分析模型，使用 Cadence 公司 SPECCTRAQuest PI 仿真软件模块进行电源完整性的仿真，并对影

响电源完整性的重要因素进行测试和结果分析。

1.2 信号完整性问题的产生原因

信号完整性是指信号沿导线传输后的质量。在高速系统中,一段导线不仅仅是导体,也已成为具有分布参数的传输线。能否处理好系统的信号互连(PCB 布线),解决信号完整性问题,是系统设计成功的关键。同时,信号完整性也是解决电源完整性、电磁兼容(EMC, Electro Magnetic Compatibility)与电磁干扰的基础和前提。

信号完整性问题由下列因素引起:

- 高密度、深亚微米芯片的大量使用, PCB 板级互连信号达到吉比特量级,使信号上升/下降沿时间由以前的几个纳秒(ns)到目前的 100 个皮秒(ps),这使得芯片及 PCB 设计中的信号完整性问题凸现出来,这些问题凭以往的设计经验是不足以解决的。[3][5]
- 高速通信系统的信号互连往往比较复杂、密度大, ASIC 芯片管脚数已近 2000 个。同步切换噪声、封装寄生效应、信号反射与串扰、多电源之间的干扰、数模混合信号之间的干扰等,这些都使得表面上可行的系统设计根本无法正常工作。
- 即使是几兆的低速信号也会产生信号完整性问题。它与信号源、负载、互连拓扑结构等均有关系。此外,在数字电路分析中,如果信号上升时间 T_r 小于 4 倍传输延时 T_{pd} , 就会产生信号完整性问题。

从广义上讲,信号完整性问题主要表现为几个方面:延迟、反射、振荡、串扰、同步切换噪声和电磁兼容性。一般认为,当系统工作在 50MHz 时,就会产生信号完整性问题,而随着系统和器件频率的不断攀升,信号完整性的问题也就愈发突出。元器件和 PCB 板的参数、元器件在 PCB 板上的布局、高速信号的布线等这些问题都会引起信号完整性问题,导致系统工作不稳定,甚至完全不能正常工作。

1.3 高速系统的电源完整性

相对于信号完整性，电源完整性分析是一项新的分析技术，它被认为是高速高密度 PCB 设计中目前的最大挑战之一。相对于信号完整性分析，电源完整性是频域的概念，难度比信号完整性大，但在某些方面和信号完整性又有相通之处。电源完整性对技能要求更高，对于高速设计而言，它不但涉及板级，同时还涉及到芯片和封装级的设计问题。

表 1-1 信号完整性与电源完整性的比较[16]

Table 1 - 1 Compare signal integrity with power integrity

	信号完整性	电源完整性
性质	时域的概念	频域的概念
发展水平	技术相当成熟	理论在不断完善
测试方法	阻抗测试、波形测试、眼图	网络分析仪
仿真工具	非常丰富、功能强大	功能不断提高

在高速电路的设计中，电源完整性的设计是一件非常复杂的事情，高速电源分配系统（Power Distribution System，简称 PDS）在不同频率下，阻抗特性不同，使得 PCB 板上电源层与地层间的电压在电路板的各处不尽相同，从而造成供电的不连续，产生电源噪声，使芯片不能正常工作；同时由于高频辐射，电源完整性还会带来 EMC/EMI 问题。如果不能很好的解决的电源完整性问题，就会影响系统的正常工作。

通常，电源完整性问题主要通过两个途径来解决：优化电路板的叠层设计以及布局布线，以及增加退耦电容。退耦电容在系统频率小 300-400MHz 时，可以起到抑制频率、滤波和阻抗控制的作用，但在高频条件下，除了增加退耦电容，还需要通过优化电路板的层间距设计以及布局布线或者其他降低电源、地噪声的方法（如适当匹配降低电源传输系统的反射问题）等来解决电源完整性问题，同时抑制 EMC/EMI。

本文研究的重点就在于高速电子线路的电源完整性设计，通过建模仿真，以及可行性方案的设计和测试，进而提高高速电子线路的稳定性和可靠性。

1.4 本文的研究框架和主要内容

本文的研究框架和主要内容安排如下：

第一章 引言

简要介绍信号完整性的应用背景、产生原因，以及电源完整性的设计理念，从而引出本文的研究目标及内容安排。

第二章 高速系统的电源完整性分析

分析了高速电子线路的设计和结构，电源完整性概念，以及对系统产生影响的几个重要方面。

第三章 电源完整性分析模型的建立

详细介绍了电源分系统建模的理论基础，针对电源分系统的主要组成部份构造了三个用于电源完整性仿真分析的重要模型：开关电源模型，电源接地平面模型和旁路电容模型。

第四章 电源完整性的系统仿真

选择Cadence SPECCTRAQuest 模块进行电源完整性的仿真。并对仿真结果进行分析。

第五章 高速电子线路电源完整性的设计和测试

在对高速电子线路电源完整性设计的基础上，对影响电源完整性的重要因素进行测试和结果分析。

第六章 总结和展望

对本文的内容，分析模型和仿真结果进行总结。

第二章 高速系统的电源完整性分析

新的 IC 制造技术使电子元器件实现了小型化和高速化, 随着芯片输出开关速度的提高, 信号的上升和下降时间迅速缩减, 不论信号频率如何, 系统都将成为高速系统, 从而出现各种各样的信号完整性问题。高速系统, 是指由于信号的高速变化使得电路中的模拟特性, 产生影响的电路, 故也称为高速电子线路。一个系统是否属于高速系统, 不仅涉及信号的工作频率, 而且涉及所使用的元器件, 传输线的种类等。一般情况下, 工作频率超过 50MHz 的电路系统就称为高速系统。

但是, 在高速电子线路设计中, 人们往往局限于在信号线上进行研究, 而把电源和地当成理想的情况来处理, 虽然这样做能使问题简化, 但是在高速设计中, 这种简化带来误差相当大。尽管电路设计比较直接的结果是从信号完整性上体现出来的, 但我们绝不能因此忽略了电源完整性的设计。因为电源完整性直接影响最终 PCB 板的信号完整性。电源完整性和信号完整性二者是密切关联的, 而且在很多情况下, 影响信号畸变的主要原因是电源系统的设计不当。因此, 高速系统的电源完整性设计成为保持高速电子线路信号完整性的关键所在。

2.1 信号完整性和电源完整性

信号完整性定义为信号在电路中能以正确时序和电压做出响应的能力, 即在信号线上的信号质量。信号具有良好的信号完整性是指电路中信号达到的电压电平数值和波形形状。信号完整性问题一般不是由某单一因素引起的, 而是在板级设计中多种因素共同引起的。信号完整性问题主要表现为几个方面: 延迟、反射、串扰、振荡、地弹和电磁兼容性(EMI)。

相对于信号完整性, 电源完整性是一个较新的研究领域, 它被认为是高速高密度 PCB 设计目前最大的挑战之一。

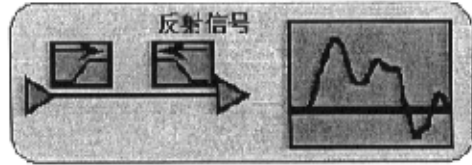
电源完整性是指在高速电子线路中, 电源传输系统在不同频率上, 由于阻抗特性不同, 使 PCB 板上电源层与地层间的电压在电路板的各处不尽相同, 从而造成供电不连续, 产生电源噪声, 使芯片不能正常工作; 同时由于高频辐射, 电源

完整性问题还会带来 EMC/EMI 问题。如果不能很好地解决电源完整性问题，会严重影响系统的正常工作。

在研究信号完整性和电源完整性时，反射，过冲和下冲，同步切换以及地弹等是分析中主要研究的对象：[19]

(1) 反射(reflection)

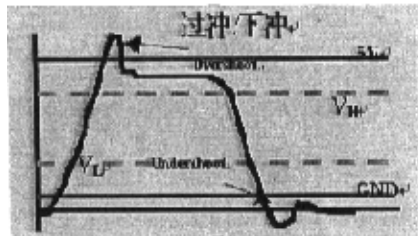
反射是在传输线上信号的回波，信号功率(电压和电流)一部分传输到线上并达到负载处，而另一部分被



反射回源端。源端与负载端阻抗不匹配会引起线上反射，负载将一部分电压反射回源端。如果负载阻抗小于源阻抗，反射电压为负，反之，如果负载阻抗大于源阻抗，反射电压为正。布线的几何形状、不正确的线端接、经过连接器的传输及电源平面的不连续等因素的变化均会导致此类反射。

(2) 过冲(overshoot)和下冲(undershoot)

过冲指信号跳变的第一个峰值或谷值超过规定的电压值,对于上升沿是指最高电压而对于下降沿是指最低电压。下冲指下一个谷值或峰值。信号的过冲和下冲是由集成电路切换速度过



高以及信号传输路径反射引起的。过分的过冲能够引起保护二极管工作，导致电路器件过早地失效。过分的下冲能够引起假的时钟或数据错误(误操作)。

(3) 信号的振荡(ringing)和环绕(rounding)

振荡和环绕表现为信号反复出现过冲和下冲，在逻辑电平的门限上下抖动。振荡属于欠阻尼状态，而环绕振荡属于过阻尼状态。信号的振荡和环绕主要是由传输线上过度的寄生电感和电容引起终端与源端的阻抗均衡失配所造成的。通常，周期脉冲信号(如时钟信号)包含丰富的高次谐波而容易发生信号完整性故障。振荡和环绕振荡同反射一样也是由多种因素引起的，可以通过适当的端接予以抑制，但是不可能完全消除。

(4) 信号延迟

信号延迟表明数据或时钟信号没有在规定时间内以一定的持续时间和幅

度到达终端。由于集成电路是按规定的时序接收数据，过长的信号延迟可能导致时序违背和功能混乱。信号延迟是由驱动过载、走线过长的传输线效应引起的。传输线上等效电容、电感会对信号的切换产生延迟，影响集成电路的建立时间和保持时间，延迟足够长会导致集成电路无法正确判断数据。

(5) 地电平反弹噪声和同步切换噪声

接地反弹指由于电路中较大的电流涌动在电源与接地平面间产生大量噪声的现象（简称为地弹）。同步切换噪声是指大量芯片同步切换时，会产生一个较大的瞬态电流从芯片与电源平面间流过，芯片封装与电源平面间的寄生电感、电容和电阻会引发电源噪声，使得零电位平面上产生较大的电压波动，也称为 Δi 噪声。

(6) 衬底耦合 (Underlay Coupling)

在硅片设计中，由于衬底具有一定的电阻率，电流通过时会产生压降。而 MOSFET 管的阈值电压（开启）取决于栅区下面衬底的有效电压，衬底电流产生的压降可能会超过 MOSFET 管的阈值电压，而且可能会超过逻辑门或时钟电路的阈值电压，使工作很不稳定。随着芯片特征尺寸的减小，衬底的电阻增大，问题更加突出。

(7) 串扰(crosstalk)

串扰是没有电气连接的信号线之间电磁耦合导致的感应电压和感应电流，信号线之间的互感和互容引起线上的噪声。容性耦合引发耦合电流，感性耦合引发耦合电压，并且随着时钟速率的升高和设计尺寸的缩小而加大。

(8) EMI

EMI 有传导干扰和辐射干扰两种。传导干扰是指通过导体把一个电网络系统上的信号耦合（干扰）到另一个电网络。辐射干扰是指干扰源通过空间把其信号耦合（干扰）到另一个电网络系统。在高速 PCB 及系统设计中，高频信号线、集成电路的引脚、各类接插件等都可能成为具有辐射特性干扰源，影响其他系统或本系统内其他子系统的正常工作。

2.2 电源完整性的影响因素

高速电子线路中，电源系统设计不当引起信号畸变主要表现在：地反弹噪声太大、旁路电容的设计不合适、回路影响很严重、多电源/地层设计不合理、电流不均匀等。[15]

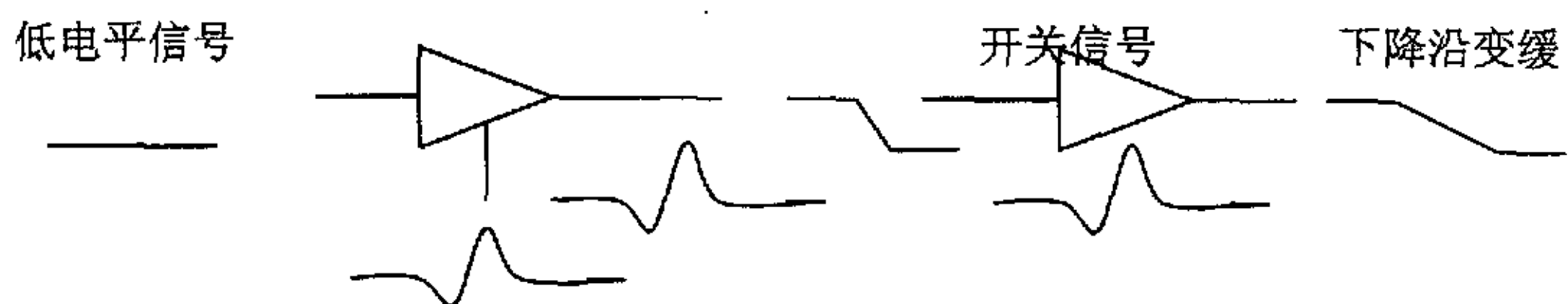
影响电源完整性的因素可以分为四类：

- 1) 同步切换和地弹
- 2) 非理想的电源分配系统阻抗
- 3) 旁路电容
- 4) 谐振及边缘效应

2.2.1 同步切换和地弹

在电路中有大的电流涌动时会引起地弹，如大量芯片的输出同时开启时，会产生一个较大的瞬态电流在芯片与 PCB 板的电源平面流过。芯片封装与电源平面的电感和电阻会引发电源噪声，在地平面 (0V) 上产生电压的波动和变化，这个噪声会影响其他元器件的动作。负载电容的增大、负载电阻的减小、地电感的增大、同时开关器件数目的增加均会导致地弹的增大。

同步切换噪声给信号传输带来的影响更为显著，由于地引线和平面的寄生电感，在开关电流的作用下，会造成一定的电压波动，也就是说器件的参考地已经不再保持零电平，这样，在驱动端 (图 2-1a)，发送低电平时会出现相应的噪声电压，当信号相位和地面噪声相通，同时导致信号的下降变缓；在接收端 (图 2-1b)，信号的波形同样会受到地噪声的干扰，不过这时的干扰波形和地噪声相位相反；另外，在一些存储性器件里，有可能因为本身电源和地噪声的影响造成数据意外翻转 (图 2-1c)。



(a)

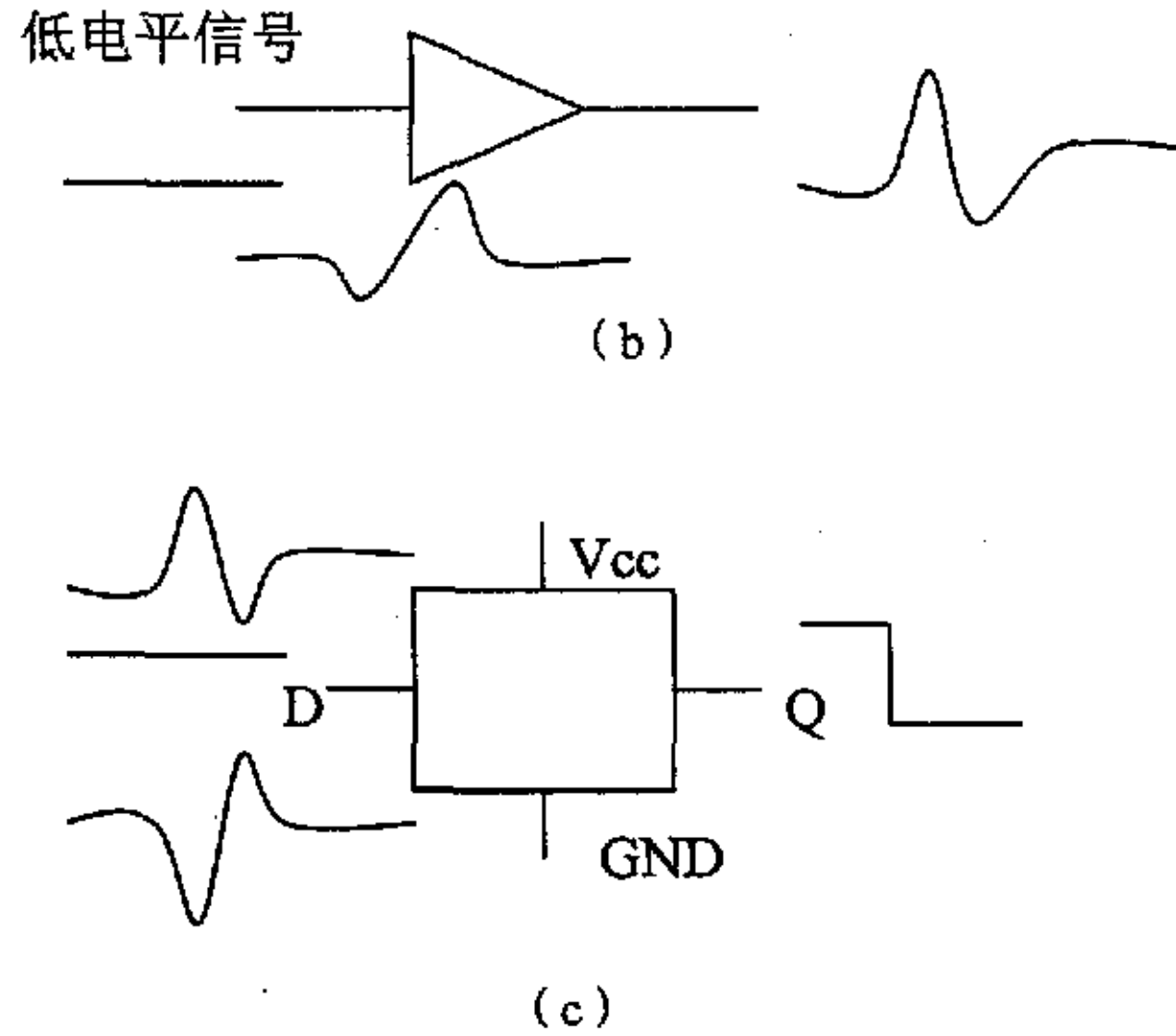


图 2-1 (a) 地弹噪声对驱动端信号的影响 (b) 地弹噪声对接受端信号的影响
(c) 触发器数据翻转

Figure 2-1 (a) Influence of ground bounce for driver terminal signal
(b) influence of ground bounce for receiver terminal signal (c) the signal of trigger reverse

2.2.2 非理想的电源分配系统阻抗

电源噪声的产生在很大程度上归结于非理想的电源分配系统。所谓电源分配系统，其作用就是给系统内的所有器件提供足够的电源，这些器件不但需要足够的功率消耗，同时对电源的平稳性也有一定的要求。电源电压之所以波动，就是因为实际的电源平面总是存在着阻抗，这样，在瞬间电流通过的时候，就会产生一定的电压降和电压摆动。为了保证每个器件始终都能得到正常的电源供应，就需要对电源分配系统的阻抗进行控制，也就是尽可能降低其阻抗。

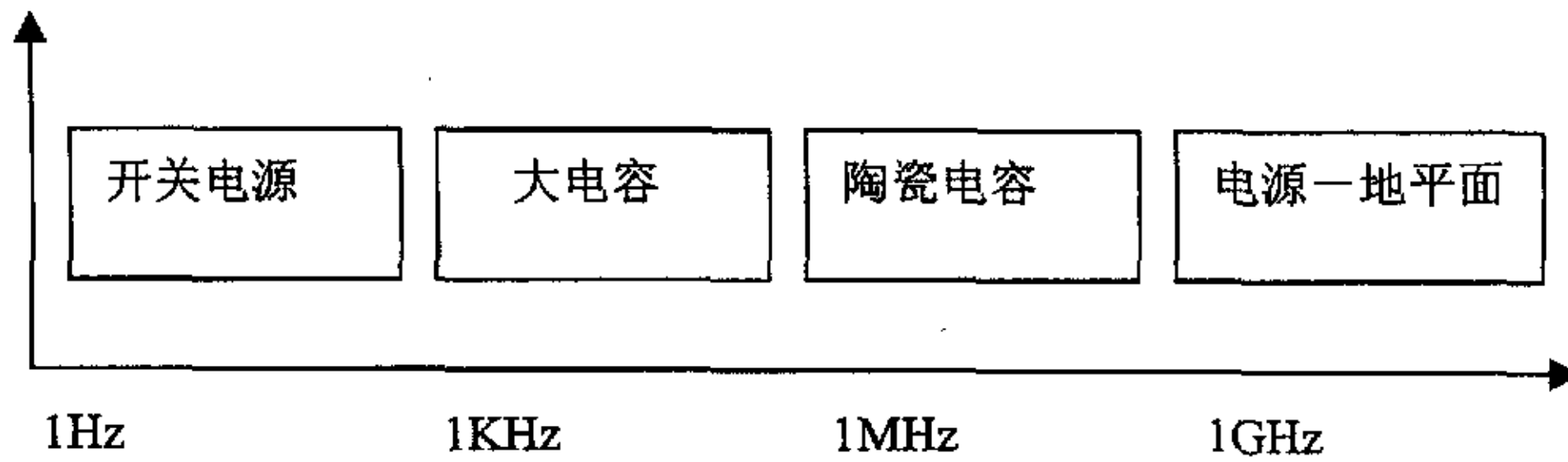


图 2-2 控制电源分配系统目标阻抗各个频率范围内的有效器件
Figure 2-2 Efficient devices in varies frequency of PDS impedance

2.2.3 旁路电容

我们把应用于高速电子线路中为解决电源完整性问题而使用的电容统一称为旁路电容。无论是降低电源分配系统的阻抗，还是减少同步切换噪声，旁路电容都起着很大的作用，高速电子线路的电源完整性设计的重点也就是在如何合理的选择这些电容。

旁路电容的作用：当一个输出状态发生变化时（例如，驱动和输出引脚从逻辑高电平向低电平转化的瞬间，输出结构立即通过分布结构从电源系统通路到地平面上呈现低阻抗通路），输出电平的转变会引起输出出现充放电现象，并要求电流立即供给到输出端，来达到所需的电压水平，在这种情况下，旁路电容可局部提供能量的存储来满足这种电流的瞬态反应。

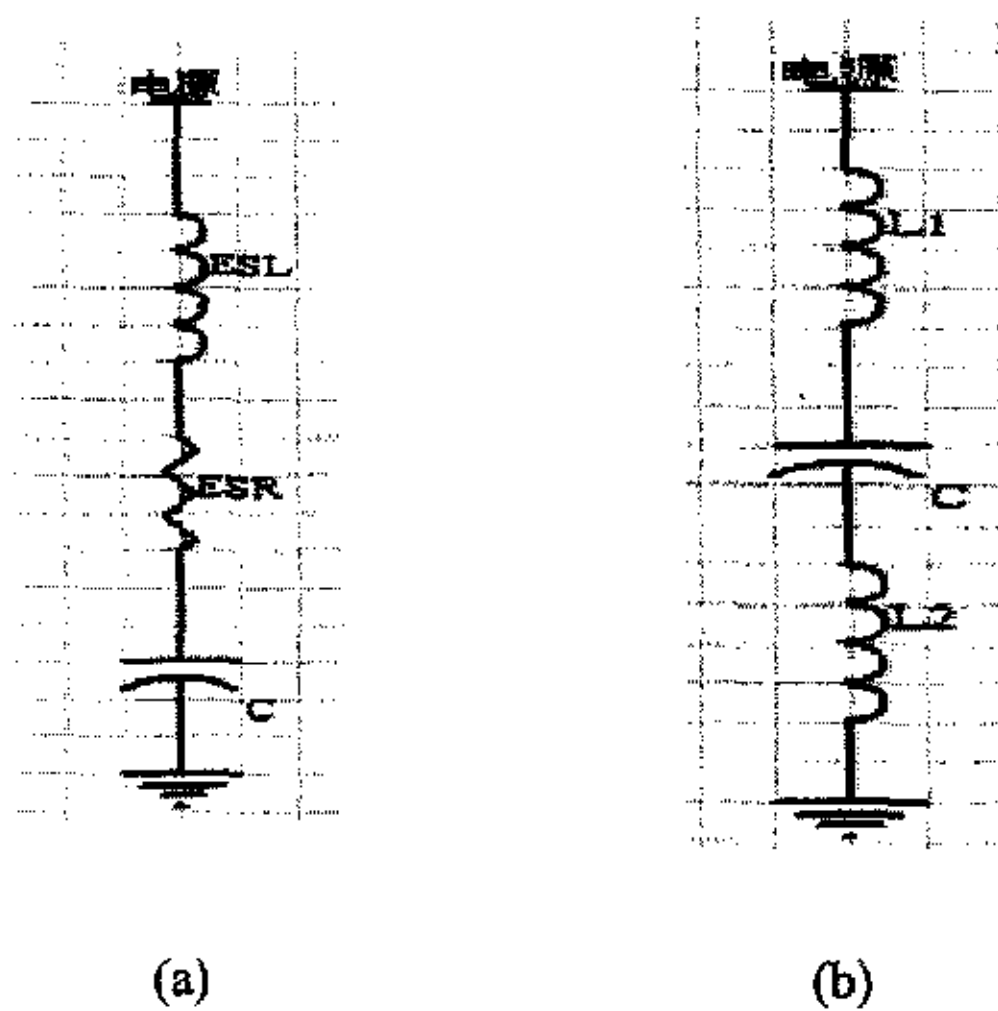


图 2-3 实际电容的寄生情况

(a) 有寄生电阻的实际电容模型 (b) 忽略寄生电阻的实际电容模型

Figure 2-3 Autoeciousness of real capacitor

(a) real capacitor model with autoecious resistor

(b) real capacitor model without autoecious resistor

电容滤波的目的是滤除叠加在电源系统中的交流成分，当频率一定时，电容值越大，回路中的阻抗就越小，这样交流信号就越容易通过电容流到地平面上去，换句话说，即似乎电容值越大其滤波效果越好，事实上并非如此，因为实际电容并不具有理想电容的所有特性。实际电容存在寄生成分，这是构造电容器极板和引线时所形成的，而这些寄生成分可等效为串联在电容上的电阻与电感，通常称之为等效串联电阻 (Equivalent Series Resistance, 缩写ESR) 和等效串联电感

(Equivalent Series Inductance, 缩写ESL), 其模型如图2-3(a)。如果忽略电容的寄生电阻则模型可等效为图2-3(b)。这样电容实际上就是一个串联谐振电路。在实际的电路或者PCB设计中, 电容寄生电感的存在将对电容的滤波性能带来很大的影响, 因此在系统设计时应该选择寄生电感比较小的电容。

图 2-4 简单介绍电容的插入损耗特性、频率响应特性与电容的滤波特性对电源完整性的影响。

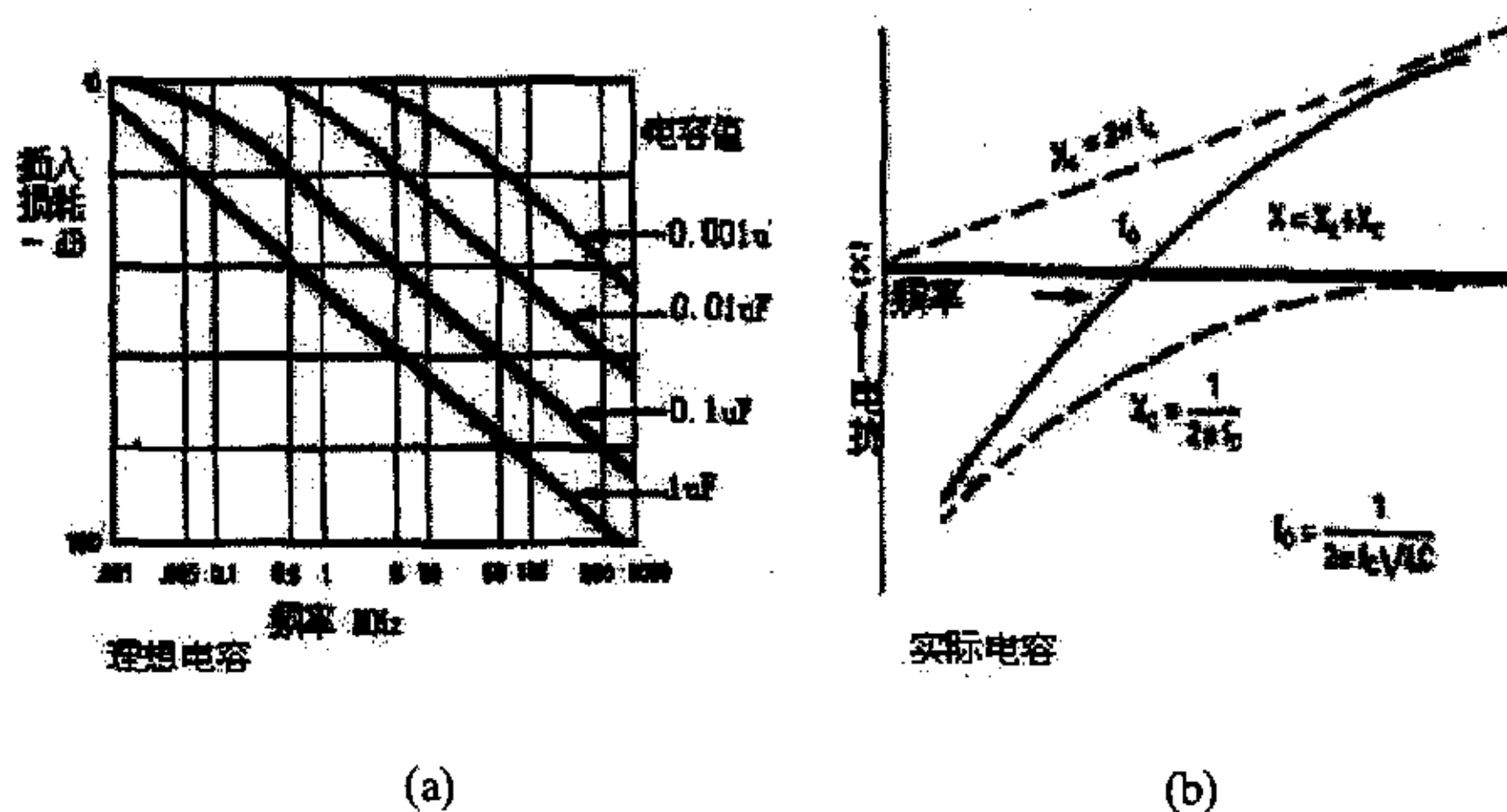


图 2-4 (a)理想电容的插入损耗特性曲线 (b) 实际电容的高频特性曲线

Figure 2-4 (a) The insertion loss curve of ideal capacitance

(b) High frequency characteristic curve of real capacitance

插入损耗的定义为: 没有滤波器接入时, 从噪声源传输到负载的噪声功率 P_1 和接入滤波器后, 噪声源传输到负载的噪声功率 P_2 之比, 即 P_1/P_2 , 用 dB (分贝) 来表示。

由图 2-4(a), 当频率增加时, 电容的插入损耗值是增加的, 也就是说 P_1/P_2 值是增加的, 即系统通过电容滤波以后, 能够传输到负载的噪声减少, 电容滤除高频噪声的能力增强。由分布参数理想电容的公式, 当电容一定时, 信号频率越高, 回路阻抗越低, 也即电容易于滤除高频的成分。EMI 电源滤波器对干扰噪声的抑制能力通常用插入损耗 (Insertion Loss) 特性来衡量。插入损耗的定义为: 没有滤波器接入时, 从噪声源传输到负载的噪声功率 P_1 和接入滤波器后, 噪声源传输到负载的噪声功率 P_2 之比, 用 dB 表示。

由图 2-4(b), 实际电容在工作时由于存在寄生电感的缘故, 使得电容回路成为一个串联谐振回路。 $f_0 = \frac{1}{2\pi\sqrt{LC}}$ 式中: L 为等效电感; C 为实际电容, f_0 为

谐振频率。如图 2-4(b)所示, 当频率 f_c 小于 f_0 时, 呈现为电容; 频率 f_c 大于 f_0 时, 呈现为电感。所以, 电容器更像是一个带阻滤波器, 而不是一个低通滤波器。电容的 ESL 和 ESR 是由电容的构造和所用介质材料决定的, 与电容容量无关。对于高频的抑制能力并不会因为更换大容量的同类型电容而增强。更大容量的同类型电容器的阻抗在频率低于 f_0 时, 比小容量电容器的阻抗小, 但是, 当频率大于 f_0 时, ESL 决定了二者的阻抗没有差别。为了改进高频滤波特性, 必须使用具有较低 ESL 的电容器。任何一种电容器的有效频率范围是有限的, 而对于一个系统, 既有低频噪声, 又有高频噪声, 所以通常要用不同类型的电容并联来达到更宽的有效频率范围。

2.2.4 谐振与边缘效应

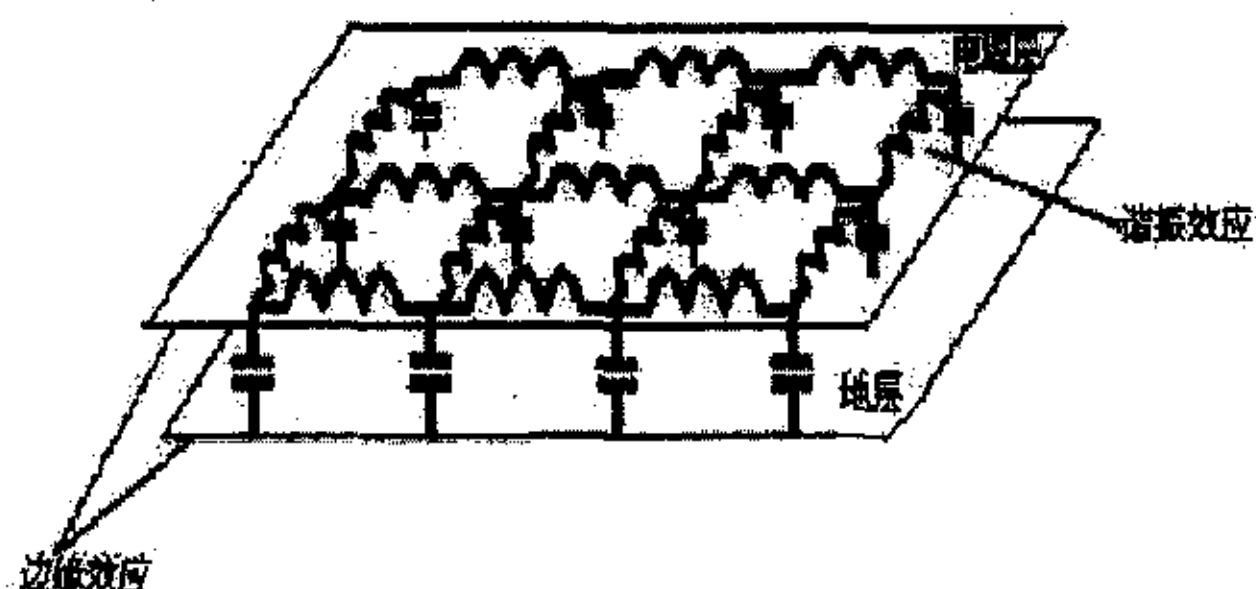


图 2-5 谐振与边缘效应

Figure 2-5 Affection of resonance and verge

如图 2-5, 我们可以看出, 电源平面可以看成是由多个电感和电容构成的谐振网络 (电路分析), 或可以看成是一个谐振腔 (电场分析), 在一定频率范围会发生谐振。电源平面和地平面的边缘效应同样是电源设计中需要注意的问题, 这里说的边缘效应就是指边缘反射和辐射现象。如果抑制了电源平面上的高频噪声, 就能很好的减轻边缘的电磁辐射, 通常使用增加旁路电容的方法。而边缘效应是无法完全避免的, 所以在设计 PCB 时, 要尽量让信号远离铺铜区边缘, 以避免受到太大的干扰。

2.3 高速 CMOS 电路的电源完整性分析

在高速 CMOS 电路中,高集成度高速的 IC 器件由于受到器件封装上寄生电感的作用而产生同步切换噪声。同步切换噪声的存在,会引起逻辑电路的开关状态错误,如得不到有效及时的控制,信号完整性问题将对高速电路和系统产生显著的影响。同步切换噪声还会引起信号时序和质量的变坏,如上升沿变缓,信道传输延迟,过冲增大等等问题。

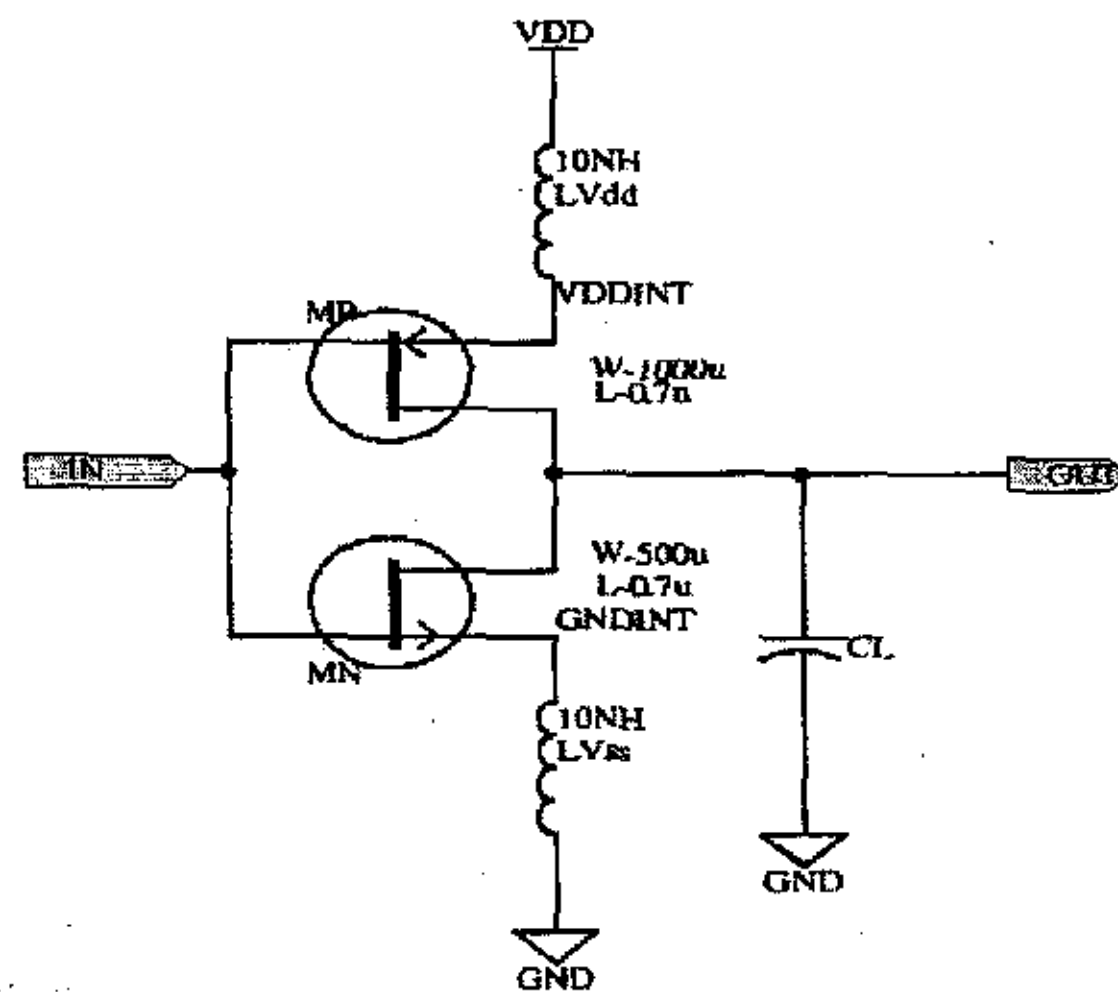


图 2-6 CMOS 电路同步切换噪声模型

Figure2-6 the model of SSN for CMOS circuit

在图 2-6 中, V_{DD} 表示外部电源, V_{DDINT} 表示片内芯片电源。GND 表示外部地线, GNDINT 表示片内地线。 L_{VDD} 和 L_{VSS} 分别表示电源线和地线上的电感, C_L 为负载电容。

当输入端由于低电平到高电平转换时, P 管由饱和区经线性区进入截止区, 而 N 管则由截止区经线性区进入饱和区。在这个过程中会出现两个管子同时导通的情况, 这时会产生很大的尖峰电流, 它会产生同步切换噪声, 电感 L_{VDD} 和晶体管的等效电容组成 LC 振荡, 在 V_{DDINT} 引起小的电压摆幅, 而负载电容 C_L 。要对 N 管放电, L_{VSS} 上不仅有直通电流还有放电电流, 所以 L_{VSS} 上的电流变化要比 L_{VDD} 上的大得多, L_{VSS} 上的电压降将很大, 在这个转换过程中噪声主要由电感 L_{VSS} 引起, 所以这时的噪声称为地弹噪声。

电感 L 上的电压降为:

$$V_n(t) = L \frac{dI_1}{dt} \quad (2-1)$$

我们主要考虑噪声电压的最大值，假设噪声电压最大值出现在开关时间 t_r 之外，这时输入电压保持在高电平，N 管的栅源电压 V_{GS} 将下降，电流的变化率将减小，噪声电压 V_n 将减小，这与假设不符合，故噪声电压的最大值一定出现在开关时间 t_r 内。

在输入由低到高的转换过程中，输出端保持高电位，N 管一直处于饱和区。这时通过 N 管的电流为：

$$I_n = \frac{K}{2} (V_{GS} - V_T)^2 \quad (2-2)$$

其中 K 为驱动器管的跨导参数， $K = \mu_n C (S)$ ，其中： μ_n 是放大率； $C (S)$ 是驱动器管的内部电容，与 W/L (NMOS 的宽长比) 有关； V_T 为 NMOS 管的阈值电压。对上述模型来说， $V_{GS} = V_{in} - V_n$ ，故 (2-2) 变为：

$$I_n = \frac{K}{2} (V_{in} - V_T - V_n)^2 \quad (2-3)$$

假设这时有 n 个同步开关同时开关，这样在电感上的电压降则为：

$$V_n(t) = nL \frac{dI}{dt} \quad (2-4)$$

联立式 (2-3) 和式 (2-4)，可得：

$$V_n = nLK (V_{in} - V_n - V_T) \left[\frac{dV_{in}}{dt} - \frac{dV_n}{dt} \right] \quad (2-5)$$

因为噪声是在电路上有电流时才产生的，当 V_{in} 小于阈值电压时，电路上无电流，也就无噪声电压。同时可以近似认为噪声电压 V_n 在 t_r (V_{in} 等于阈值电压 V_T 时) 和开关时间 t_r 上是线性变化的且在 t_r 时达到最大值。

V_{in} 随时间的变化关系为：

$$V_{in}(t) = \frac{V_{DD}}{t_r} t \quad (2-6)$$

所以, 当 $V_{in} = V_T$ 时, $t_r = (V_T/V_{DD}) t_r$, 故噪声电压随着时间的变化关系为:

$$V_n(t) = \frac{V_{n\max}}{t_r - t_T} (t - t_T) \quad (2-7)$$

利用式 (2-6), 式 (2-7) 和式 (2-5), 可以解出 $t = t_r$ 时最大噪声电压:

$$V_{n\max} = nLK(V_{DD} - V_{n\max} - V_T) \left[\frac{V_{DD}}{t_r} - \frac{V_{n\max}}{t_r - t_T} \right] \quad (2-8)$$

进一步简化得:

$$\frac{(V_{DD} - V_{n\max} - V_T)^2}{V_{n\max}} = \frac{t_r(V_{DD} - V_T)}{nLKV_{DD}} \quad (2-9)$$

∴

$$V_{n\max} = V_{DD} - V_T + \frac{(V_{DD} - V_T)t_r}{2V_{DD}nLK} \left[1 - \sqrt{1 + \frac{4V_{DD}nLK}{t_r}} \right] \quad (2-10)$$

如果噪声电压在 t_s 时达到最大值, 其中 $t_s < t_r$, 则式 (2-8) 修正为:

$$V_{n\max} = nLK(V_{DD} - V_{n\max} - V_T) \left[\frac{V_{DD}}{t_r} - \frac{V_{n\max}}{t_s - t_T} \right] \quad (2-11)$$

当输入端由高电平向低电平转换时, 与上述分析类似, 只是在这个转换过程中, L_{VDD} 上的电流变化率远大于 L_{VSS} 上电流变化率。噪声主要是由 L_{VDD} 引起, 所以这时的噪声又称为电源噪声。

影响同步切换噪声的有驱动器的开关时间 t_r , 驱动管的跨导参数 K , 寄生电感 L , 同时开关的驱动器的个数 n 等等。我们在设计时主要考虑的是前两个因素开关时间 t_r 和跨导参数 K 中的 W/L 。

通过延长开关时间 t_r 或者降低 W/L 都能够降低同步切换噪声。但是必须注意，延长开关时间 t_r 或者降低 W/L 也会引起电路的速度变慢，所以上述的变化应在确保电路速度要求的前提下，尽可能地延长开关时间或降低宽长比 W/L 。

因此，同步切换噪声是由寄生电感上的电流变化量引起的，我们可尽量降低电源分布系统上的寄生电感和降低电流的变化量来减少同步切换噪声。

2.4 同步切换噪声/地弹噪声电路分析

电源系统的同步切换噪声主要是伴随着器件的同步切换输出（SSO, Simultaneous Switching Output）而产生的，开关速度越快，瞬间电流变化越显著，电流回路上的电感越大，则产生的SSN 越严重。[8][10]

$$V_{SSN} = N \cdot L_{loop} \cdot (di/dt) \quad (2-12)$$

式（2-12）中 I 指单个开关输出的电流， N 是同时开关的驱动端数目， L_{loop} 为整个回流路径上的电感，而 V_{SSN} 就是同步切换噪声的大小。

在考虑电流回路上的寄生电感的情况下，构建电源系统高速电路多个驱动器供电的模型如图（2-7）所示：

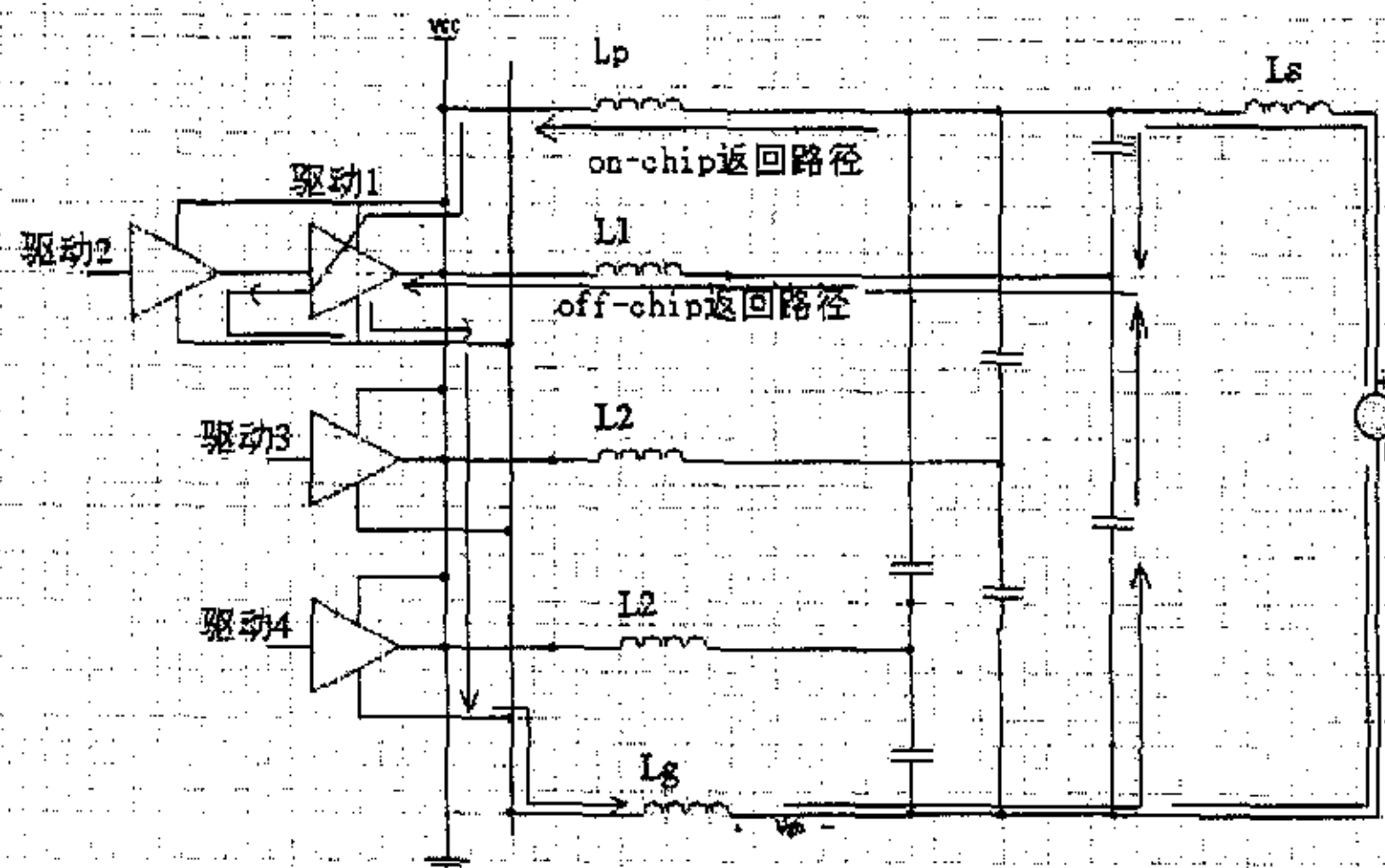


图 2-7 SSN 分析电路模型

Figure2-7 The model of SSN analysis circuit

模型中由于分布电阻对切换噪声的影响相对较小，当内部Driver4 开关（此时driver1 作为接收端）时产生的噪声就是On-chip SSN，可以看到其回流途径只经过电源和地，和器件封装中信号管脚的寄生电感L1无关；而当Driver1（或2,3）

作为开关输出时，产生的噪声称为Off-chip SSN，这时的电流将流经信号线和地，但不经过芯片的电源管脚（信号跳变为1到0），与器件封装中电源的寄生电感 L_p 无关。

2.4.1 On-chip 切换噪声

图(2-7)中 L_p 和 L_g 为器件封装中电源和地的寄生电感， L_s 为系统电源的电感。假设 L 为封装电源和地总的电感，由于 L_p 和 L_g 上通过的电流是反向的，则：

$$L=L_p+L_g-2M_{pg} \quad (2-13)$$

M_{pg} 指 L_p 和 L_g 之间的耦合电感。这时芯片实际得到的电压为：

$$V_{chip}=V_s-L(di/dt)-L_s(di/dt) \quad (2-14)$$

因而，在瞬间开关时，加载在芯片上的电源电压会下降，随后围绕 V_s 振荡并呈阻衰减。

如果多个驱动级同时工作，会造成更大的电源压降，从而造成器件的驱动能力将降低，电路速度会减慢。

为使 V_{chip} 与 V_s 数值接近，结合实际电路对式(2-14)进行分析，我们得出以下结论：

- 1) 降低芯片内部驱动器的开关速率和同时开关的数目，以减小 di/dt
- 2) 降低系统供给电源的电感；
- 3) 可通过在高速电路设计中使用单独的电源层，并让电源层和地平面尽量接近对电源分布电感加以改善。
- 4) 降低芯片封装中的电源和地管脚的电感。增加电源/地的管脚数目，减短引线长度，尽可能采用大面积铺铜等可以改善。
- 5) 增加电源和地的互相耦合电感也可以减小回路总的电感，因此要让电源和地的管脚成对分布，并尽量靠近。
- 6) 给系统电源增加旁路电容，这些电容可以给高频的瞬变交流信号提供低电感的旁路，而变化较慢的信号仍然走系统电源回路（图2-8）。虽然驱动器负载电容也可以看作旁路电容，但由于其电容很小，所以对交流旁路作用不大。

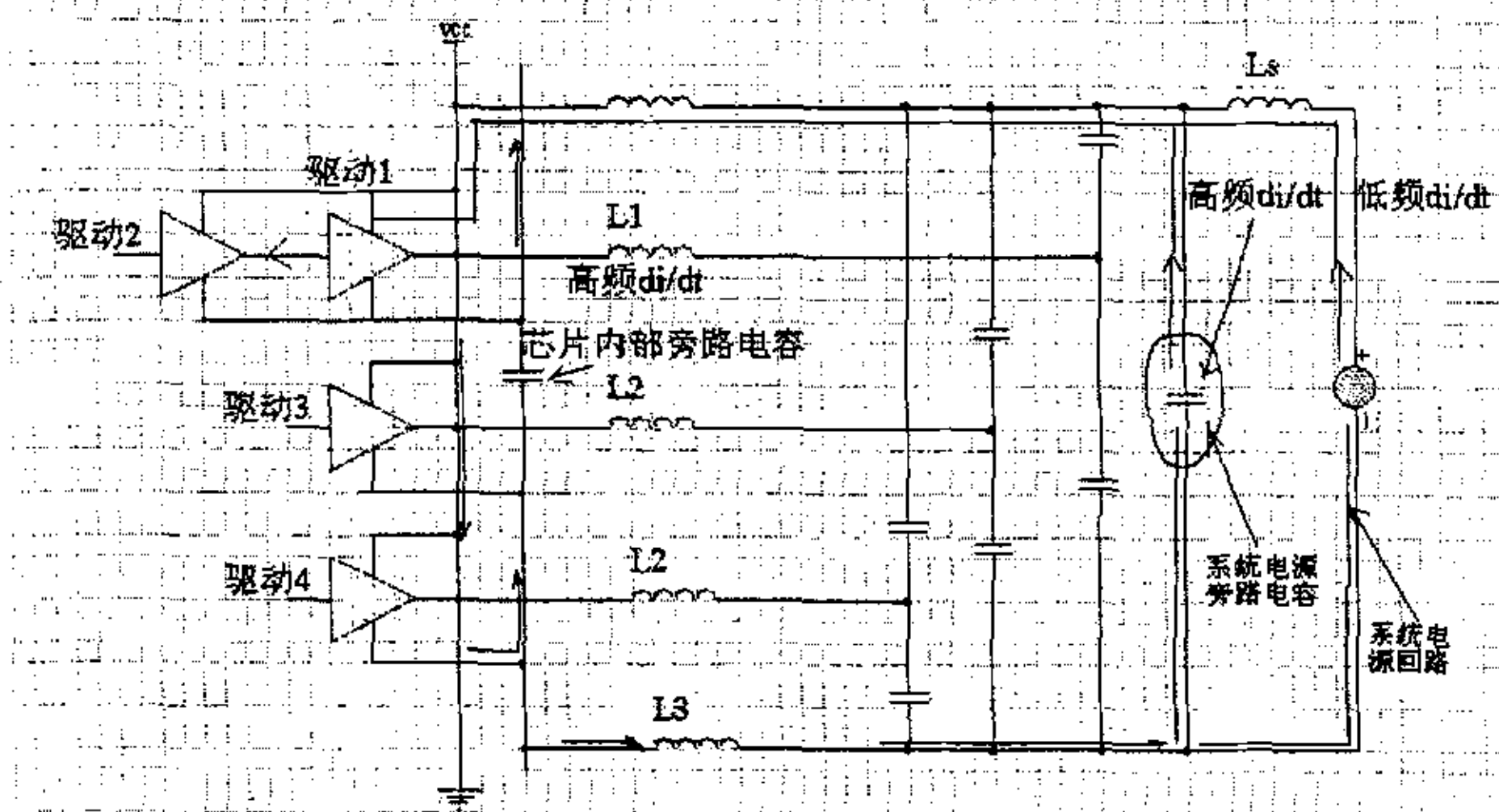


图 2-8 旁路电容对 On chip SSN 的作用

Figure2-8 The influence of bypass capacitor for on-chip SSN

2.4.2 Off-chip 切换噪声

由SSN分析电路模型图2-7可以看出，Off-chip情况和On-chip情况最显著的区别在于计算切换噪声的时候需要考虑信号线的电感，而且对于不同的开关状态其电流回路也不同，1 到0 跳变时，回流不经过封装的电源管脚，0 到1 跳变时，回流不经过封装的地管脚。类似前面的分析，可计算由于封装电感的影响造成的电压降为（不考虑系统电源电感）：

$$V_{gb} = (L_1 + L_g - 2M_{lg}) di/dt \quad (2-15)$$

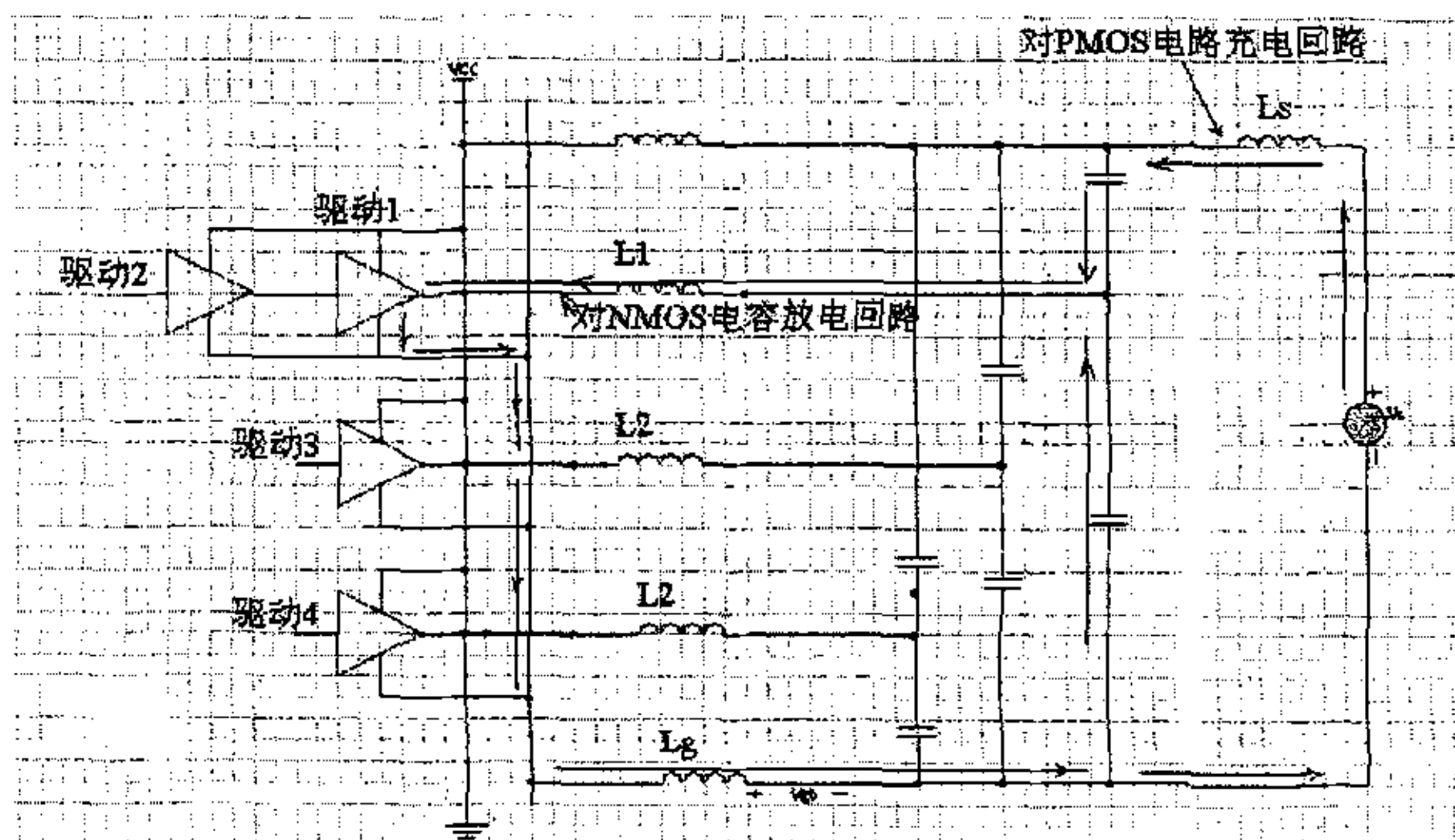


图 2-9 从 1 到 0 状态下 off-chip 回流路径

Figure2-9 The reflow path from status1 to status0

这时,芯片的地并不是和理想的系统地保持同样的零电位,而是存在 V_{gb} 的电压波动,即地弹。地弹现象是On-chip 和Off-chip 同步开关输出的综合影响。同样对于0 到1 开关状态,封装电感会给电源造成一定的压降,即电源反弹。由式(2-15)可以看出,地弹噪声与封装的寄生电感有关,而与系统的电源及地的电感无关,这也构成SSN 和Ground bounce 在概念上不能完全等同的原因。

分析off-chip 模型图和式(2-15),为减轻Off-chip 切换噪声,我们得出以下几种方法:

1. 降低芯片内部驱动器的开关速率和同时开关的数目(同On-chip);
2. 降低封装回路电感,增加信号和电源和地的耦合电感;
3. 在封装内部使用旁路电容,这样能让电源和地共同分担电流回路,可以减小等效电感。但对于系统电源的旁路电容使用将不会影响地弹噪声的大小。

通过以上的同步切换噪声的基本原理分析,我们可以总结出一个结论:对于给定的电路,即 di/dt 不变的情况下,减轻SSN 就是尽量减小信号回路的等效电感(L_{eff})。 L_{eff} 包含三个部分: On-chip 开关输出的回路等效电感 $L_{eff,P}$; 所有 Off-chip 驱动从低到高(L 到 H)开关输出的回路等效电感 $L_{eff,LH}$; 所有 Off-chip 驱动从高到低(H 到 L)开关输出的回路等效电感 $L_{eff,HL}$ 。对于 Off-chip 的同步开关来说,如果驱动器的跳变是不一致的话,比如有的是1 到0 变化,有的是0 到1 变化,这时候由于某些回流方向相反,会因为耦合而降低等效电感。

2.5 本章小节

本章首先介绍了电源完整性和信号完整性的相关概念,阐述了同步切换噪声(SSN)和地弹(Ground bounce),非理想电源阻抗和旁路电容以及谐振及边缘效应对电源完整性的影响,并针对高速CMOS电路和同步切换噪声/地弹噪声电路进行了详尽的分析。

通过分析,我们得出下面的结论:

- 1) 影响电源完整性的因素主要有四类:同步切换和地弹、非理想电源分配系统阻抗、旁路电容以及谐振及边缘效应。
- 2) 高速CMOS电路需要通过降低电源分布系统上的寄生电感和降低电流的变化量来减少同步切换噪声。

- 3) 可以通过增加旁路电容,降低芯片内部驱动器的开关速率和同时开关的数目,降低封装回路电感,增加信号和电源和地的耦合电感,降低系统供给电源的电感等方法来降低同步切换噪声和地弹噪声。

第三章 电源完整性分析模型的建立

我们对组成电源分配系统的各个部分：开关电源模块，电源/地平面，旁路电容分别建立分析模型。这些模型可以有效的应用于电源完整性仿真中，从而将影响电源完整性的问题解决在实际布局布线之前。

3.1 电源分配系统建模基础

在数字系统中，电源分配系统的质量直接影响着信号的质量。电源噪声表现为同步切换噪声、地平面反弹噪声和回流噪声等，它直接影响着系统的噪声容限和信号的时序。电源噪声很大程度上归结于非理想的电源分配系统。所谓电源分配系统，其作用就是给系统内的所有器件提供足够的能源，这些器件不但需要足够的功率消耗，同时对电源的平稳性也有一定的要求。MCU (Microprocessor Control Unit,微处理器)和各种 ASIC (Application Specific Integrated Circuit,特定用途集成电路)集成的功能越来越多，这对电源分配系统提出了更高的要求。

电源之所以波动，是因为电源平面总是存在着阻抗，这样，在瞬间电流通过的时候，就会产生一定的电压降和电压摆动。为了保证每个器件始终都能得到正常的电源供应，就需要对电源的阻抗进行控制，也就是尽可能降低其阻抗以保证电源的波动在正常的电压范围内。因此，电源分配系统的关键技术就是控制电源的目标阻抗。主要考虑的问题有：PCB 叠层方案、滤波电容的选择和放置、电源分割、连接器的选择等等。电源分配系统的一种设计方法是目标阻抗法：首先根据系统要求给出一个目标阻抗，然后设计电源分配系统的阻抗使其在一定的频率范围内低于目标阻抗。如果工作电压和功率给定，平均电流可以利用全欧姆定律来计算。假设电源的电压只允许在一定的范围内波动(如+5%或-5%)，那么我们可以算出电源分配系统的目标阻抗： $Z_{target} = (\text{工作电压}) \times (\text{波动范围}) / \text{平均电流}$ 。

目标阻抗(Z_{target})不仅在直流,而且在一定的频率范围内也有效。频率范围的上限一般取信号的截止频率 $f_{knee} = 0.35 / T_{rise}$ ，其中 T_{rise} 为信号上升时间,这是因为器件同步开关的数目很多,翻转的速度也很快,信号中高频成分所占比例很大。为了保证信号的完整性,在高频情况下电源分配系统的阻抗也必须低于目标

阻抗。

在 PCB 板上, 电源分配系统由电源模块、电源/地平面、各种电容组成。它们分别在不同的频率范围内做出响应。电源模块响应的频率范围大约是从直流到 1kHz, 大的电解电容提供电流并在 1kHz 到 1MHz 的范围内保持较低阻抗, 高频陶瓷电容在 1MHz 到几百 MHz 的频率范围内保持较低阻抗, PCB 板上的电源地平面对则在 100MHz 以上发挥重要作用(图 3-1)。

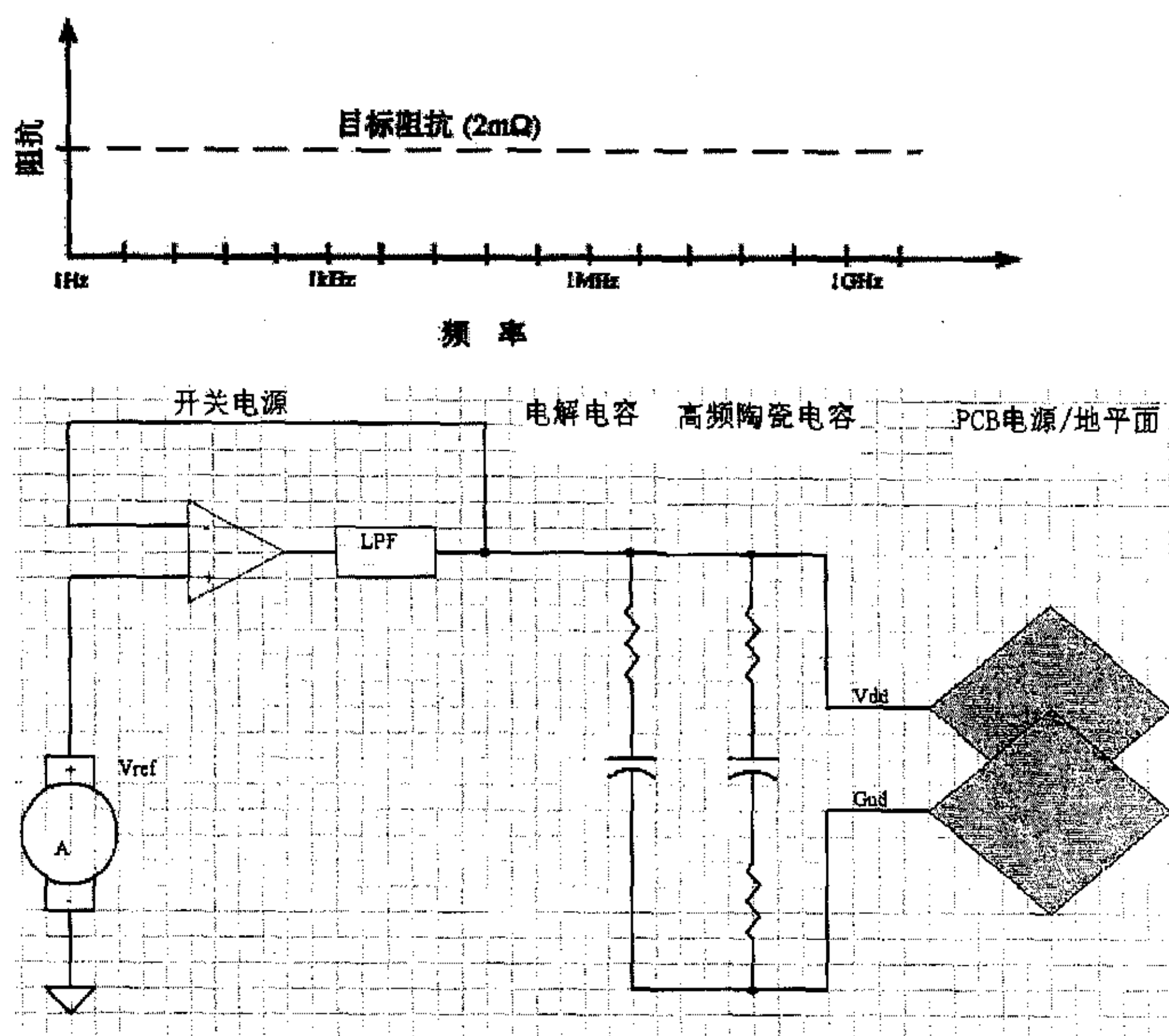


图 3-1 利用电源模块、各种电容、电源/地平面来满足目标阻抗要求

Figure 3-1 satisfy the requirement of target impedance by power model, various capacitors and power(ground) plane

3.2 开关电源模型

开关电源模块是系统供电的源端, 它将一个直流电压转换成另一个电压值。引入参量(一般为电压和电流)平均值的概念, 通过电源动态分析建立开关电源信号分析模型。参量在一个分析周期内是变化的。在一个周期 T 内它的平均值定义为:

$$q = \frac{1}{T} \int_{t_i}^{t_i+T} q(t) dt \quad (3-1)$$

其中 q 代表任意所关心的参量, t_i 代表平均化过程的起始时间。

平均化消除了在整个周期中实际波形对各平均值之间的数学关系的影响。图 3-2 为开关电源的黑箱模型, 共有五个端口参量: 输入电压 e , 输入电流 i_e , 输出电压 u , 输出电流 i_c , 和控制变量 X 。 X 是电源能量转换的控制参数。

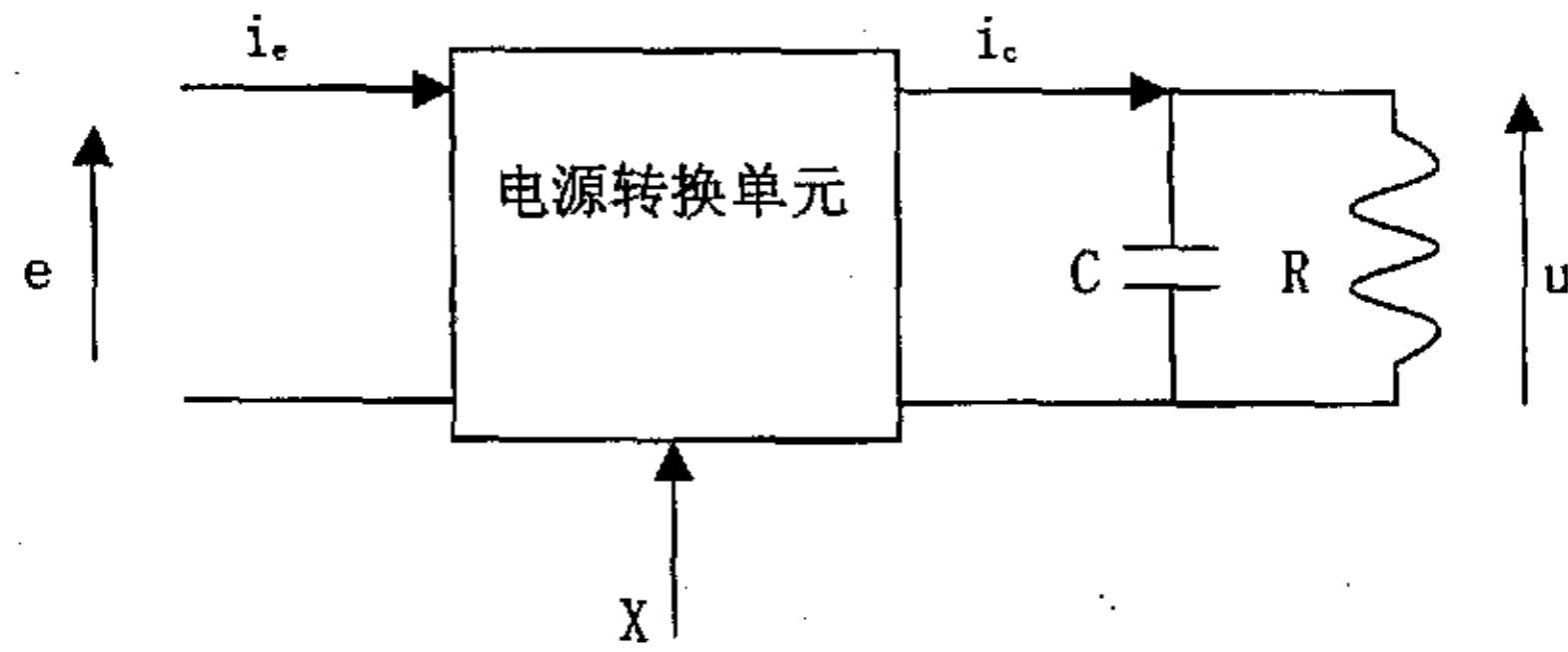


图 3-2 一个电源转换单元的黑箱模型

Figure 3-2 a black-box model of power switching cell

输入电流和输出电流的平均值 i_e 和 i_c 可以表示成被控参量 X 的平均值、输入电压和输出电压的平均值的函数, 可由以下两个关系式定义:

$$i_e = i_e(x, u, e) \quad (3-2)$$

$$i_c = i_c(x, u, e) \quad (3-3)$$

这两个函数取决于电源的具体结构和运行模式。应用于式 (3-2) 和式 (3-3), 相应得到微分方程:

$$di_e = \frac{\partial i_e}{\partial x} dx + \frac{\partial i_e}{\partial u} du + \frac{\partial i_e}{\partial e} de \quad (3-4)$$

$$di_c = \frac{\partial i_c}{\partial x} dx + \frac{\partial i_c}{\partial u} du + \frac{\partial i_c}{\partial e} de \quad (3-5)$$

在给定工作点的偏导是恒定的, 所以式 (3-4) 和式 (3-5) 中所涉及的参量的增量之间为线性关系, 这些增量可被认为等价于电源器件。

在有些情况下, 无法建立式 (3-2) 和式 (3-3) 来描述变量之间的关系。当能量转换发生在从一个周期到下一个周期的时候, 输入和输出电流也取决于开关电源的电感电流。为简化起见, 我们把电感电流对时间的导数近似为:

$$\frac{di_L}{dt} \approx \frac{i_L(t+T) - i_L(t)}{T} \quad (3-6)$$

其中 $i_L(t+T)$ 和 $i_L(t)$ 是电感电流间隔为周期 T 的采样值。

式 (3-6) 允许在 s 域消除电感电流的影响。因此我们可以得到式 (3-4) 和式 (3-5) 的拉普拉斯变换:

$$I_e^* = A_e(s)X^* - B_e(s)U^* + C_e(s)E^* \quad (3-7)$$

$$I_c^* = A(s)X^* - B(s)U^* + C(s)E^* \quad (3-8)$$

式中的系数为复变量 s 的函数。下文将系数中除 $C(s)$ 以外的 s 省略。

式 (3-7) 和式 (3-8) 可被建立用来表示任意的可线性化的开关电源。如图 3-3、图 3-4 所示, 输入和输出电流可表示为基本参数 X^* , U^* 和 E^* 的函数

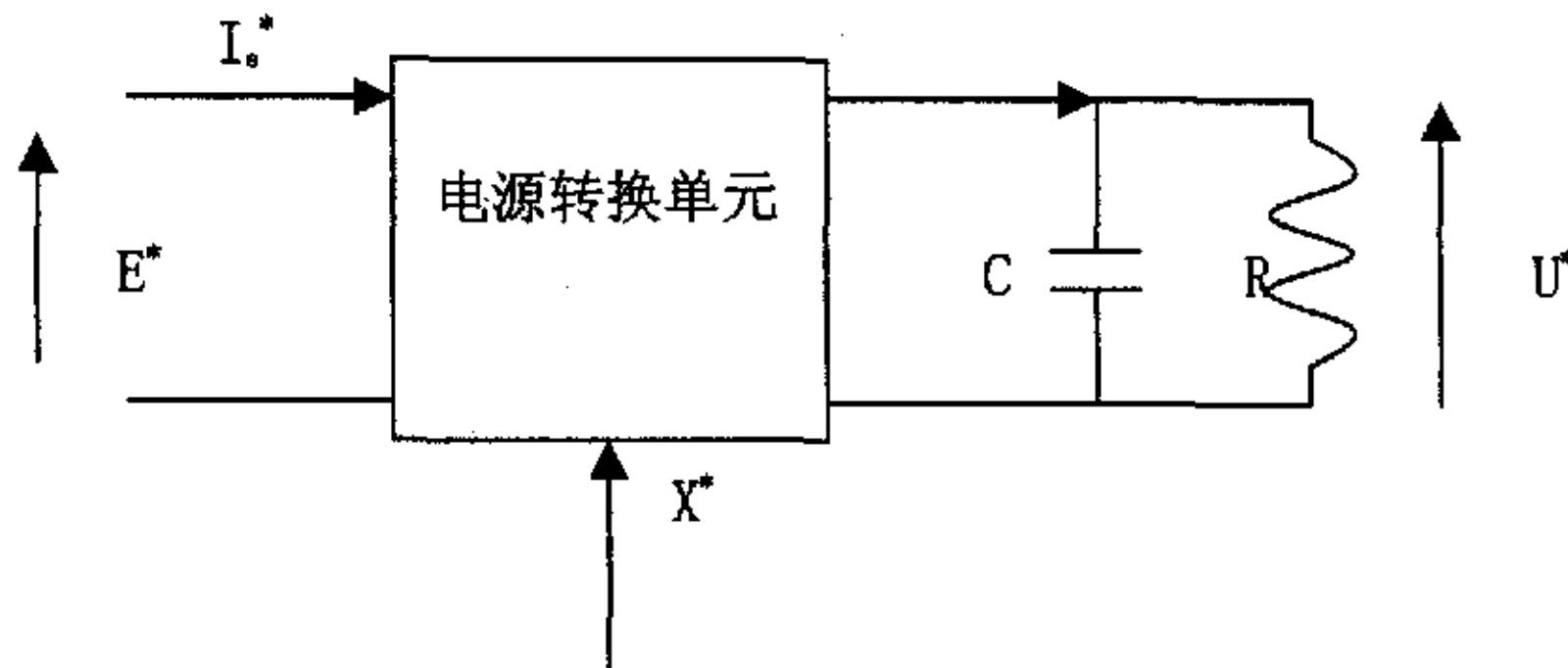


图 3-3 输入特性系数定义

Figure3-3 definition for input characteristic coefficient

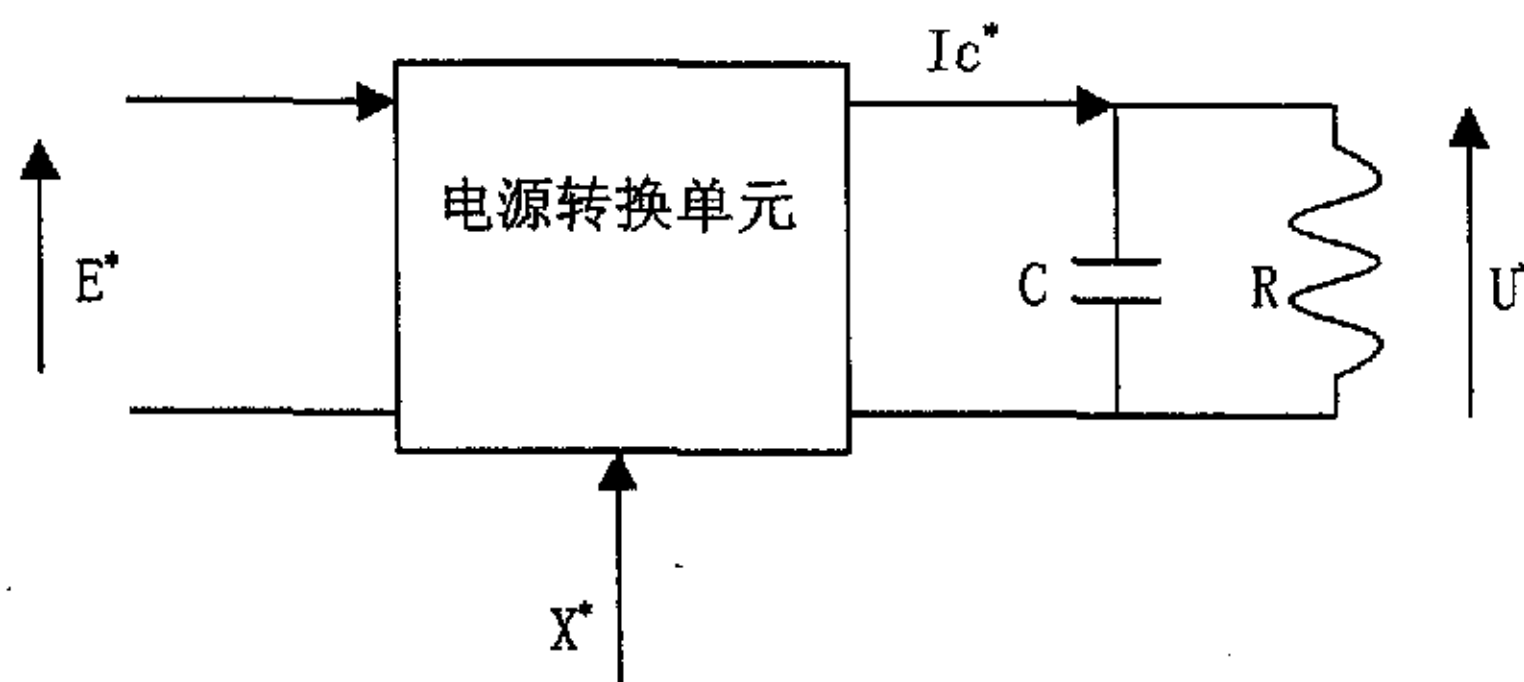


图 3-4 输出特性系数定义

Figure3-3 definition for output characteristic coefficient

在闭环结构中, 通过反馈环节控制变量 X 把输出电压维持在期望值上, 为此, 变量 X 称为被控变量。目前在大多数应用中, 被控变量为开关电源的占空比。

一种典型的应用如图 3-5 所示, 电源将占空比作为被控变量。电感电流也可以用作被控变量, 以得到许多期望的特性, 即电流控制模式, 图 3-6 所示为电流

控制模式电源的基本应用。图 3-7 所示为将频率作为被控变量的电源，电压误差校正环通过电压频率转换器来决定电源频率。总之，被控变量可以是电源的任何合适的参量。

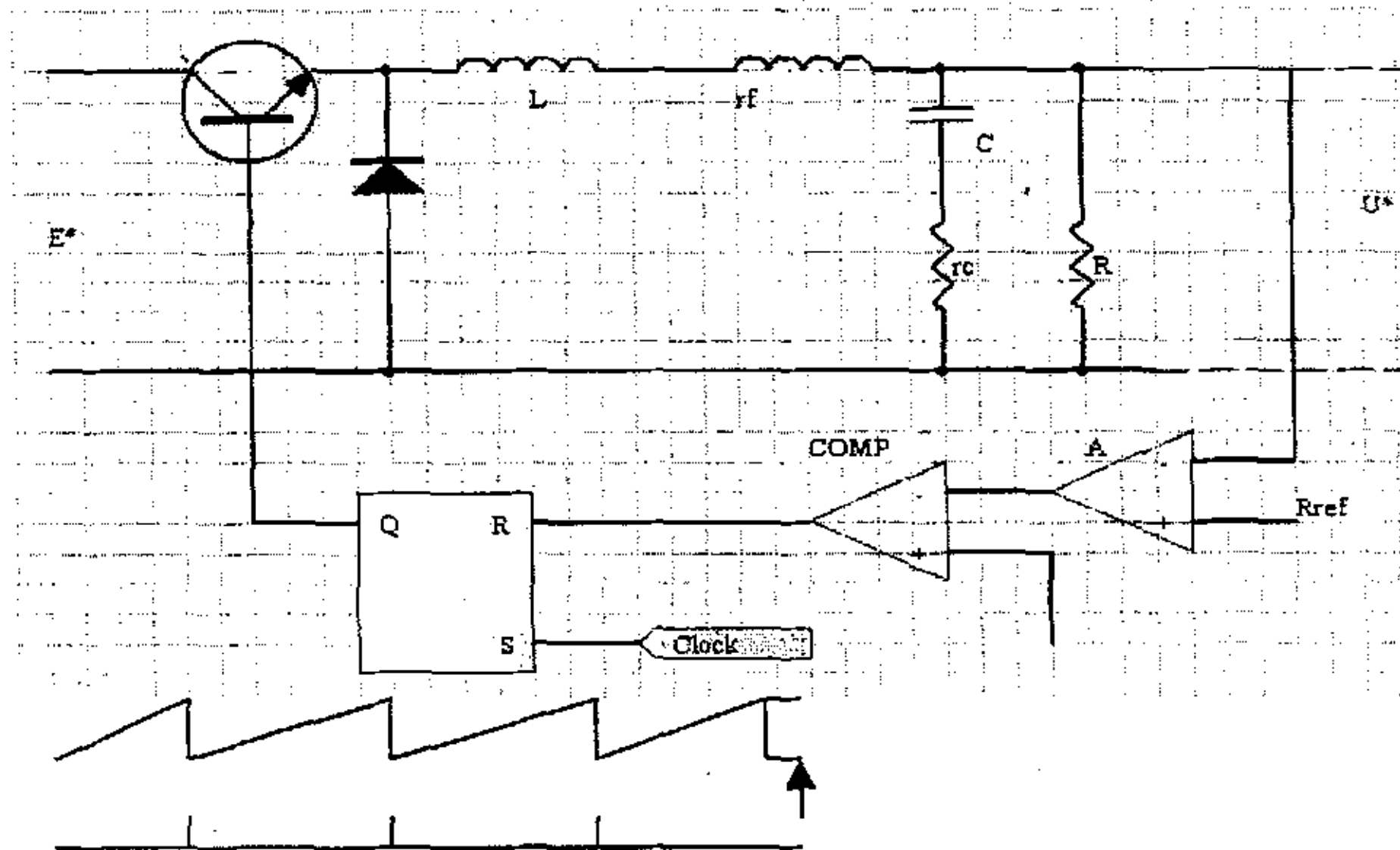


图 3-5 将占空比作为被控变量
Figure3-5 duty ratio as controlled variable

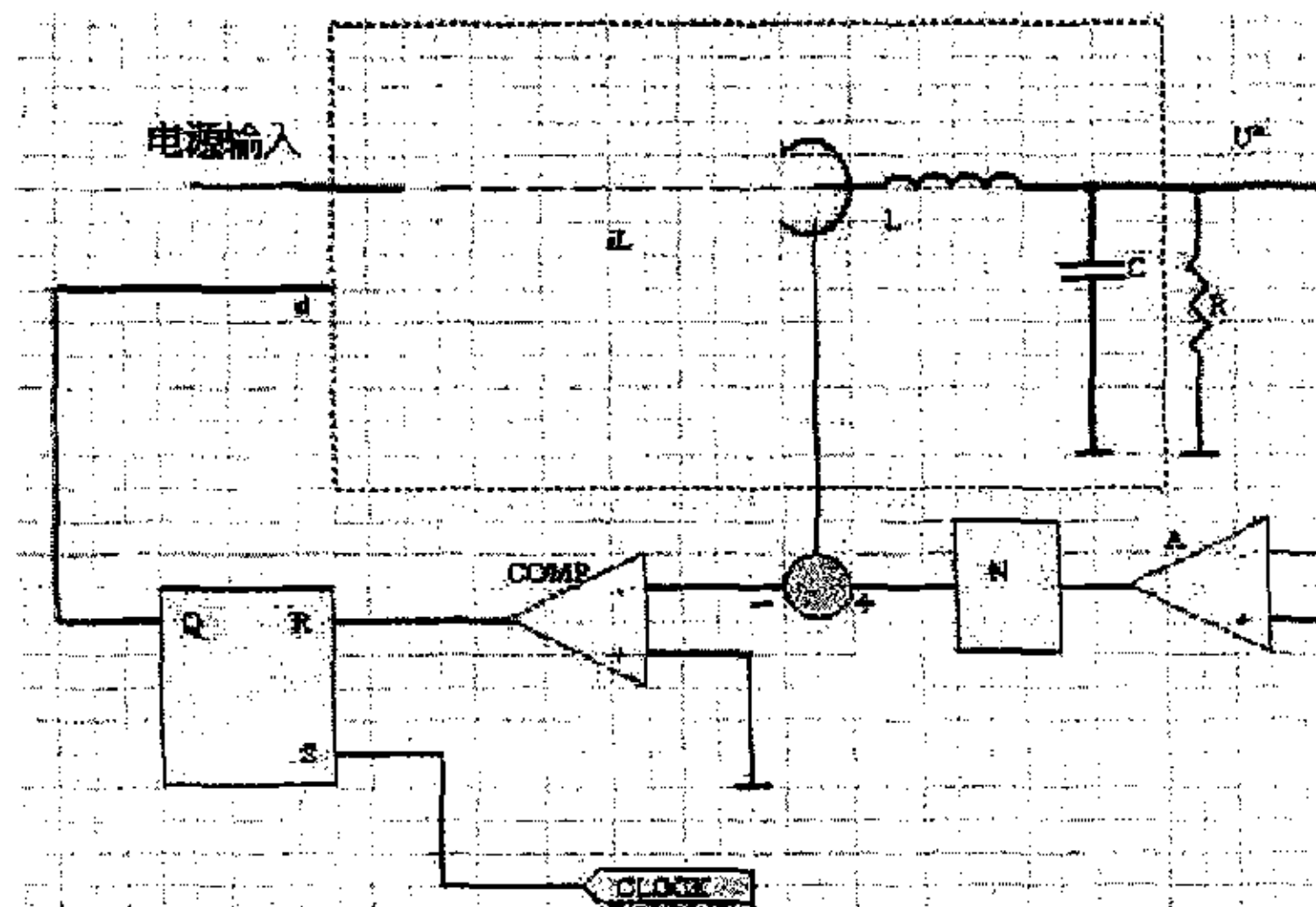


图 3-6 用电感最大电流作为被控变量
Figure3-6 max current of inductor as controlled variable

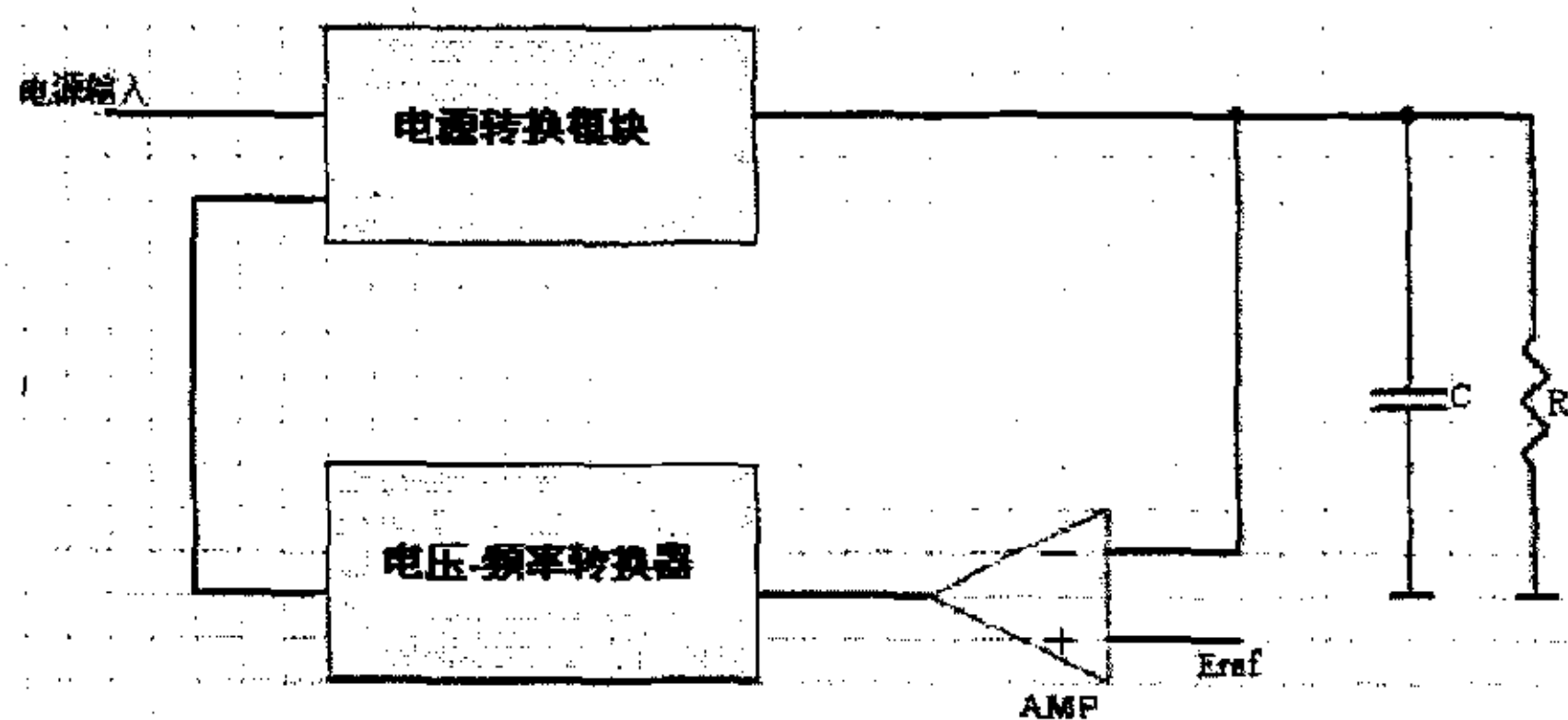


图 3-7 电源中将频率作为被控变量

Figure 3-7 frequency as controlled variable in power

式 (3-7) 和式 (3-8) 将输入、输出平均电流和端电压、被控变量联系起来, 可以完全定义开关电源的低频小信号特性。

在式 (3-7) 中出现的系数 A_e , B_e 和 C_e 被称为输入特性系数, 同样, 式 (3-8) 中出现的系数 A , B 和 $C(s)$ 称为输出特性系数。总的来说, 特性系数与信号频率、电源结构、运行模式和被控变量有关。

式 (3-8) 定义了电流源将电流输入到由电容 C 和电阻 R 组成的并行阻抗回路, 阻抗回路两端电压为 U^* ,

$$Z_o = \frac{1}{B} \quad (3-9)$$

将阻抗并联到电容 C 和电阻 R 组成的阻抗回路, 式 (3-8) 仍然有效, 电流源的电流可变为:

$$I_{OUT}^* = AX^* + C(s)E^* \quad (3-10)$$

新的电流源和阻抗 Z_o 并联, 可转换为一个电压源:

$$E_{OUT}^* = \frac{A}{B}X^* + \frac{C(s)}{B}E^* \quad (3-11)$$

该电压源和阻抗 Z_o 串联。这就构成了开关电压输出部分的一般模型。其结构如图 3-8。

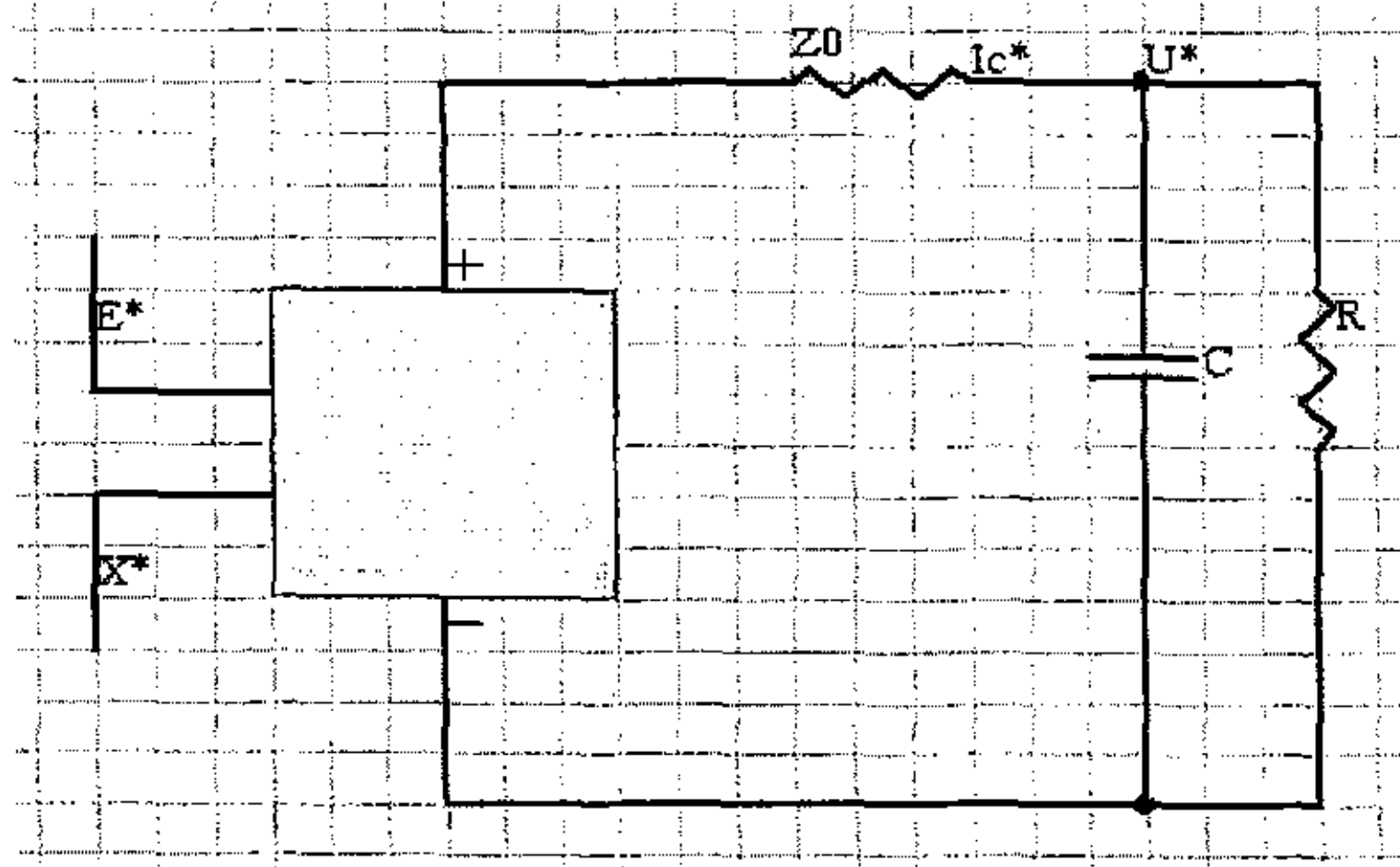


图 3-8 开关电源输出部分的一般模型

Figure3-8 the output model of switching voltage

图 3-7 中, $E_{out}^* = (A/B)X^* + (C(s)/B)E^*$

$$Z_0 = 1/B$$

开关电源的输出电压 U^* 等于开关电源的输出电流 I_c^* 和负载电容 C 、电阻 R 并联所组成的阻抗的乘积。因此, 可得到一个一般化的表达式。

$$U^* = \frac{[AR/(1+BR)]}{1+[CR/(1+BR)]s} X^* + \frac{[C(s)R/(1+BR)]}{1+[CR/(1+BR)]s} E^* \quad (3-12)$$

该开关电源输出部分的一般模型可广泛应用于复杂的电源分配系统结构中。其中等效阻抗 Z_0 的影响因素包含了内部电源模块的输出电阻, 电感等, 其影响因素还包含了内部晶体管的特性决定的输入电感, 以及串联等效电阻。因此, 在实际使用中和电源完整性仿真中将开关电源简化为图3-9模型:

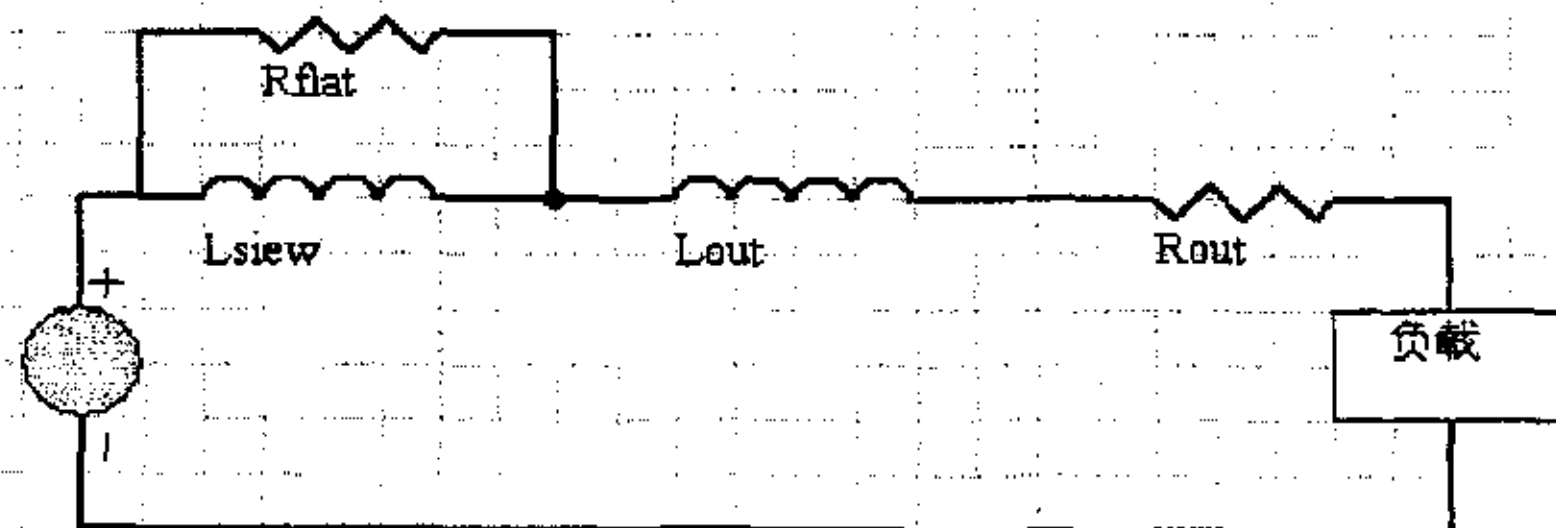


图 3-9 开关电源模块简化模型

Figure3-9 simplified model of power supply

3.3 电源地平面的模型

电源平面用于为现代数字系统的核心逻辑电路和 I/O 电路提供能量。随着微电子技术的不断提高,电源平面所需承受的电流不断上升,而允许的电源噪声却不断下降。这就要求电源平面从直流 DC 到高频(可能会达到数 GHz)之间要有更低的阻抗。

3.3.1 电源地平面模型

研究在高频下电源(含地平面)平面的相关特征,基于电源平面的几何尺寸和的材料构成,采用 RLC 模型、传输线模型将电源地平面的分割成平面单元从而构成电源地平面的 Spice 模型。该模型可用于计算电源平面的时域延迟和频域中的谐振特性。[19]

在中低频时,电源地平面被当作一个理想电容来看待,其分布电阻和分布电感都很小。在频率很高的情况下,电源地平面变成了一个谐振腔,在谐振频率点附近,平面对阻抗变得很大,此时,能量不是被传递,而是被介质储存或消耗掉了。

分析平面对谐振特性的最精确的方法是三维全波电磁场建模和仿真,但是,这种仿真计算量很大,而且很难与时域仿真器集成在一起,所以对实际的 PCB 设计来说,这种方法不太现实。我们将电源平面分割成一个个电流单元阵列进行讨论。这些预先定义的单元相互连接构成整个电源平面的长宽几何尺寸。每个单元的频率相关参数直接与电源平面所用的材料和几何形状决定。通常,每个构成电源拓扑结构的形状是固定的,例如分割成 8×8 的直角单元。每个单元又可等效为一段传输线单元。这种方法的好处是所有电源平面的相关参数都可以通过仿真计算而得到。只需输入下列参数:电源平面的长宽,介电常数,厚度,导体的传导率,导体厚度等。另一个好处就是无需改变单元和拓扑结构就可以进行电源完整性仿真。下面,我们基于组成电源平面的材料和几何尺寸通过简单的计算来获得电源平面分割单元电性能参数。电源地平面分割单元实质是由绝缘体隔开的两个平行金属板构成。它的电容为: $C_a = \frac{\epsilon}{thickness}$ (法拉/单元区域),其中 $\epsilon = \epsilon_0 \epsilon_r$ 是介电常数。

平面波在该平行电板传输速度为： $velocity = \frac{C_{light}}{\sqrt{\epsilon_R}}$ (cm/sec)

其中 ϵ_R 是绝缘体的相对介电常数， C_{light} 是光在真空中的传播速度。

同时，我们将电源分割单元等效为传输线单元，平面波在传输线中的传输速

度为： $velocity = \frac{1}{\sqrt{L_a C_a}}$

其中 L_a ， C_a 分别为每个传输单元的电感和电容。

所以，电源单元的分布电感可以通过单元的电容和传播速度计算而得：

$$L_a = \frac{1}{C_a \cdot velocity^2} \text{ henries square}$$

通过以上的电容和电感可以计算电源单元的阻抗和传输延迟：

$$Z_0 = \sqrt{\frac{L_a}{C_a}}, \quad t_{delay} = \sqrt{L_a C_a}$$

在这四个参数中：只有两个是独立的。得知任意两个就可以算出其他两个，而延迟时间和速度互为倒数。通过以上计算可以充分地提出块单元或传输线单元参数描述了无损电源平面的特征。

电源平面的损耗源于以下三种因素：铜箔直流阻抗，导体的趋附效应，绝缘体的电介质损耗。导体直流阻抗与频率无关，而表面效应阻抗与 $\sqrt{frequency}$ 成正比。承载电流的导体厚度等于导体厚度以及趋肤深度中最薄处的值。在趋肤效应的作用下，趋肤深度随着频率的提高而降低。电源平面的阻抗为：

$$R = resistivity * squares = \frac{1}{\sigma \min(thickness, \delta)} \frac{length}{width}$$

其中 $\delta = \frac{1}{\sqrt{frequency \cdot \mu \pi \sigma}}$ σ 为电导率， μ 为导磁率

电介质损耗是由于电介质的导电性引起的，其导电性与频率和电容成正比：

$$G = \omega * C * tg \Delta$$

其中 $tg \Delta$ 是材料损耗的正切。

3.3.2 模型的拓扑结构

电源平面的物理结构如图 3-10 所示：

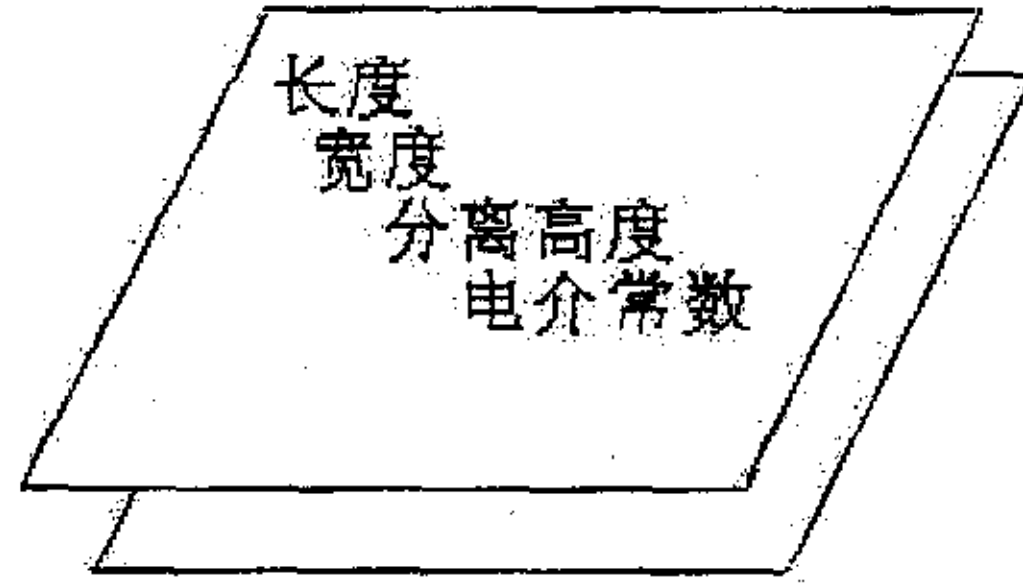


图 3-10 电源(地)平面物理结构

Figure3-10 Physical configuration of power (ground) plane

将该电源平面均匀分割成 $N \times N$ 的电源单元，如图 3-11：

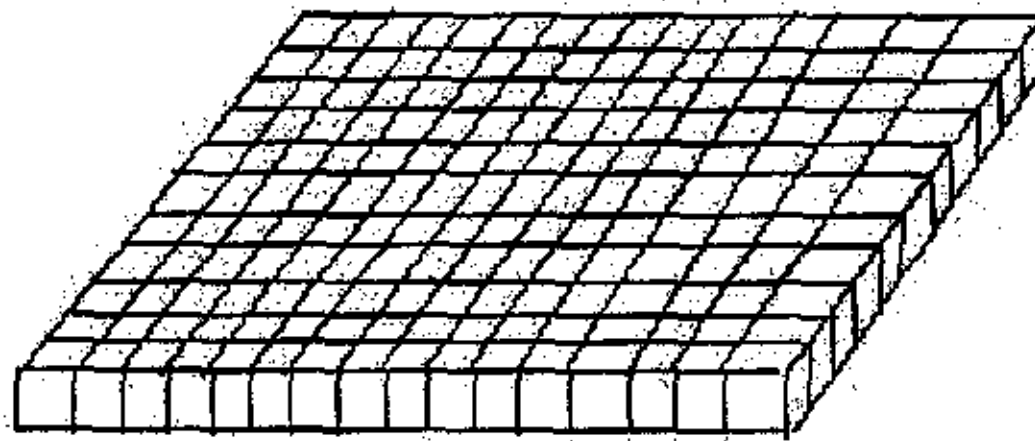


图 3-11 电源平面分割

Figure3-11 subdivision of power plane

每个单元在 X 和 Y 轴方向都构成传输线。通过以上的计算和分析，结合传输线的 RLC 模型，我们构建出每个电源单元的仿真模型，如图 3-12：

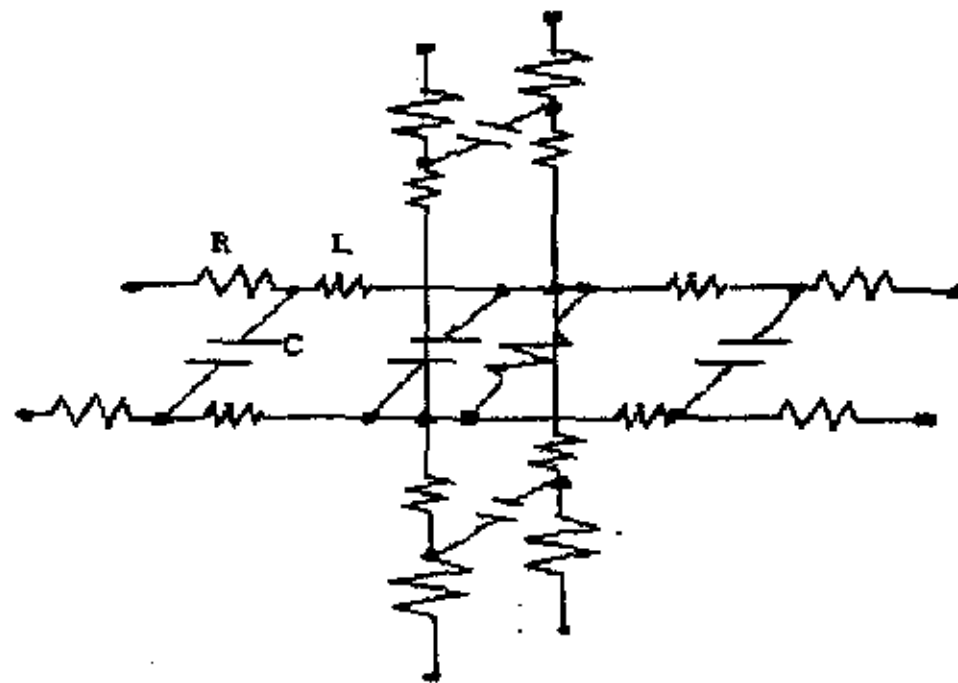


图 3-12 电源(地)单元的 RLC 仿真模型

Figure3-12 simulation model of RLC for power(ground) cell

在以上的单元仿真模型中，由于在 x 轴方向和 y 轴方向都存在传输线单元，因此很容易重复计算电源平面的电容，使模型中的电容为实际平面电容的两倍。同样的，由于 X 轴 Y 轴传输线之间的交互作用，降低了传输速率。为了校正这些情况，将传输阻抗增大为计算阻抗的 $\sqrt{2}$ 倍，传输时间降低为计算时间的 $1/\sqrt{2}$ 。这样就能根据所给的拓扑正确地仿真出电源平面总的容量和传输通过电源平面的时间延迟。

基于以上建立的电源单元和参数计算，可以将电源(地)平面的整体模型(图 3-13)应用于系统的电源完整性仿真中。

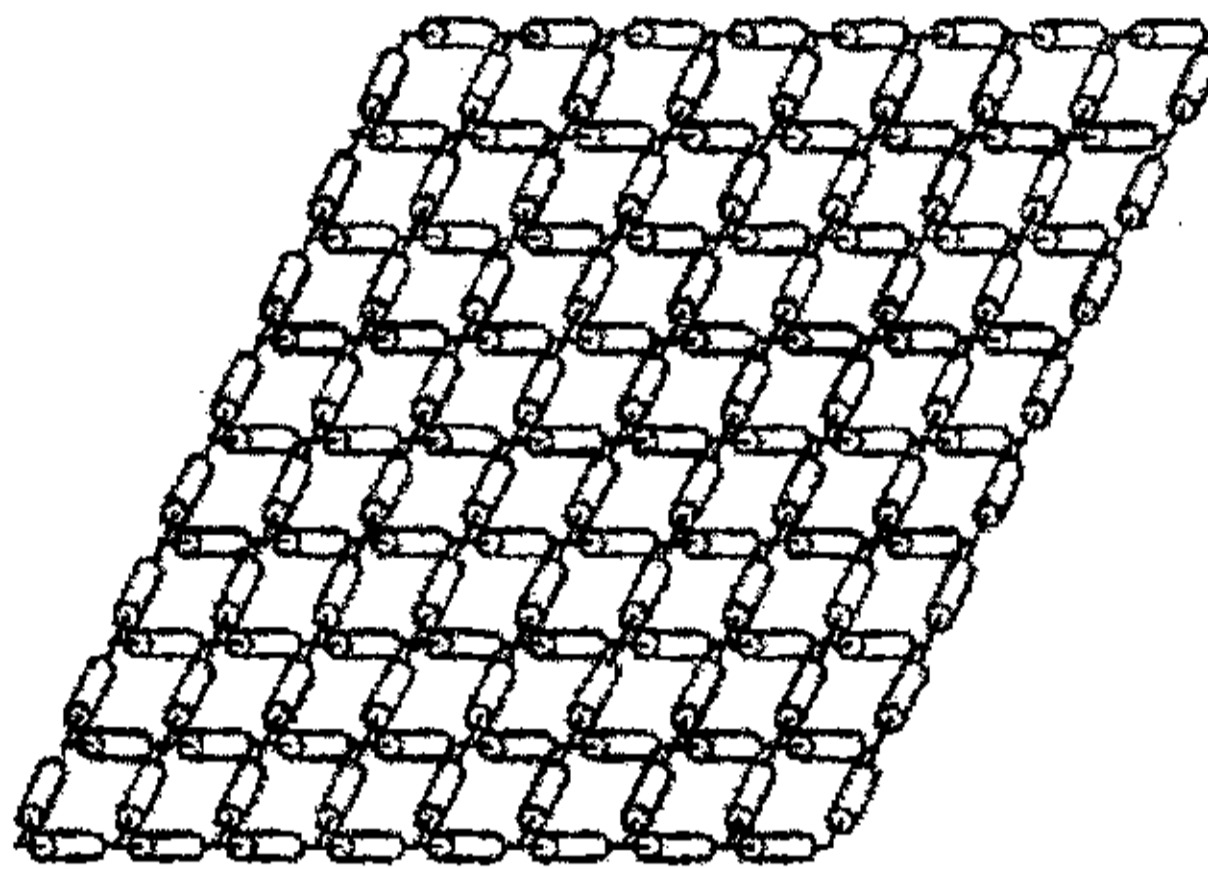


图 3-13 电源平面整体模型

Figure 3-13 integrity model of power plane

3.4 电容模型

无论是降低电源平面阻抗，还是减少同步切换噪声，旁路电容都起着很大的作用，电源完整性设计的重点也在于如何合理的选择和放置这些电容。

3.4.1 电容模型分析

对于理想电容器来说，不考虑寄生电感和电阻的影响，那么在电容设计上就没有任何顾虑，电容的值越大越好。但实际情况却相差很远，并不是电容越大对高速电路越有利，反而小电容才能被应用于高频。

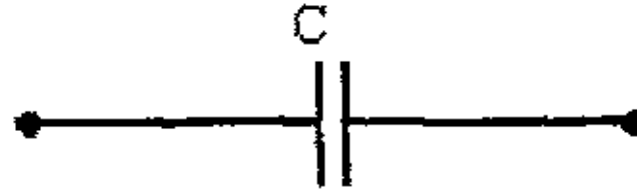


图 3-14 理想电容模型

Figure3-14 the model of ideal capacitor

和其他的元器件一样，实际中的电容与“理想”电容器不同，“实际”电容由于封装、材料等方面的影响，其就具备有电感、电阻的附加特性，必须用附加的“寄生”元件或“非理想”性能来表征。“实际”电容表现形式为电阻元件和电感元件，非线性，以及介电存储性能。“实际”电容模型如图3-15所示。

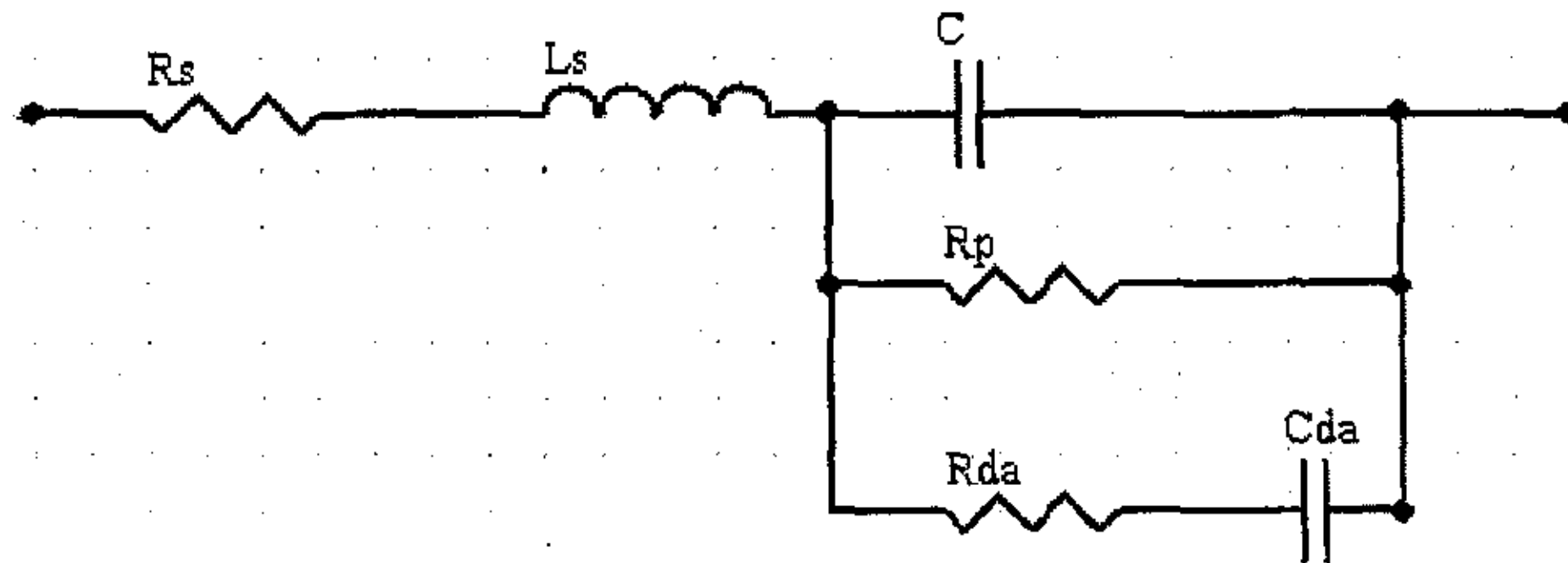


图 3-15 实际电容模型

Figure3-15 the model of actual capacitor

从图3-15我们可以看出，电容实际上由六个部分组成。除了本身的电容 C 外，还有以下部分组成：

1、等效串联电阻(ESR) R_s ：电容器的等效串联电阻由电容器的引脚电阻与电容器两个极板的等效电阻串联构成。当有大的交流电流通过电容器， R_s 使电容器消耗能量(从而产生损耗)。这对射频电路和载有高波纹电流的电源旁路电容器会造成严重后果。但对精密高阻抗、小信号模拟电路不会有很大的影响。 R_s 最低的电容器是云母电容器和薄膜电容器。

2、等效串联电感(ESL) L_s ：电容器的等效串联电感由电容器的引脚电感与电容器两个极板的等效电感串联构成。像 R_s 一样， L_s 在射频或高频工作环境下也会出现严重问题，虽然精密电路本身在直流或低频条件下正常工作。其原因是用于精密模拟电路中的晶体管在转换频率(transition frequencies)扩展到几百兆赫或几吉赫的情况下，仍具有增益，可以放大电感值很低的谐振信号。这就需要在高频情况下对这种电路的电源端进行适当的去耦。

3、等效并联电阻 R_p ：就是通常所说的电容器泄漏电阻，在交流耦合应用、存储应用(例如模拟积分器和采样保持器)以及当电容器用于高阻抗电路时， R_p 是一项重要参数，理想电容器中的电荷应该只随外部电流变化。然而实际电容器中的 R_p 使电荷以 RC 时间常数决定的速率缓慢泄漏。

4、还是两个参数 R_{da} 、 C_{da} 也是电容的分布参数，但在实际的应该中影响比较小。所以电容重要分布参数的有三个： R_s 、 L_s 、 C 。其中最重要的是 R_s 、 L_s ，实际在分析电容模型的时候一般只用 RLC 简化模型，即分析电容的 C 、 R_s 、 L_s 。

由此得到如图 3-16 的电容简化模型。

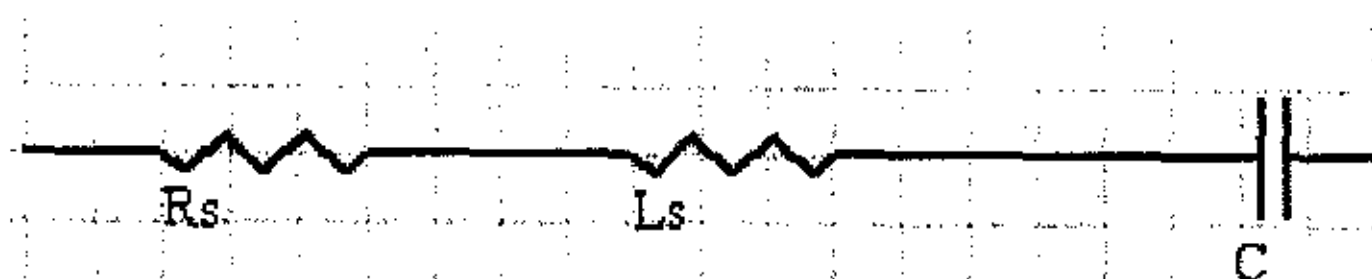


图 3-16 简化的电容模型

Figure3-16 simplified capacitor model

3.4.2 电容的阻抗特性

因为对电容的高频特性影响最大的则是 R_s 和 L_s ，为了分析方便，采用简化的实际电容模型进行分析：

$$Z = R_s + j\omega L_s - j / \omega C = R_s + j \left(\omega L_s - 1 / \omega C \right) \quad (\text{式中 } \omega = 2\pi f) \quad (3-13)$$

那么，

$$|Z| = \sqrt{R_s^2 + \left(2\pi f L_s - \frac{1}{2\pi f C} \right)^2} \quad (3-14)$$

上式就是电容的容抗随频率变化的表达式，如果 $2\pi f L_s = 1 / 2\pi f C$ ，那么

$|Z|_{\min} = R_s$ ，此时：

$$f_R = \frac{1}{2\pi\sqrt{LC}} \quad (3-15)$$

则容抗的曲线图如图3-17：

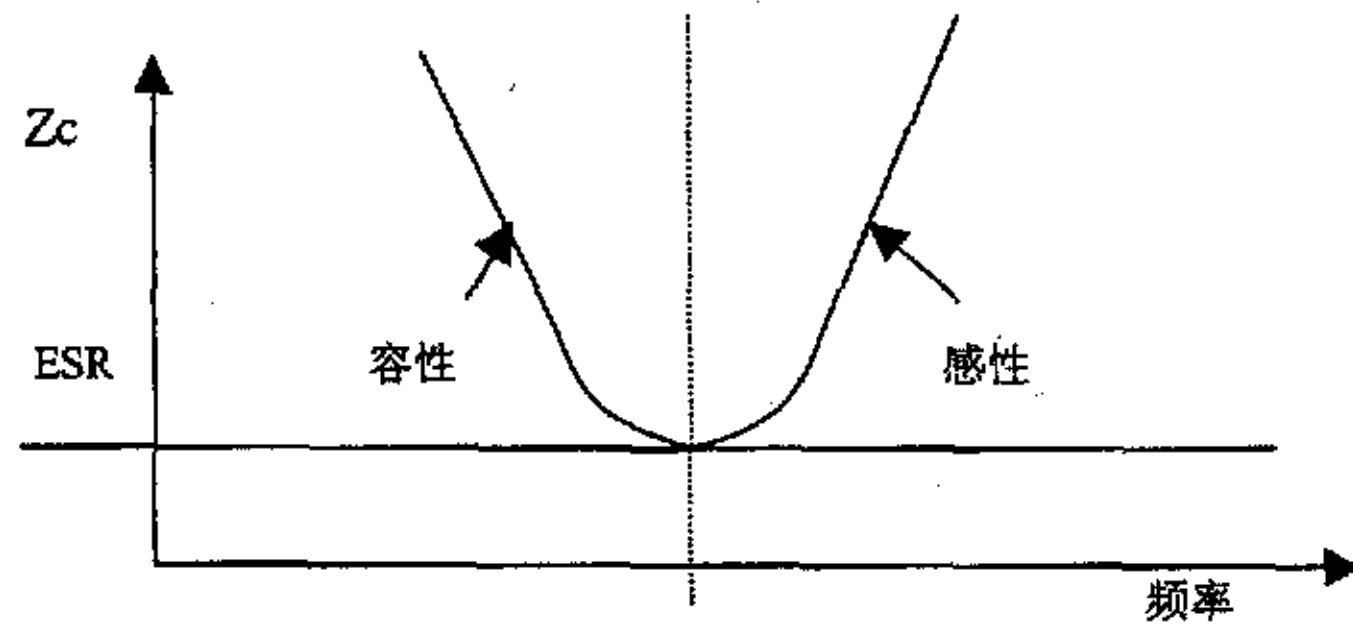


图 3-17 阻抗的频率特性

Figure3-17 impedance characteristic in frequency domain

由图3-17，可以清楚的看出，电容器的容抗与频率成反比：电容在整个频段，并非都是表现为电容的特性，而是在低频的情况(谐振频率以下)，表现为电容性的器件，而当频率增加（超过谐振频率）的时候，它渐渐的表现为电感性的器件。也就是说它的阻抗随着频率的增加先减小后增大，等效阻抗的最小值发生在串联谐振频率时，这时候，电容的容抗和感抗正好抵消，表现为阻抗大小恰好等于寄生串联电阻。从谐振频率的公式可以看出，电容大小和 L_s 值的变化都会影响电容器的谐振频率（见图3-18）。由于电容在谐振点附近的阻抗最低，所以设计时尽量选用频率和实际工作频率相近的电容。如果工作频率变化的范围很大，则可以混合使用电容，即同时选择一些频率较小的大电容和频率较大的小电容。

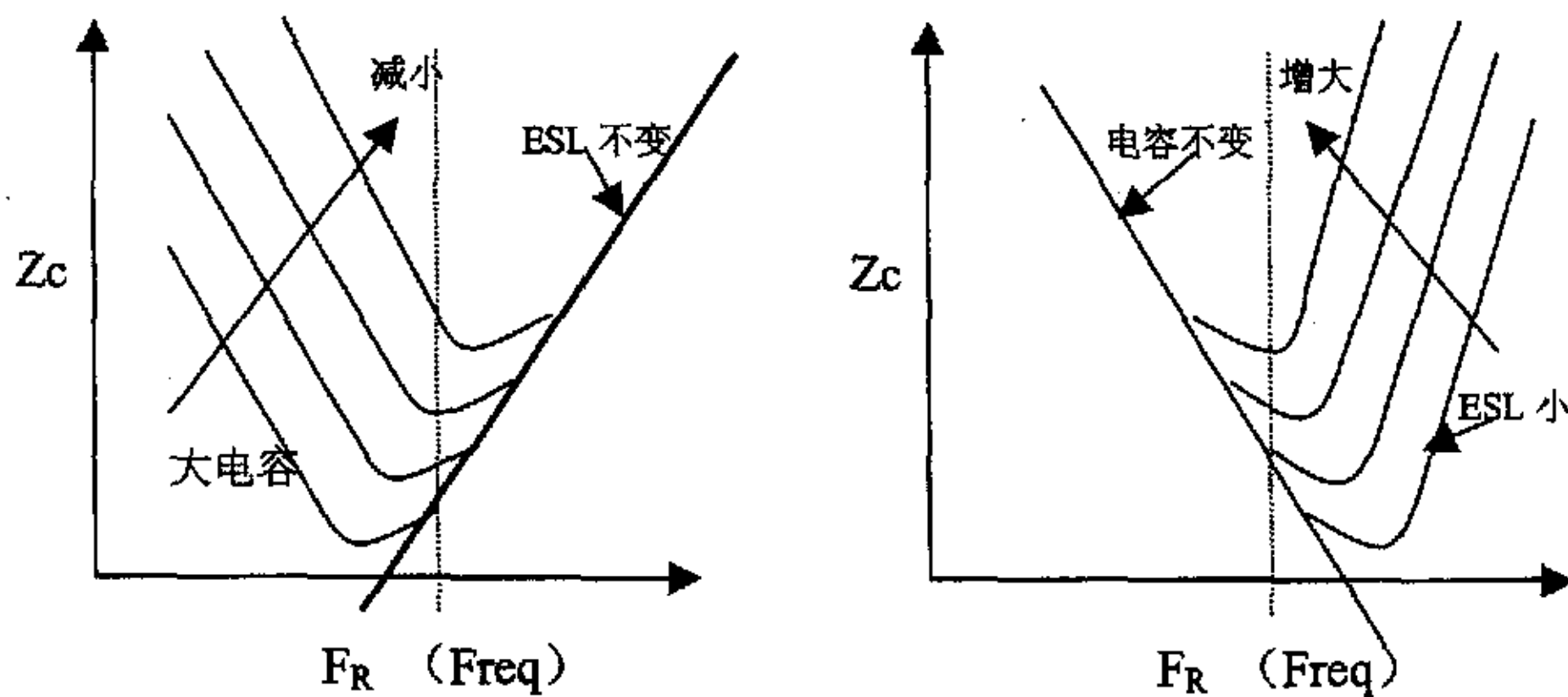


图 3-18 电容和 ESL 的变化对频率的影响

Figure3-18 the influence of capacitor and ESL change for frequency

描述曲线的锐度可以用品质因素 Q 值来表示，即 Q 越大，谐振频率曲线越尖，能量衰减的越慢。它主要和ESL 和ESR的比值有关，其表达式为：

$$Q = \frac{Z}{R} = \frac{\sqrt{ESL/C}}{ESR} = \frac{2\pi f \cdot ESL}{ESR} = \frac{\omega L}{R} \quad (3-15)$$

3.4.3 电容并联特性及反谐振

由节2.2.1对旁路电容的分析, 根据LC电路串联谐振的原理, 谐振点不仅与电感有关, 还与电容值有关, 电容越大, 谐振点越低。故而若需要滤除一定频率内的噪声, 可以通过调整电容的容量, 使谐振点刚好落在骚扰频率上。

一般情况下, 容值较大的电解电容可以滤除较低频率点的噪声, 而容值较小的瓷片电容则可以滤除频率较高的噪声。表4-1列举了不同容量瓷片电容器自谐振频率。

表 3-1 电容器的自谐振频率[18]

Table 3-1 Self-resonance frequency of capacitor

电容值	自谐振频率 (MHz)	电容值	自谐振频率 (MHz)
1 μ F	1.7	820 pF	38.5
0.1 μ F	4	680 pF	42.5
0.01 μ F	12.6	560 pF	45
100nF	19.3	470 pF	49
1800 pF	25.5	390 pF	54
1100pF	33	10 nF	54.6

实际应用中的电容往往都是多个并联使用, 因为这样可以大大降低等效的 R_s 和 L_s , 增大电容。对于 n 个同样值的电容来说, 并联使用之后, 等效电容 C 变为 nC , 等效电感 L 变为 L/n , 等效电阻 R_s 变为 R/n , 但谐振频率不变(如图3-19)。

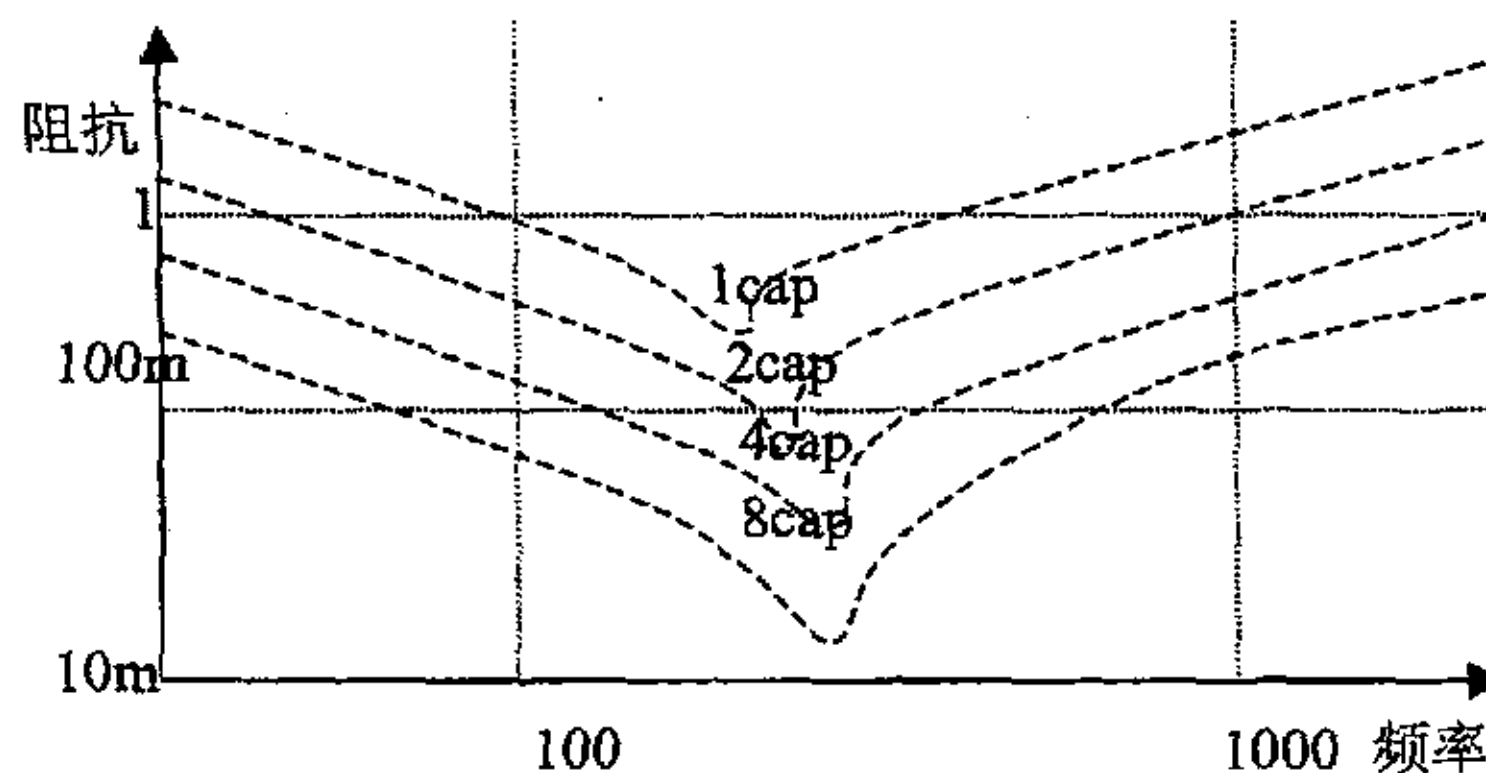


图 3-19 等值电容并联特性

Figure 3-19 parallel connection characteristic of equivalent capacitor

不同值的电容并联情况会更为复杂, 因为每个电容的谐振频率不同, 当工作

频率处于两个谐振频率之间时，一些电容表现为感性，另外一些表现为容性，这就形成了一个LC 并联谐振电路，当处于谐振状态时，电感和电容之间进行周期性的能量交换，这样流经电源层的电流极小，电源层表现为高阻抗状态，这种现象也被称为反谐振（Anti-resonance）。电源平面和地平面本身就是一个等效的电容，所以它也会和在一定频率下呈感性的电容发生并联谐振。

Q 值是体现电路中能量衰减的品质因素，Q 值太大，会造成曲线中的尖峰加剧（图3-20）。极端的考虑，如果电容的寄生电阻 R_s 为零，那么Q 值将无穷大，在并联谐振点的等效阻抗也变为无穷大。所以，从这点考虑，电容的 R_s 并非越小越好，需要考虑到反谐振的情况，一般应用于电源旁路的时候，应该使用Q 值较小的电容。此外，使用多种电容，减小不同电容之间谐振频率的相对差值，也可以有效的减小反谐振的影响（图3-20）。

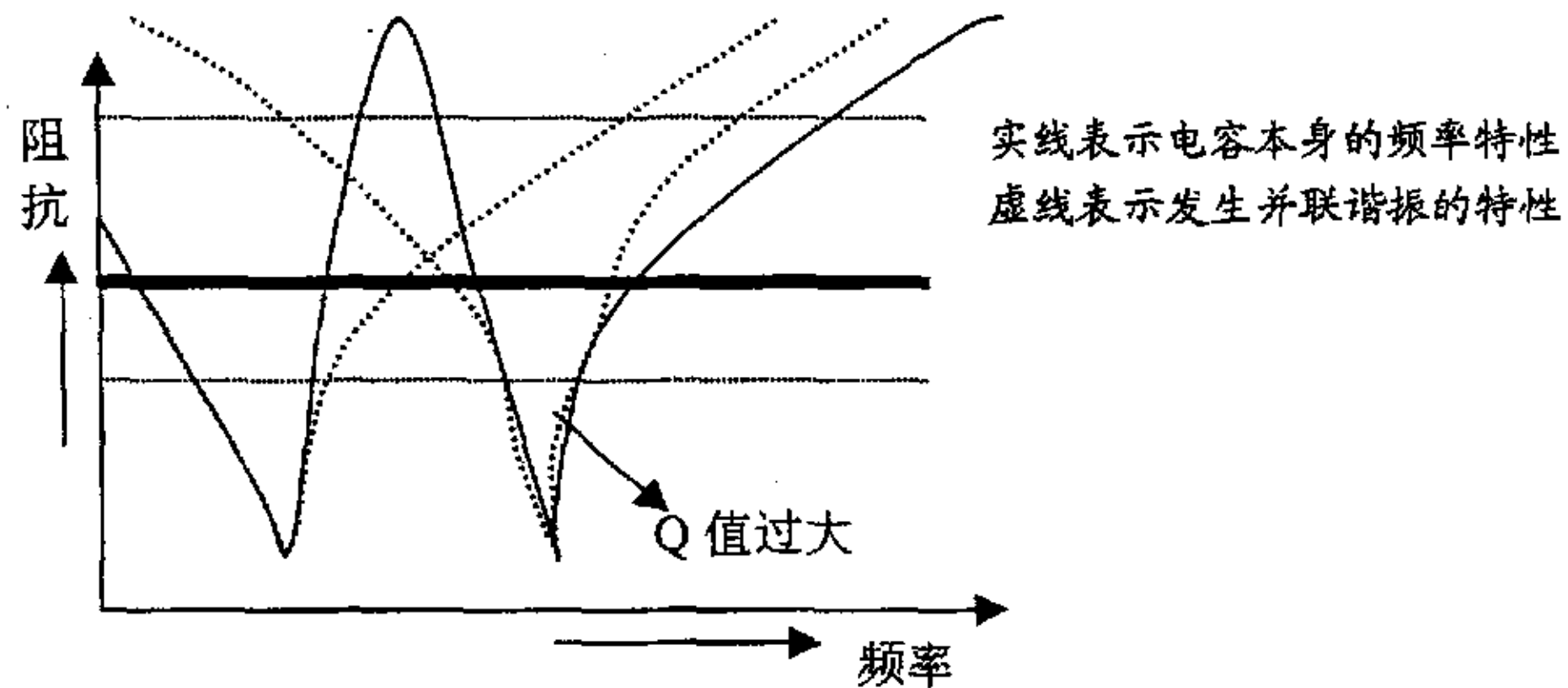


图 3-20 电容的并联谐振现象

Figure 3-20 parallel resonance phenomena of capacitor

3.5 本章小结

本章阐述了高速系统电源分配系统建模基础，并建立了电源系统三个重要模型：

- 1) 采用电源动态分析建立开关电源信号分析模型
- 2) 采用 RLC 模型、传输线模型构成电源地平面模型
- 3) 通过对电容的阻抗、频率等特性的分析，建立了电容模型。将这些模型应用于电源完整性的仿真中，可以很好的降低同步切换噪声、地弹噪声以及谐振效应带来的影响。

第四章 电源完整性仿真

仿真就是计算机软件在虚拟原型上完成以前需要通过对物理原型的大量测试才能够完成的功能评价,是一种“软”化的系统设计与评估。以先进的EDA仿真软件仿真系统设计中的各种参数。并利用先进的仿真工具,在设计阶段即找出问题,从而高效率、高质量地完成系统设计。

电源完整性工程的分析方法和实践目前还处在不断探索的阶段,利用仿真技术,在电源产品设计早期尽可能地解决电源完整性问题,并满足加工制造与测试条件的总体方案和设计准则,最大限度地降低产品成本,缩短研发周期。

4.1 仿真环境

4.1.1 高速PCB板仿真

仿真选用的高速PCB板是阿尔卡特公司研制的媒体网关(Media gateway)产品A7XXX*中媒体转换模块(Media Conversion Module,缩写MCM)的控制模块部分。媒体网关是NGN(下一代网络,Next Generation Network,主要包括三个组成部份:软交换(Softswitch),媒体网关,和基于传输网络的信息包(Packet based transport network))的重要组成部份。A7XXX媒体网关在PSTN(公众电话交换网,Public Switched Telephone Network)和IP(Internet Protocol)网之间为语音、传真等业务提供无缝的连接,它所提供的VoIP(基于IP的语音传输,Voice over IP)的功能和服务可以实现现代电路交换向包交换的平滑过渡。MCM为媒体网关提供大量用于电路和媒体信息包转换的DSP服务资源和流量聚合能力,是媒体网关产品的核心组成部份。MCM对外提供高达2 Gigabit 以太网接口,内部工作频率为100MHz~400MHz,它由四部分组成:

1. 控制模块(Controller module);
2. 电路模块(Circuit module);
3. DSP 模块(DSP module);
4. 信息包模块(Packet module);

*注: A7XXX 是阿尔卡特公司新近研发的产品,因为该产品尚未对外公布,因此型号不便透露。

用于仿真的MCM控制模块部分包括一片工作频率为400MHz的CPU(中央处理单元)RM7000A和一片通信控制芯片GT-96100A 以及SDRAM (随机存储器)等。其原理如图4-1所示。

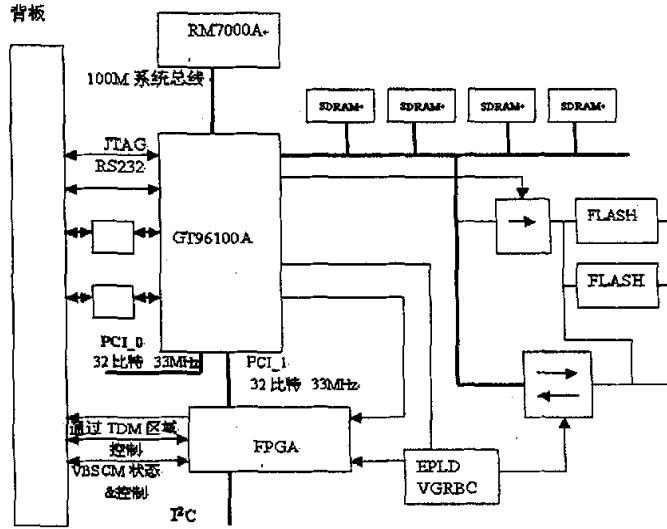


图 4-1 MCM 控制模块

Figure 4-1 MCM Controller Module

组成MCM的四部分采用统一的电源分配系统。电源模块由48V转换为5V,3.3V, 2.5V, 1.8V, 1.5V 分别为各部分提供电源。48V转换为3.3V和5V使用的是 Alcatel 公司研制的PBP48型开关电源模块。如图4-2 所示。

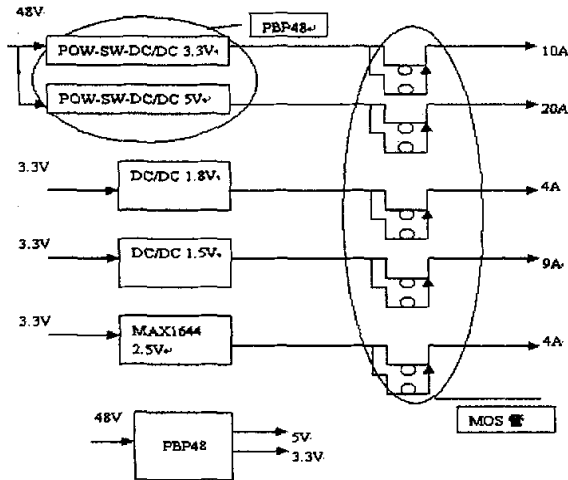


图 4-2 MCM 模块电源分配系统

Figure 4-2 MCM Power Distribute System

各信号层与电源分配系统的叠层关系如图4-3所示:

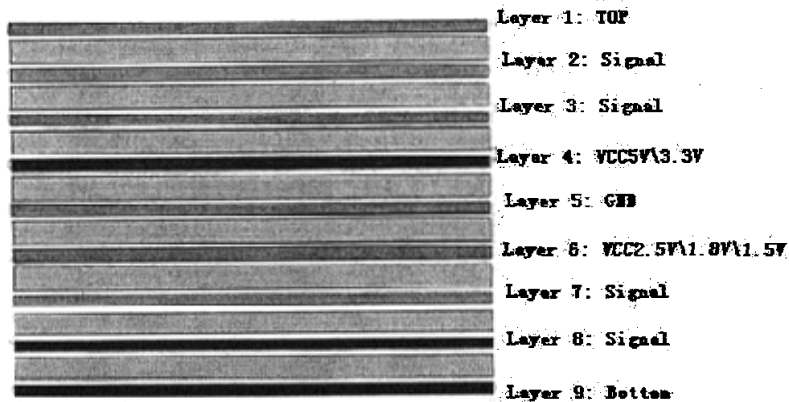


图 4-3 叠层关系

Figure 4-3 relationship of stackup

MCM控制模块部分的高速PCB版图及电源平面分布情况如图4-4所示。板上的电源平面分为两块，分别是5V的电源平面和3.3V电源平面。

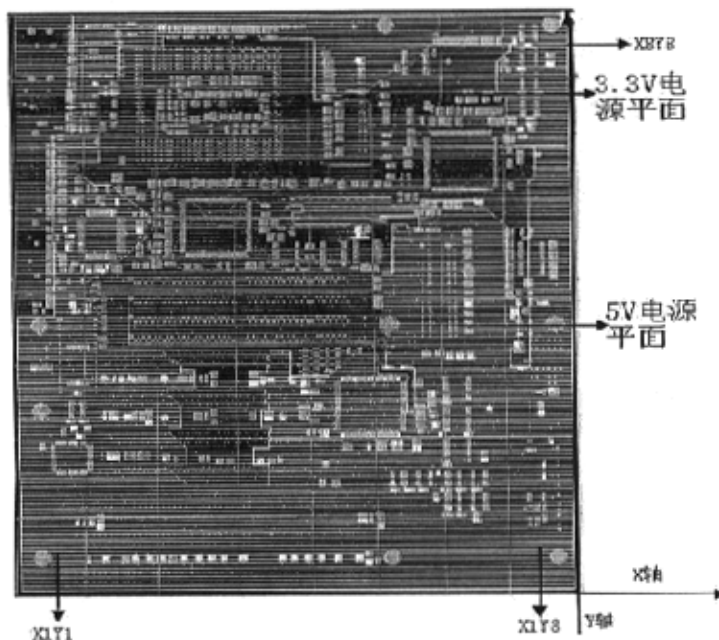


图 4-4 MCM 控制模块部分高速 PCB 板

Figure4-4 PCB of MCM Controller Module

当媒体转换模块中大量高速DSP芯片同时工作时，在MCM电源子系统中瞬间产生较大的电流变化，从而不可避免地产生较强的同步切换噪声和地弹噪声。这些噪声将对控制模块的高速CPU和通信控制芯片产生影响。因此，有必要对MCM控制模块进行电源完整性仿真设计。利用本文第三章所建立的电源子系统各组成部份的模型，并采用Cadence公司的SPECCTRAQuest™ Power Integrity电源完整性仿真模块对MCM控制模块进行仿真分析设计。通过电源平面，焊盘，过孔以及旁路电容的仿真分析设计降低系统的同步切换噪声和地弹。

4.1.2 仿真工具

仿真分析采用Cadence公司的SPECCTRAQuest™ Power Integrity仿真模块，该模块可以对PCB电源分配系统进行设计，建模和分析。与同类分析工具相比，SQ PI模块有着更宽的频域分析范围，可以达到1GHz。除此之外，SQ PI模块还可以对电源平面结构（包括连接过孔）进行建模，综合旁路电容的数量，并分析PCB板内旁路电容位置的物理效应。

在使用SQ PI模块时，需要经历三个阶段：

1) 布局阶段

在布局阶段，板上并没有布置元件，板框、平面层铺铜、DC网络分配以及PCB层叠关系等等也都没有放置。SQ PI使用设置向导来建立用于电源完整性分析的PCB板的必要步骤。

2) 设计阶段

在设计阶段，板上元件布局已完成，尚未开始布线。在SQ PI环境下，可以调整布局和继续进行电源完整性设计。

3) 验证阶段

在验证阶段，PCB板元件布局和布线已经完成，在SQ PI环境下可以通过电源完整性分析的结果反馈控制PCB板的布局优化。

4.2 SQ PI 仿真过程

在构造电源平面模型时，电源平面可以均匀分割成 $N \times N$ 份（见3.3.2章），我们将高速PCB板按X轴线和Y轴线网格状分为 8×8 的网格，如图4-4所示。

1. 设置板的分析数据库,见图4-5:

使用设置向导来逐步地建立电源完整性分析所需要的PCB级数据库。

- 1) 创建并导入板框, 见图4-4;
- 2) 明确板子的层叠关系, 见图4-3;
- 3) 给平面5V区域加上5V DC电压, 见图4-4;
- 4) 匹配电源地平面对, 见图4-3;
- 5) 选择旁路电容, 见图4-6:

MCM控制模块的传输频率为0~100MHz (见图4-1), 依据本文3.2章节的旁路电容的谐振理论, 选择谐振频率均匀分布在传输频率范围内的旁路电容可以有效抑制该频率点的噪声。则从表3-1中, 分别选择以下三种电容作为仿真旁路电容:

- 1) 谐振频率为54.6MHz的10nF瓷片电容;
- 2) 谐振频率为17.3MHz的100nF瓷片电容;
- 3) 谐振频率为1.8MHz下选择22uF电解电容。

这些电容在SQ PI 仿真系统中, 使用本文3.4所建立的简化电容模型(图3-16)进行仿真。电容的分布参数 R_s 、 L_s 可从SQ PI 的电容库中获得。

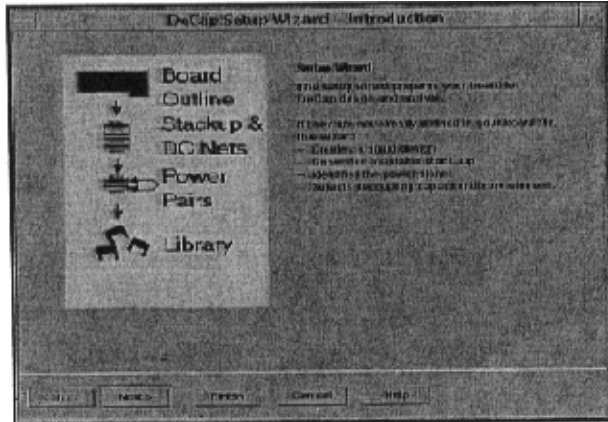


图 4-5 设计板的分析数据库

Figure4-5 design analysis database of board

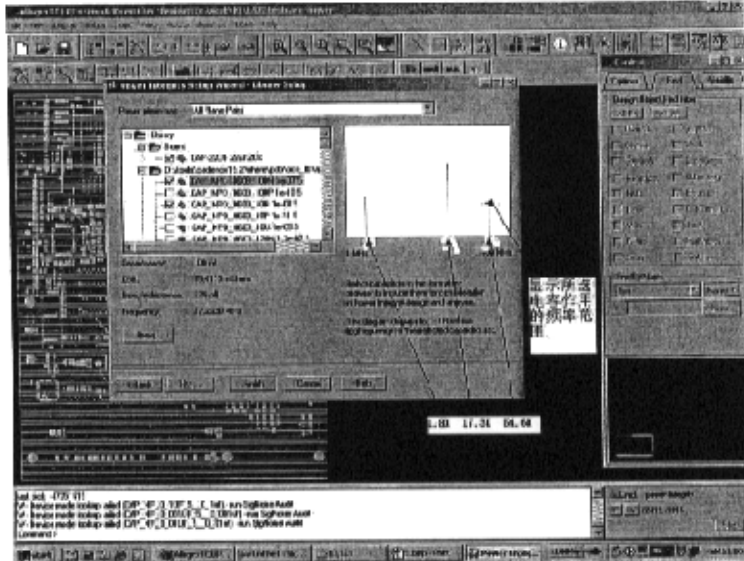


图 4-6 对需要仿真的电源平面选择所需电容 (各个不同频率段的电容)

Figure4-6 choose capacitors for simulation power plane

2. 定义目标阻抗

通过确定仿真参数来得到目标阻抗(见2.2.1), 包括电源平面电压轨迹(rails)、噪声容限(ripple tolerance)和最大动态电流(delta current)。SQ PI推荐维持目标阻抗所需要的电容个数。

我们确定以下四部分参数:

- 1) 选择一个电源平面对分析, 选择MCM控制模块Vcc5V与GND平面对。
- 2) 确定噪声容限, 依据MCM 系统要求, 选取5%Vcc为噪声容限;
- 3) 确定最大动态电流, Vcc5V电源平面的最大动态电流为20A;
- 4) 基于电源模型为电源模块确定参数:

MCM采用的是PBP48型电源转换模块为控制模块部分提供5V及3.3V电源。

基于本文3.2章建立的电源模块模型(见图3-9), PBP48型电源转换模块的固有参数如下:

$$R_{flat} = 30 \text{ m}\Omega$$

$$L_{slew} = 75 \text{ nH}$$

$L_{out} = 4 \text{ nH}$

$R_{out} = 1 \text{ m}\Omega$

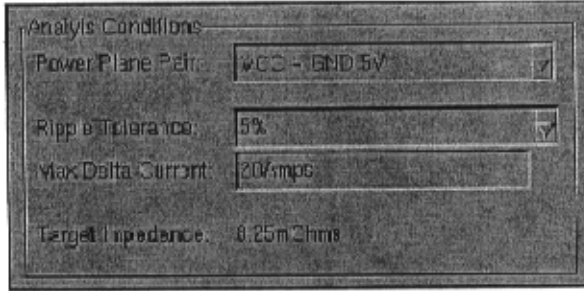


图 4-7:确定电源平面对, 噪声容限, 以及最大动态电流, 并计算得出目标阻抗
Figure4-7 confirm power plane pair, ripple tolerance, and max delta current, then calculate the target impedance

根据本文2.2.1及3.1 所述: 目标阻抗 = (电压) × (噪声容限) / (最大动态电流) 得MCM控制模块5V 平面目标阻抗:

$R_{target} = 5 \times 5\% / 20 = 8.25 \text{ m}\Omega$, 见图4-7。

仿真器计算所需的电容数为:

10nF: 2 个; 100nF: 1 个; 22 uF: 15 个; 见图4-8。

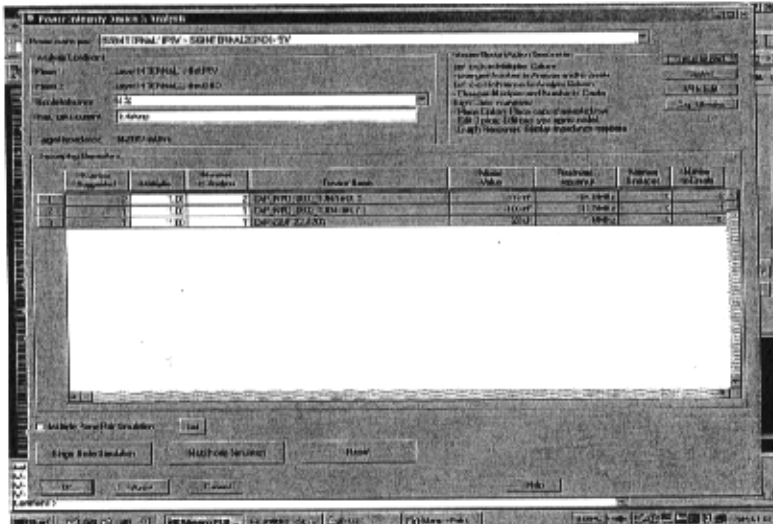


图 4-8: 自动计算所需电容的数量和电容值
Figure4-8 calculate the quantity and values of needed capacitor automatically

3. 进行单结点分析验证并优化电容选择

由图4-9计算的维持目标阻抗所需要的电容，使用单结点仿真得到MCM5V电源平面的频率阻抗曲线。单结点仿真考虑旁路电容的存在，但并未对电容进行布局（图4-9）。

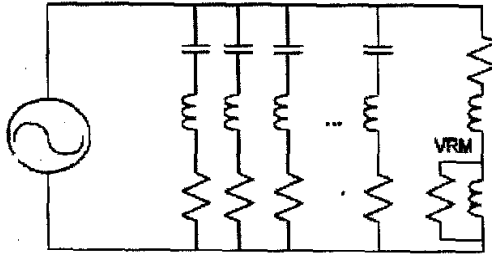


图 4-9 单节点模型

Figure4-9 the model of single-node

4. 多节点仿真分析和布局

依据单节点仿真结果，从多节点提取出各电源平面网络进行布局时的电容分配。仿真器自动显示各电容的起旁路作用的范围，依据作用范围分别放置 10nF, 100nF 和 22 μ F 电容位置，见图4-10。放置电容后进行多节点仿真（见图4-11），得到5V电源平面的频率-阻抗图。

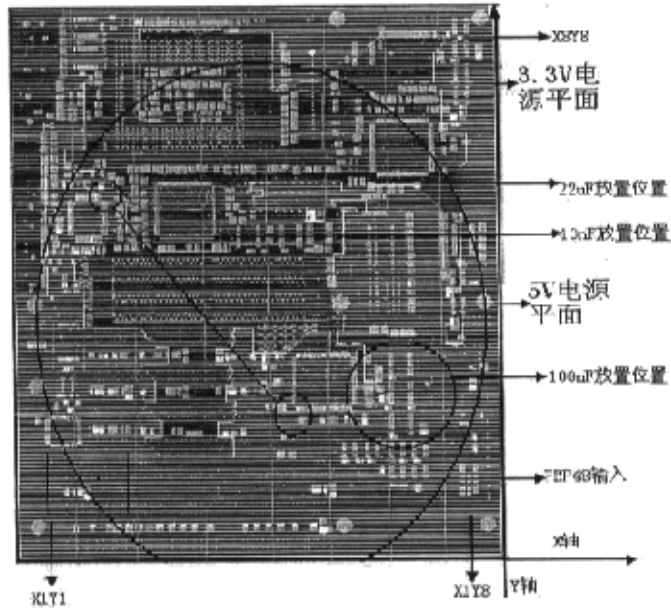


图 4-10 放置旁路电容

Figure 4-10 place the bypass capacitors

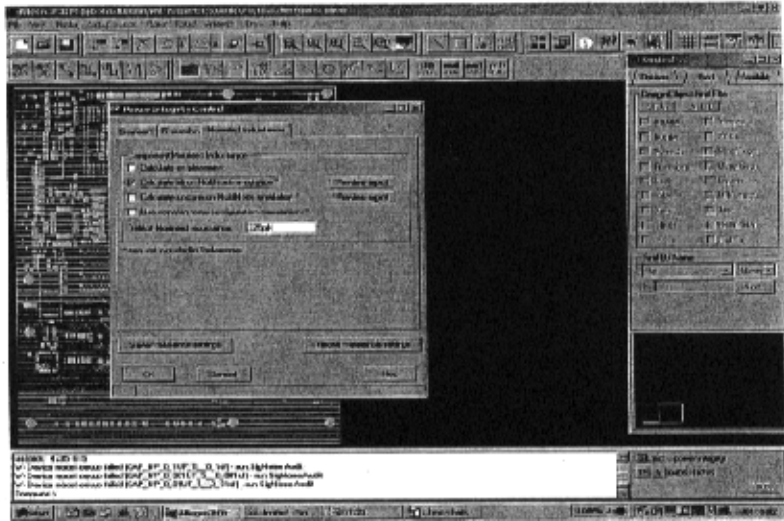


图 4-11 多节点仿真

Figure4-11 simulation of multi-node

依据多节点仿真结果，为降低 X8Y8 区域 800MHz—1GHz 频域段的阻抗，从仿真器电容库中选择摆放 120nF，谐振频率为 950MHz 的旁路电容（图 4-12）。重复单节点仿真，计算得，需摆放 6 个同类电容。将电容均匀放置于所选电源网格的周围（图 4-13），进行多节点仿真，得到 800MHz—1GHz 频率范围改善后的频率-阻抗图。同时，在单节点和多节点仿真过程中，区分没考虑焊盘和过孔的分布参数和考虑相应参数的阻抗情况进行比较。

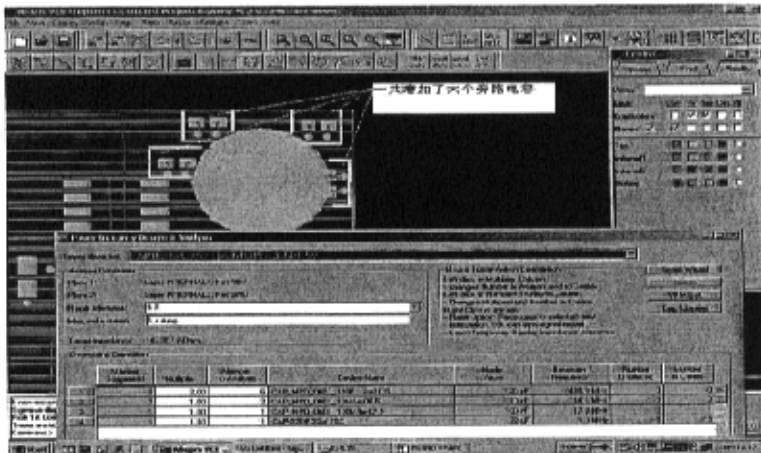


图 4-12 放置旁路电容

Figure4-12 place the bypass capacitors

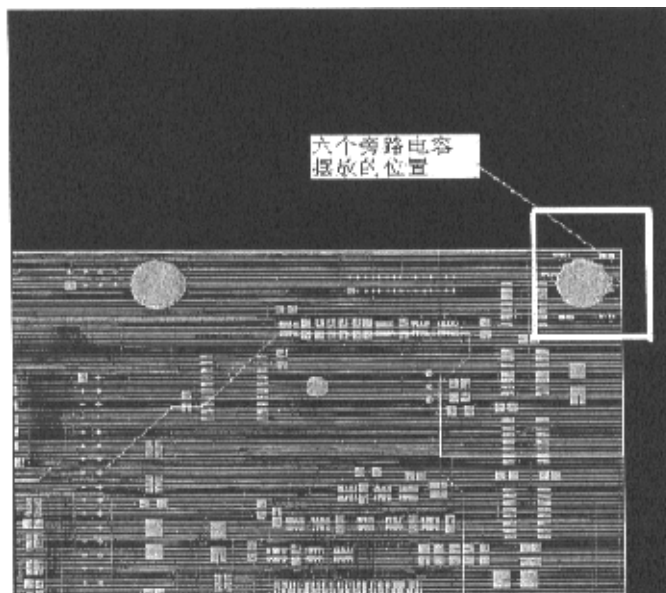


图 4-13 六个旁路电容放置的位置
Figure4-13 location of six bypass capacitors

4.3 仿真结果分析

通过 4.2 章节的仿真过程，可以得到下列的结果：

- 1) 放置 22 μ F 电解电容, 10nF 和 100nF 瓷片电容前后的单结点仿真图, 见图 4-14;
- 2) 计算了焊盘和过孔前的各个网格内频率阻抗值, 见图 4-15;
- 3) 计算了焊盘和过孔后的各个网格内频率阻抗值, 见图 4-16;
- 4) X1Y1 网格内计算了焊盘和过孔前后频率阻抗比较, 见图 4-17;
- 5) X8Y8 网格内计算了焊盘和过孔前后频率阻抗比较, 见图 4-18;
- 6) 在 X8Y8 部位放置六个旁路电容后频率阻抗比较, 见图 4-19。

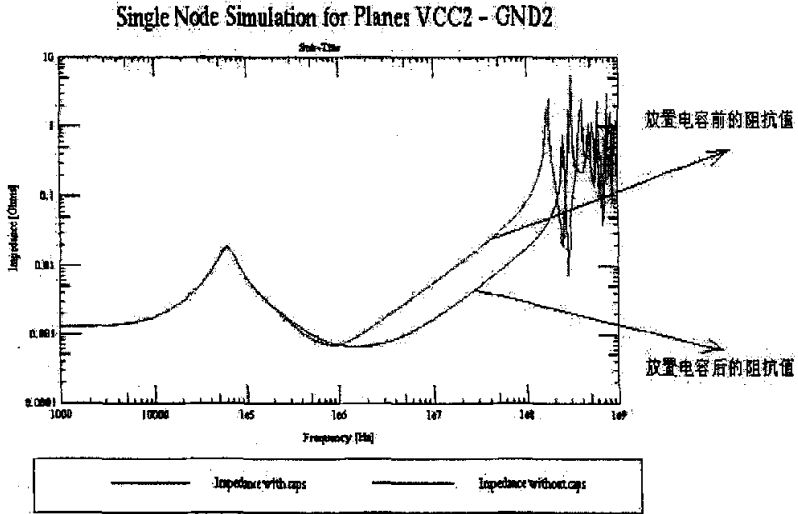


图 4-14 单节点仿真图

Figure4-14 the simulation schematic of single-node

如图 4-14，放置旁路电容后的阻抗值明显小于放置电容后的阻抗值。此时，仿真系统并未对旁路电容进行布局。

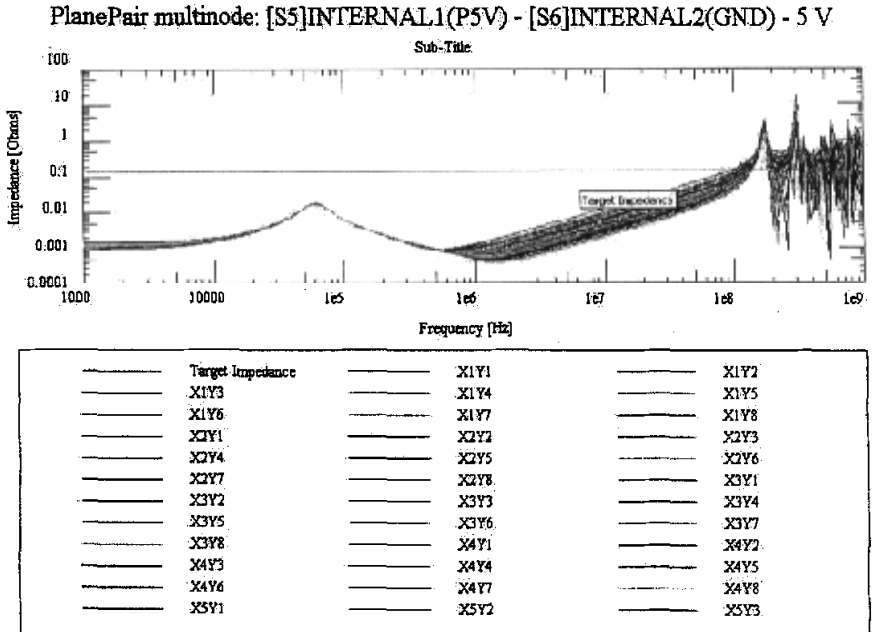


图 4-15 计算了焊盘和过孔前的各个网格内阻抗值

Figure4-15 calculate the impedance of every gridings before placing pads and vias

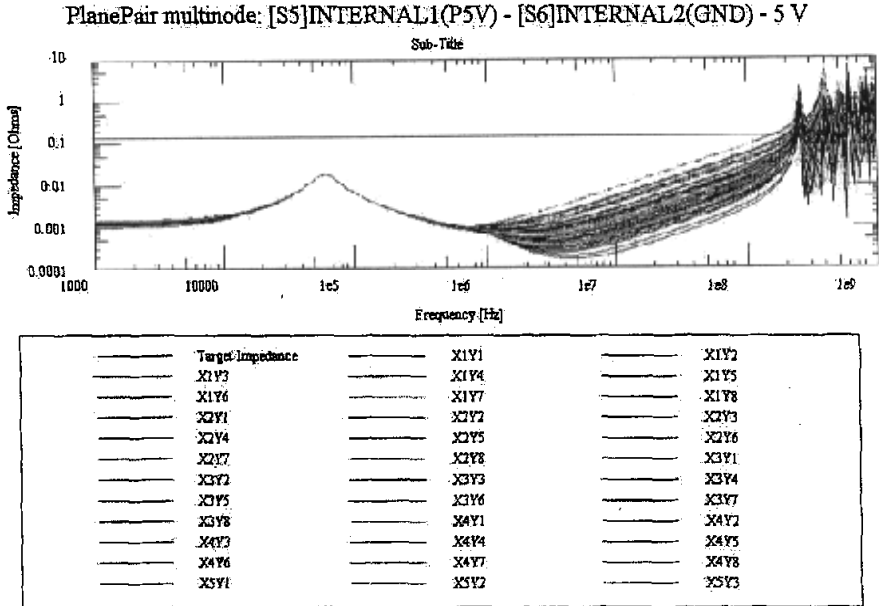
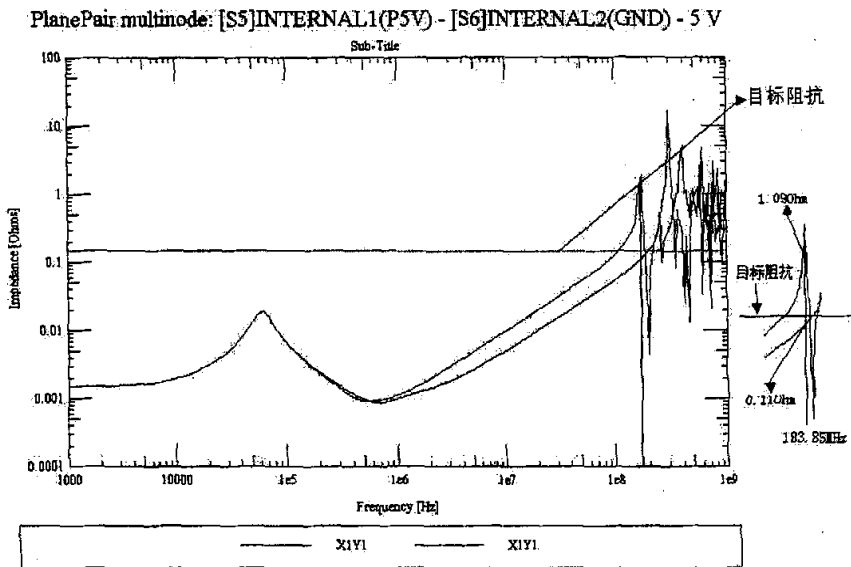


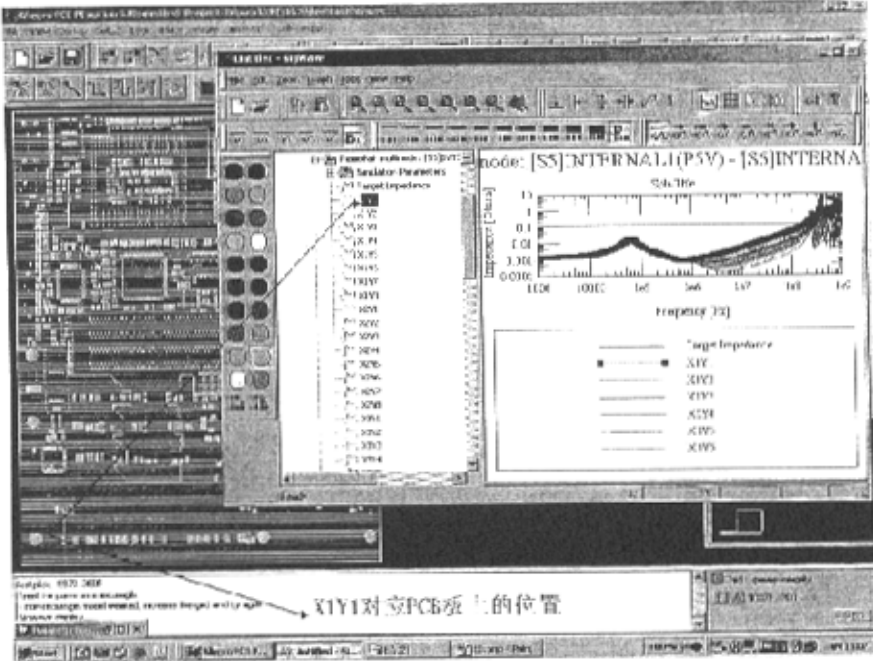
图 4-16 计算了焊盘和过孔后的各个网格内阻抗值

Figure4-16 calculate the impedance of every griddings after placing pads and vias

通过图 4-15,可以看出计算了焊盘和过孔前各个网格内的阻抗值比放置了焊盘和过孔后阻抗更加接近目标阻抗值。因此,依据实际情况,在分析电源分配系统的阻抗时,必须考虑焊盘和过孔分布参数带来的影响。



(a)



(b)

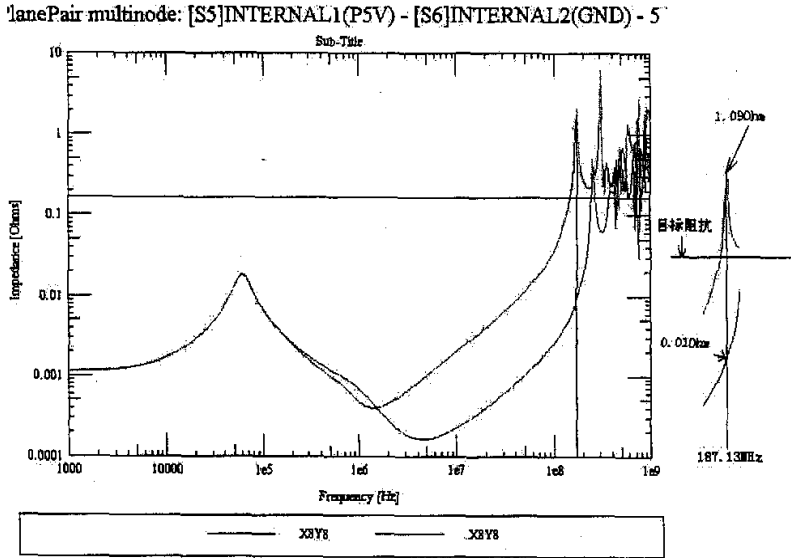
图 4-17 (a) X1Y1 网络内计算了焊盘和过孔前后阻抗比较图

(b) X1Y1 对应 PCB 板上位置

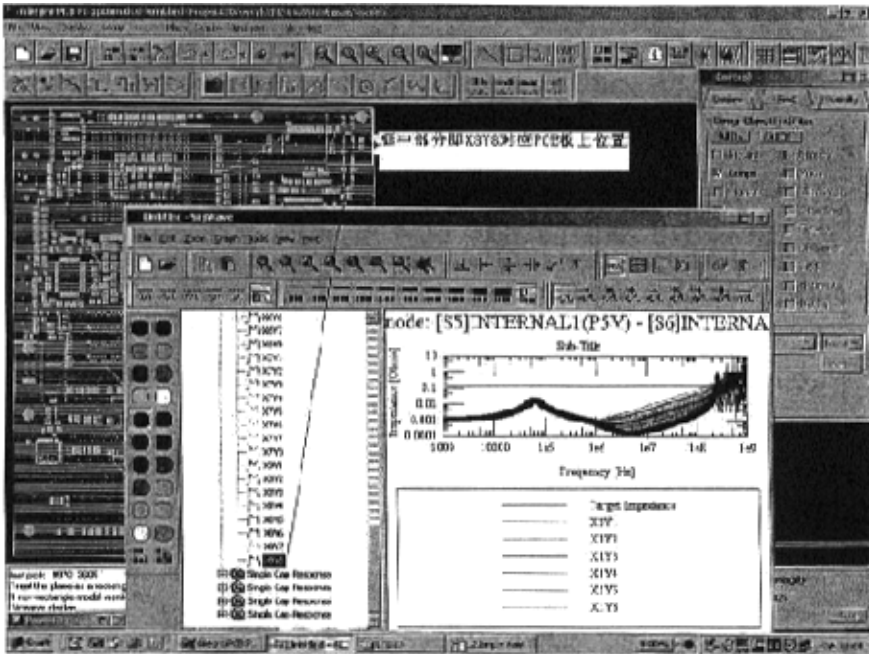
Figure4-17 (a) the comparison of after and before calculation

(b) location of gridding X1Y1 in PCB

由图 4-17 (a)，在 183.85MHz 的频率点，考虑了焊盘和过孔前的阻抗值为 0.110 欧姆，而考虑了焊盘和过孔后阻抗值为 1.090 欧姆。说明我们在考虑了焊盘过孔的情况下，阻抗值高于目标阻抗 (0.18 欧姆)。因此需要对 183.85MHz 频率点的阻抗进行改善。



(a)



(b)

图 4-18 (a) X8Y8 网格内计算了焊盘和过孔前后阻抗比较图

(b) X8Y8 对应 PCB 板上位置

Figure4-18 (a) the comparison of after and before calculation

(b) location of gridding X8Y8 in PCB

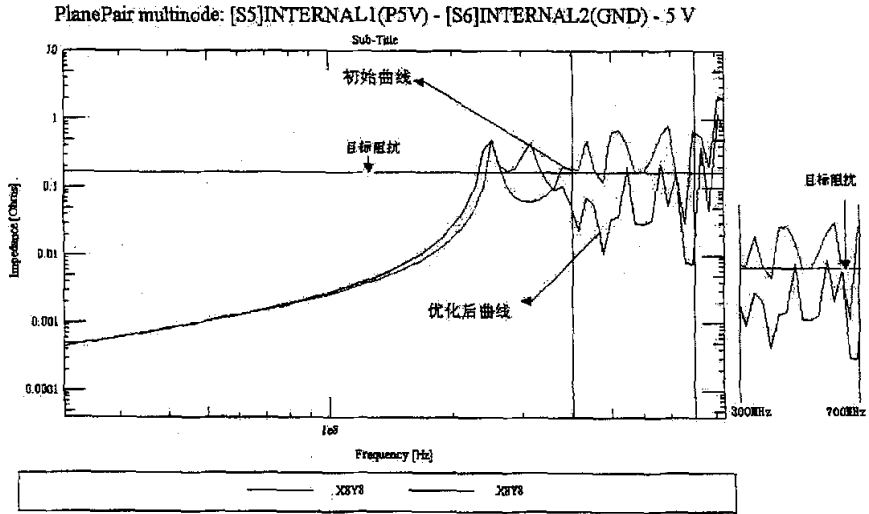


图 4-19 在 X8Y8 部位放置六个旁路电容后阻抗的对比图

Figure4-19 the comparison of before and after placing bypass capacitors in area X8Y8

如图4-19，可以清楚地看到，在300MHz-700MHz范围内，放置六个旁路电容后效果良好。放置前，阻抗值基本上都高于目标阻抗，而放置后，大大降低了阻抗值，除了个别频率点的阻抗值略高于目标阻抗，其余频率点的阻抗值都在目标阻抗值之下。

第五章 高速电子线路电源完整性测试

在高速电子线路中,如何更好地滤除包括 SSN 和地弹在内的电源噪声是保证系统具有良好电源完整性的关键。作为电源完整性设计的主要方法之一,旁路电容的选用对降低电源分配系统的阻抗,减少同步切换噪声都起着很大的作用。如何科学的构建测试环境,通过测试选择放置合适的旁路电容则成为电源完整性研究的重要内容。

良好的电源完整性模拟测试环境是电源完整性测试能否成功的前提和基础,对设计过程中尽早发现并解决电源完整性问题十分重要。我们首次采用动态电子负载模拟同步切换电流的变化,构建电源完整性模拟测试环境。以本文电源完整性仿真中所用的媒体网关产品 A7XXX 的 MCM 控制模块部分(见 4.1)作为测试对象,对仿真所选用的三种旁路电容(见 4.2)对电源分配系统噪声的改善效果进行测试,比较并研究旁路电容的位置放置对系统电源完整性的影响。

5.1 电源完整性测试环境

MCM 上大量 DSP 的同步切换在 MCM 控制模块 5V 电源平面上产生较大的电流变化,从而在电源分配系统中产生 SSN 和地弹噪声。但是,在测试过程中要使大量的 DSP 产生同步切换逻辑比较困难。而本文采用的动态电子负载可以比较好地模拟 DSP 的同步切换过程:动态电子负载可以在瞬间产生输出阻抗的变化,模拟高速电子线路中多芯片同时切换所造成的系统供电电流的高速周期性突变。

电源完整性测试系统的构成元素包括:

- 1)开关电源:媒体网关产品 A7XXX 的 MCM 控制模块部分所用 PBP48 开关电源(图 5-2)。PBP48 为 48V 转 5V 和 3.3V 的直流开关电源模块(图 5-1)。48V - 3.3V 直流一直流转换器最高可以供给 10A 的输出电流,而 48V-5V 的直流一直流转换器最高可以供给 20A 的输出电流(图 4-2)。
- 2)电源传输线路:使用 MCM 控制模块的 PCB 板 5V 电源平面及接地平面作为试验用电源传输线路(图 4-4)。
- 3)电源输入: LAMBDA ZUP60-14 型电源输入,该电源输入提供了 0-60V 的电压以及 0-14A 的电流。测试环境中为开关电源模块提供 48V 电源输入。

- 4) 示波器: Tektronix TDS724, 提供了双通道的数字示波器, 频率上限为 1GHz。用于测量电源平面的电流变化及切换噪声等。
- 5) 动态电子负载: Chroma 63030 智能型电子负载。动态电子负载可以在瞬间产生输出阻抗的变化。供电电压恒定时, 即产生电流的跳变, 从而模拟了高速电子线路中多芯片同时切换造成的系统供电电流的高速周期性突变。

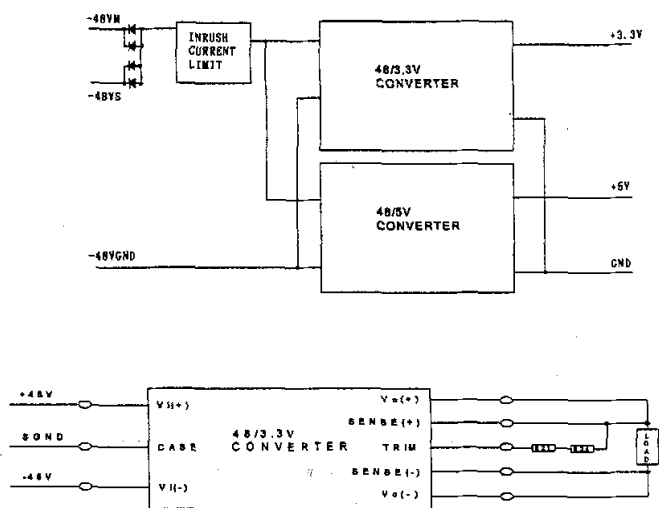


图 5-1 PBP48 原理图
Figure5-1 The schematic of PBP48

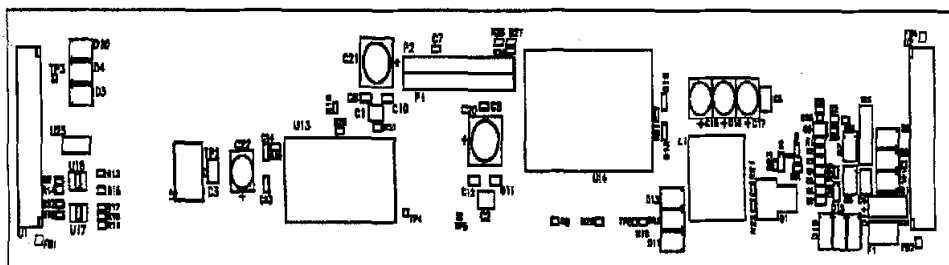


图 5-2 PBP48 电源模块板图
Figure5-2 PBP48 power supply module board

为了进一步探讨和分析旁路电容对高速 PCB 板电源完整性的影响, 我们用以上测试设备构建一套电源完整性分析测试系统(图 5-3), 并针对本文 MCM 控

制系统电源完整性仿真所选用的三种旁路电容（见 4.2 章）对 MCM 电源分配系统噪声影响进行测试。实际测试环境如图 5-4 所示。

根据 MCM 模块的技术指标，PBP48 为 MCM 5V 电源平面提供 6-10A 左右的输出电流。因此，在测试时，使用 Chroma 63030 完成电流变化幅度从 7.5A 到 10A 的周期性跳变。

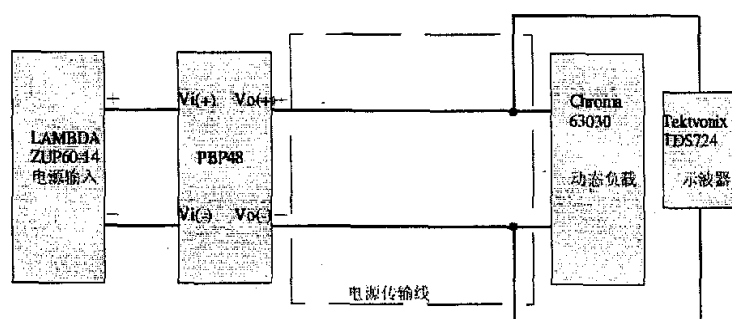


图 5-3 测试环境框图

Figure5-3 Schematic of test environment

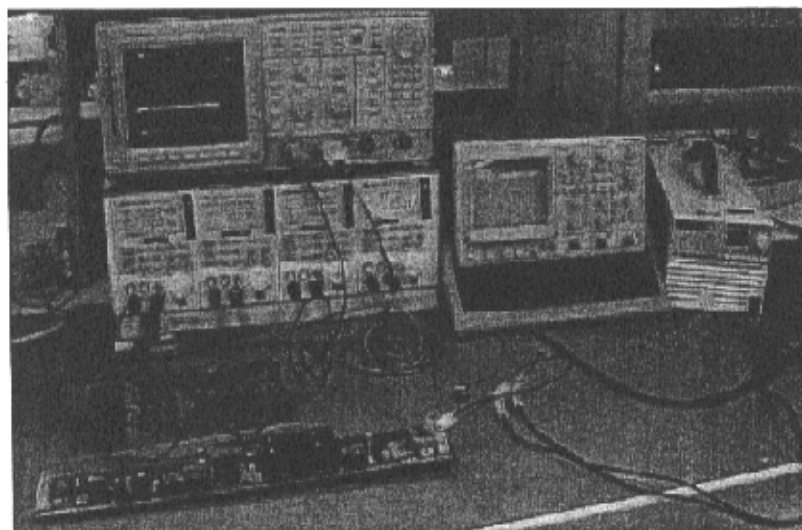


图 5-4 实际测试系统

Figure5-4 Real test system

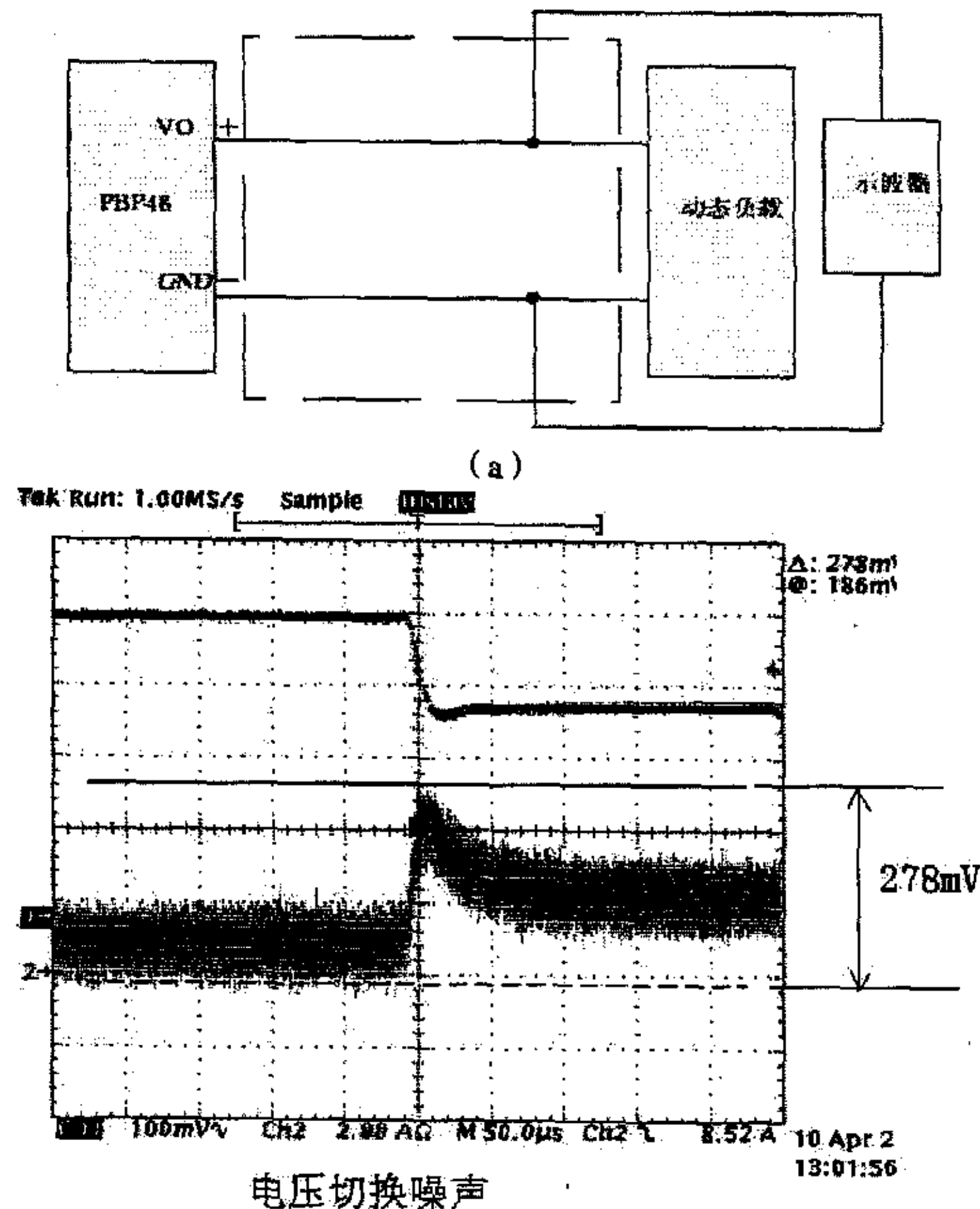
5.2 测试结果及分析

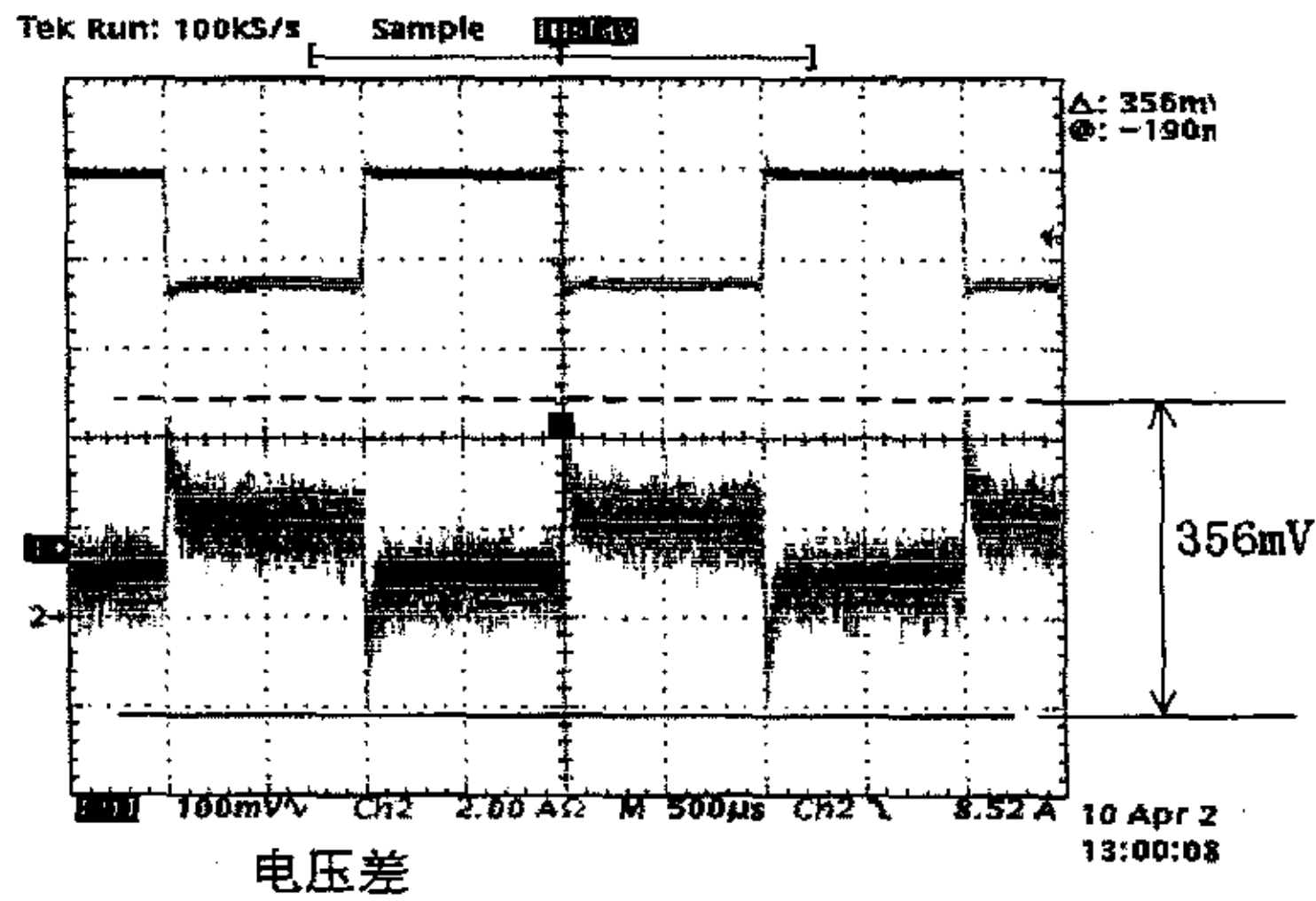
根据表 4-1, MCM 控制模块电源完整性仿真中选用的 22 μ F 电解电容, 10nF 瓷片电容和 100nF 瓷片电容的谐振工作频率分别 1.8MHz, 54.6MHz, 17.3MHz。

为了验证这三种旁路电容对 MCM 控制模块电源完整性的影响, 分别选择四种情况进行测试:

- 1) 在离动态负载 6cm 处增加一个 10nF 瓷片电容
- 2) 在靠近电源板附近增加一个 22 μ F 的电解电容
- 3) 在离动态负载大约 1cm 处增加一个 100nF 瓷片电容
- 4) 22 μ F 电解电容, 100nF 瓷片电容, 10nF 瓷片电容并联在电源板和动态负载两端。

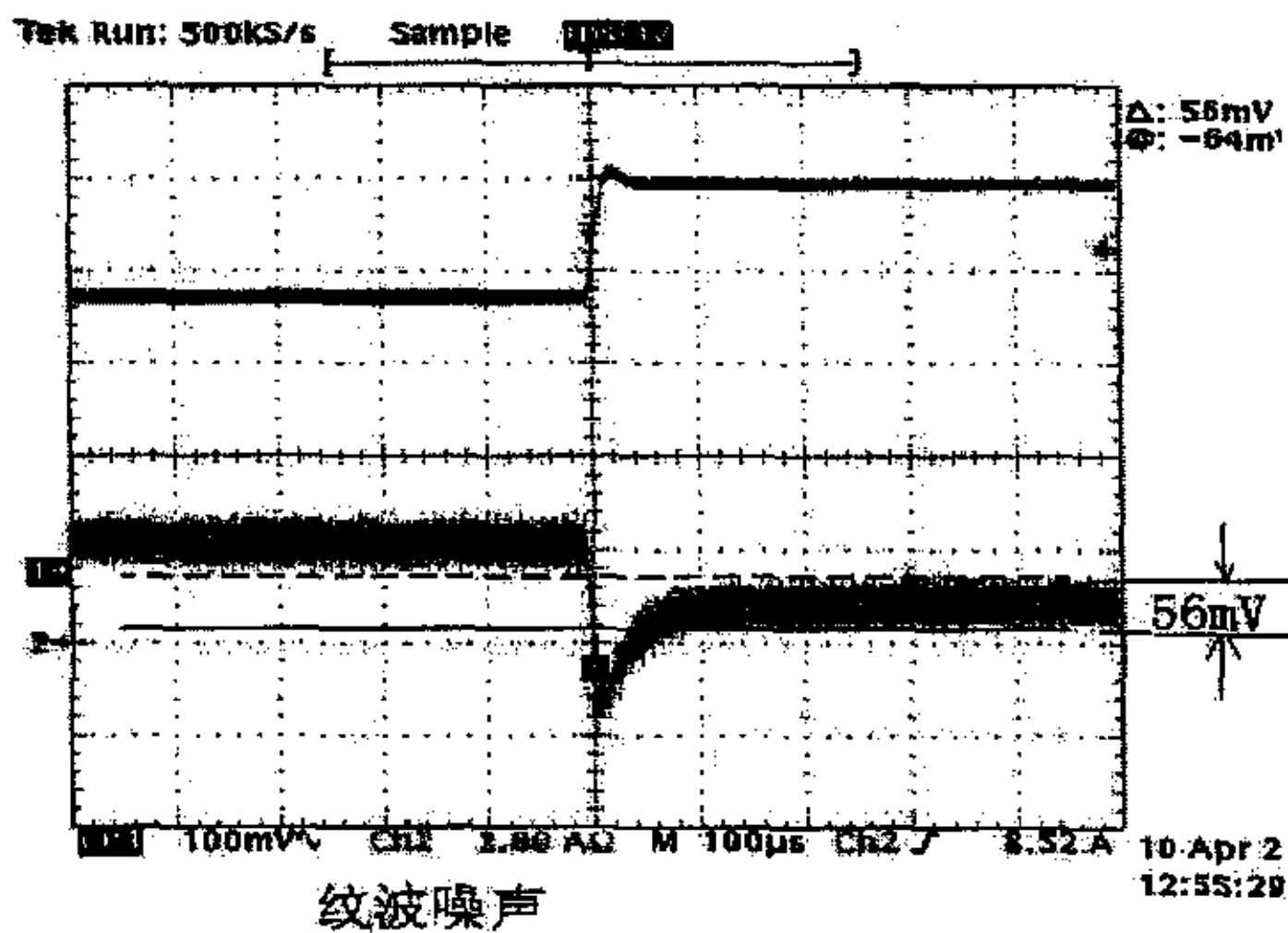
为了比对, 在未加任何电容的情况下, 也作了相同的测试, 如图 5-5。





电压差

(c)



纹波噪声

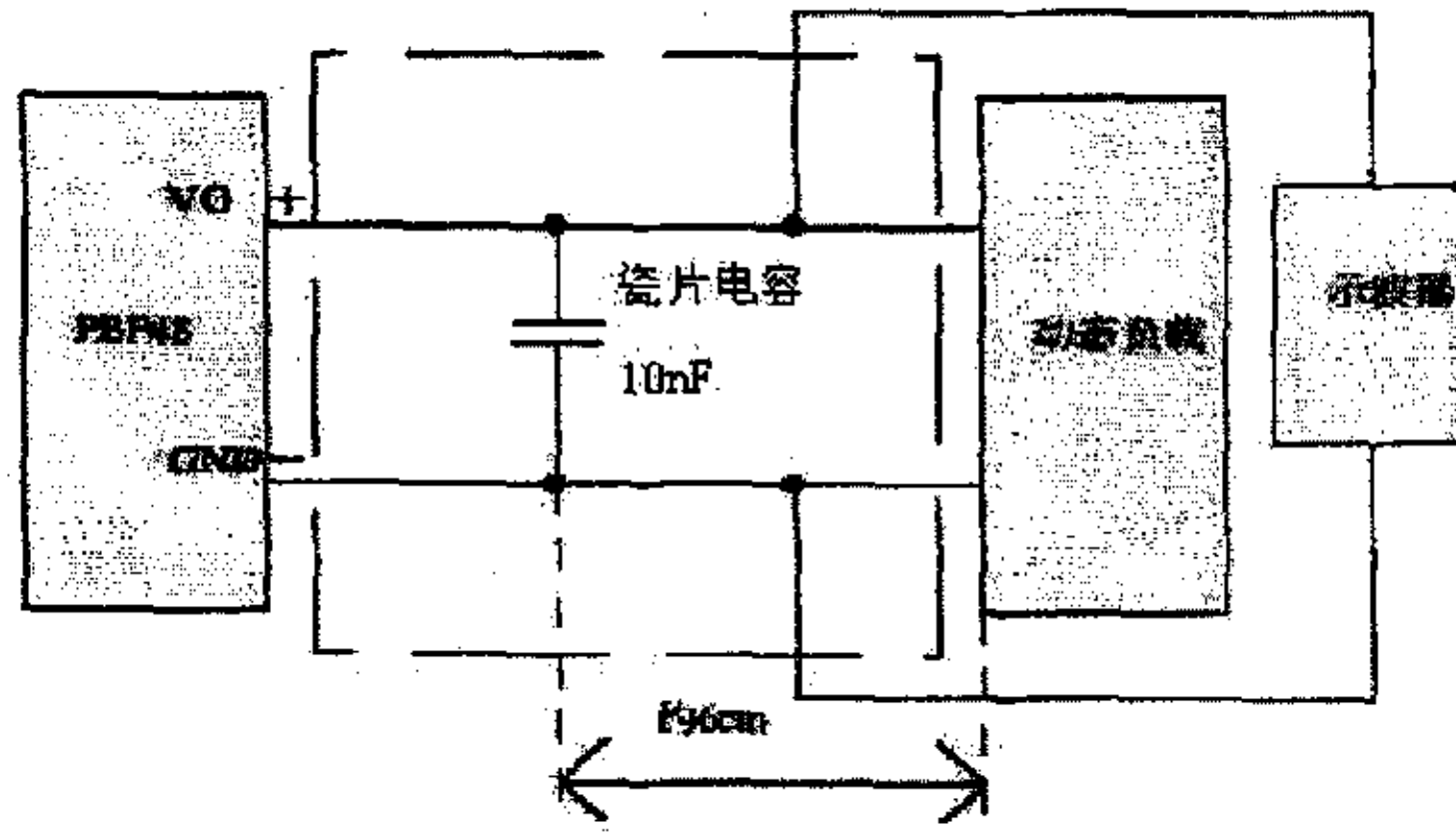
(d)

图 5-5 (a) 测试方法 (b) 电压切换噪声 278mV (c) 电压差 356mV (d) 电压纹波噪声 56mV
 Figure 5-5 (a) test means (b) voltage switching noise 278mV
 (c) voltage extent 356mV (d) voltage ripple noise 56mV

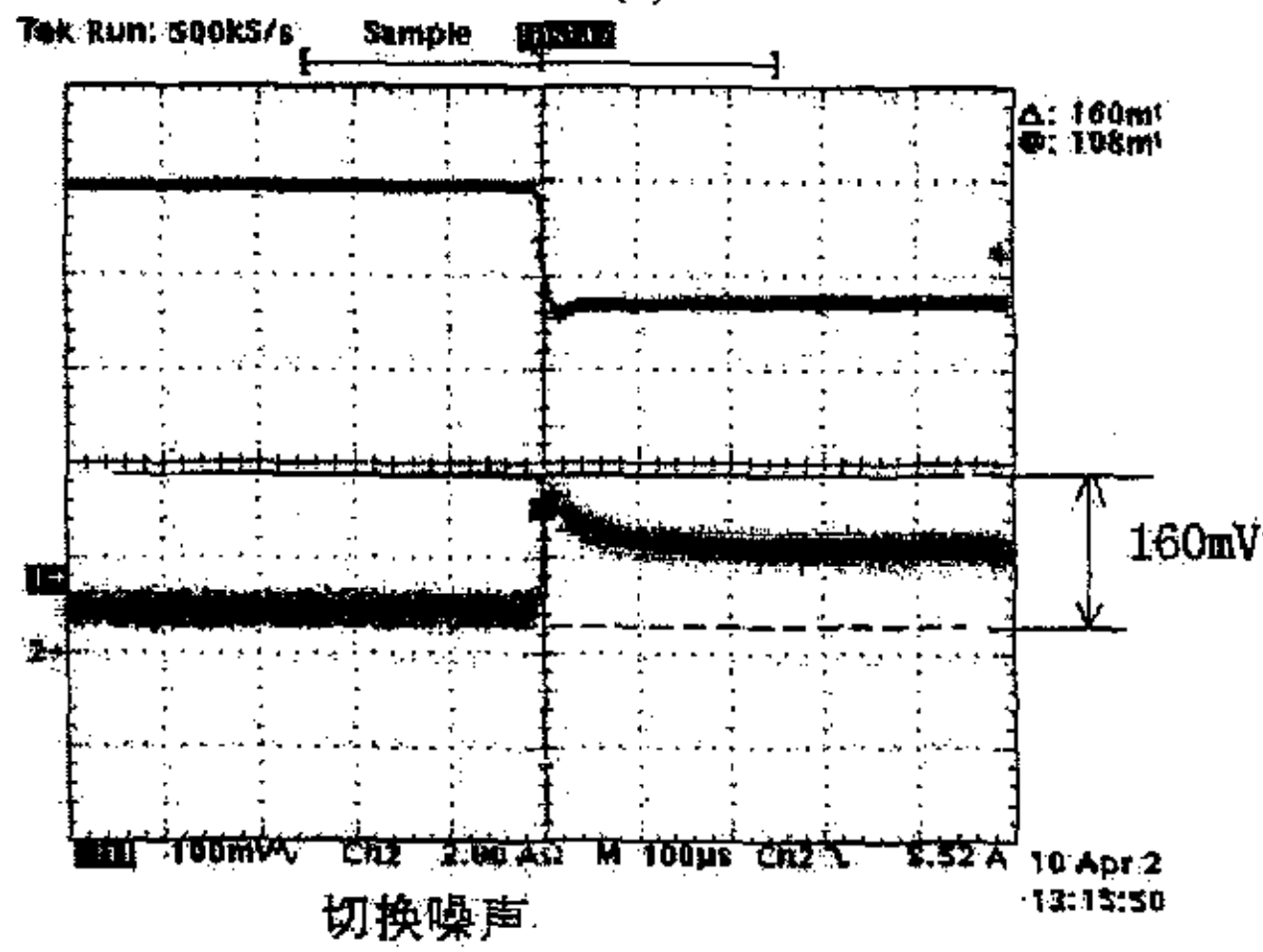
如图 5-5 所示，在系统未加任何旁路电容的情况下，系统产生的切换噪声为 278mV，电压差为 356mV，电压纹波噪声为 56mV。

5.2.1 四种测试情况及其试验结果

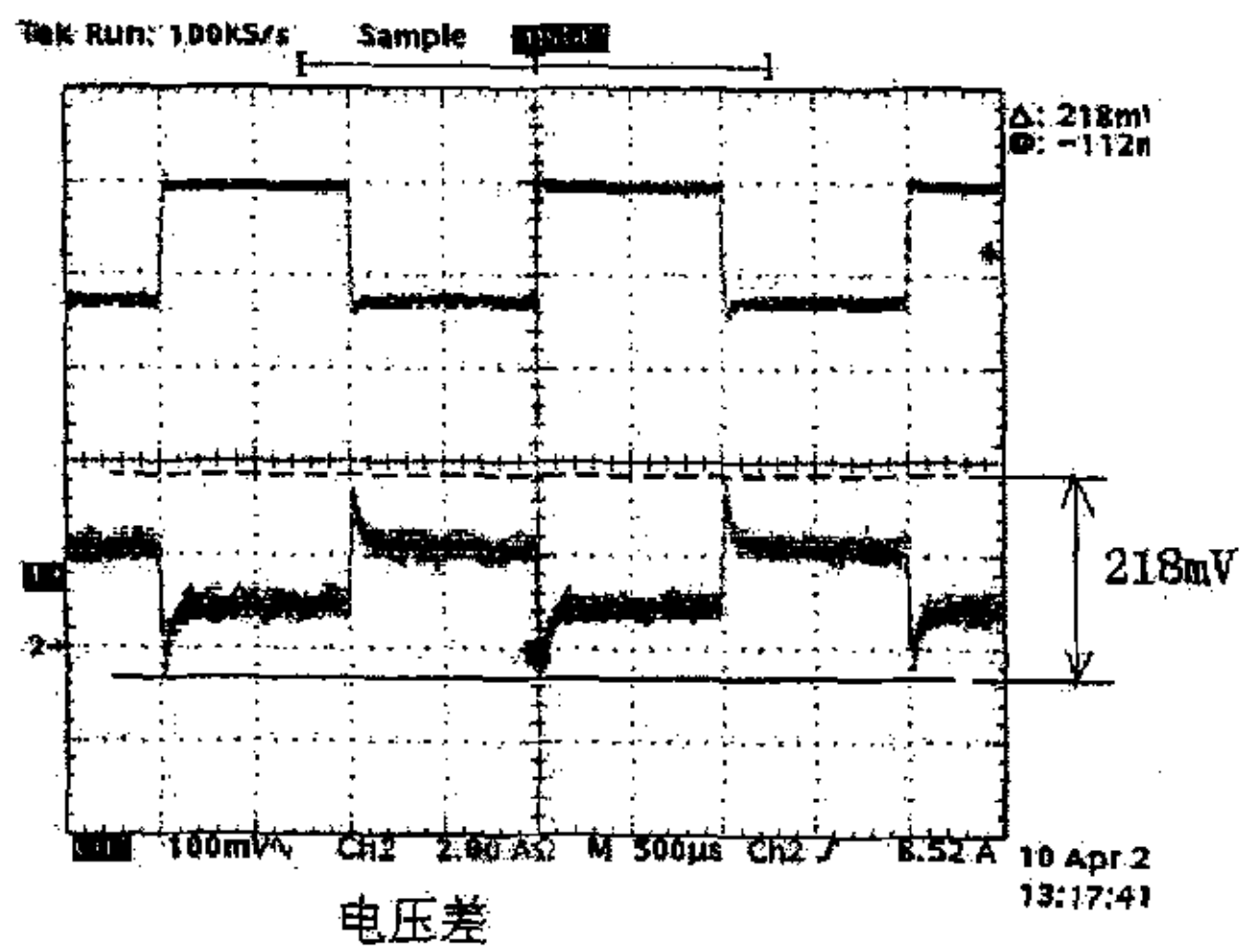
1) 情况 1: 在离动态负载 6cm 处增加一个 10nF 瓷片电容



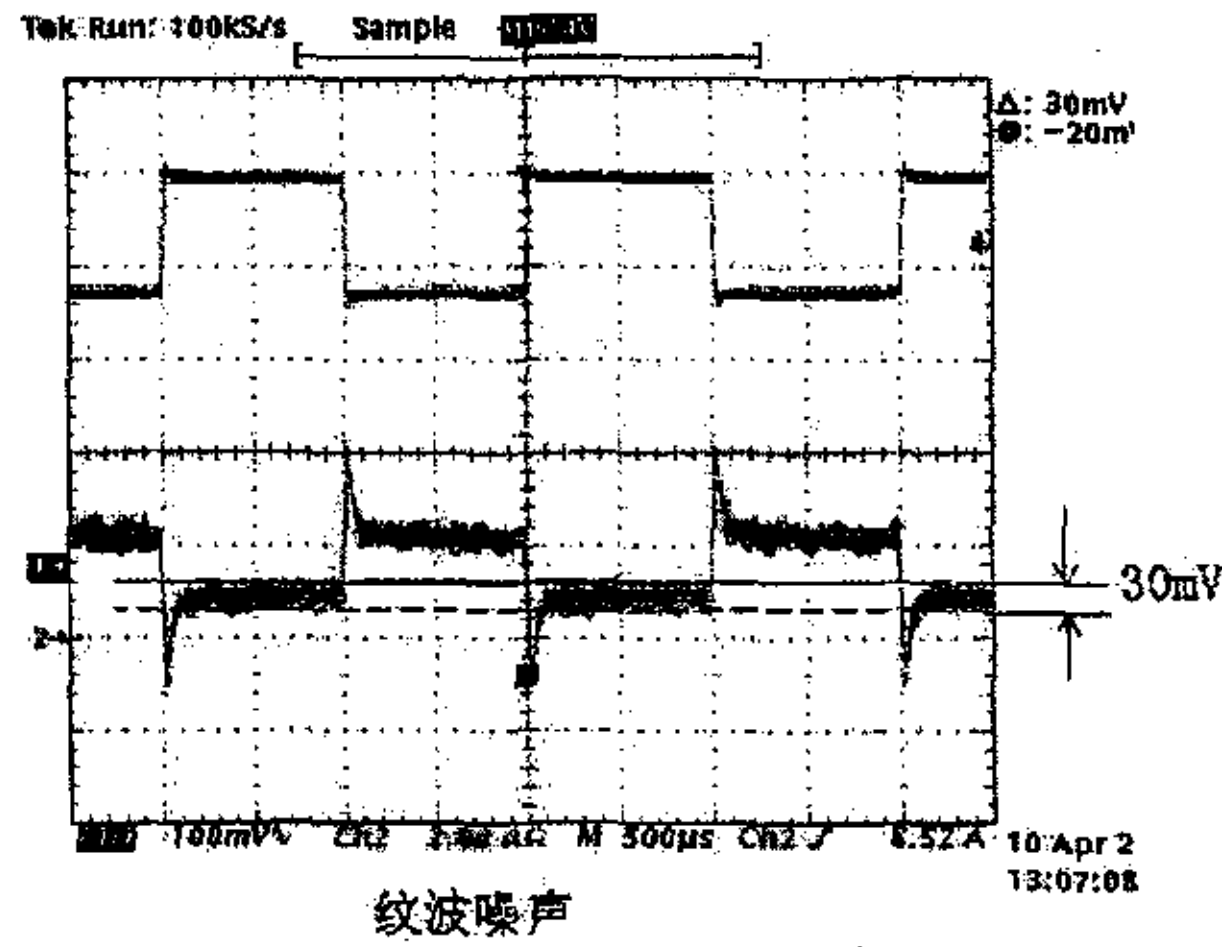
(a)



(b)



(c)



纹波噪声

(d)

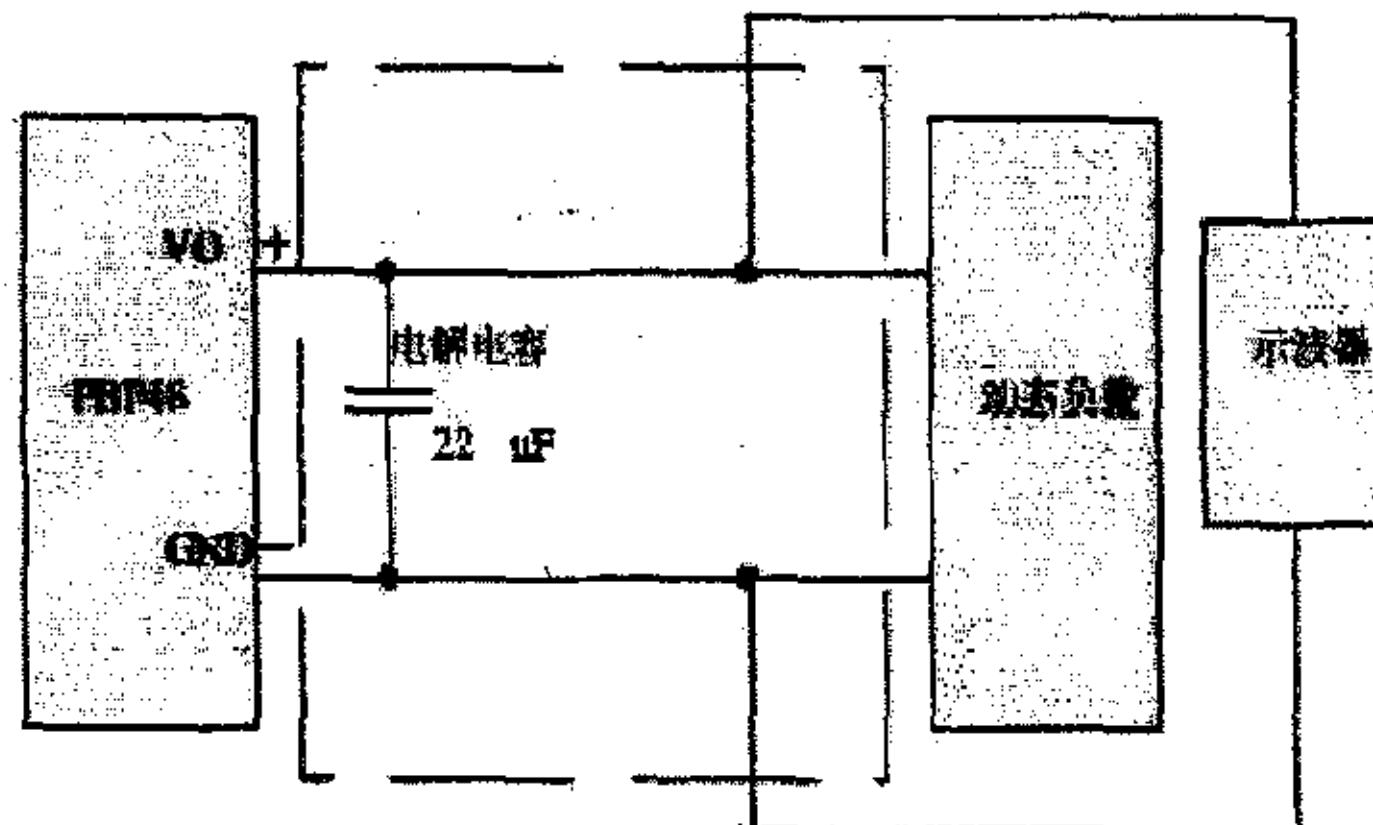
图 5-6 (a) 测试方法 (b) 电压切换噪声 160mV (c) 电压差 218mV (d) 电压纹波噪声 30mV

Figure 5-6 (a) test means (b) voltage switching noise 160mV

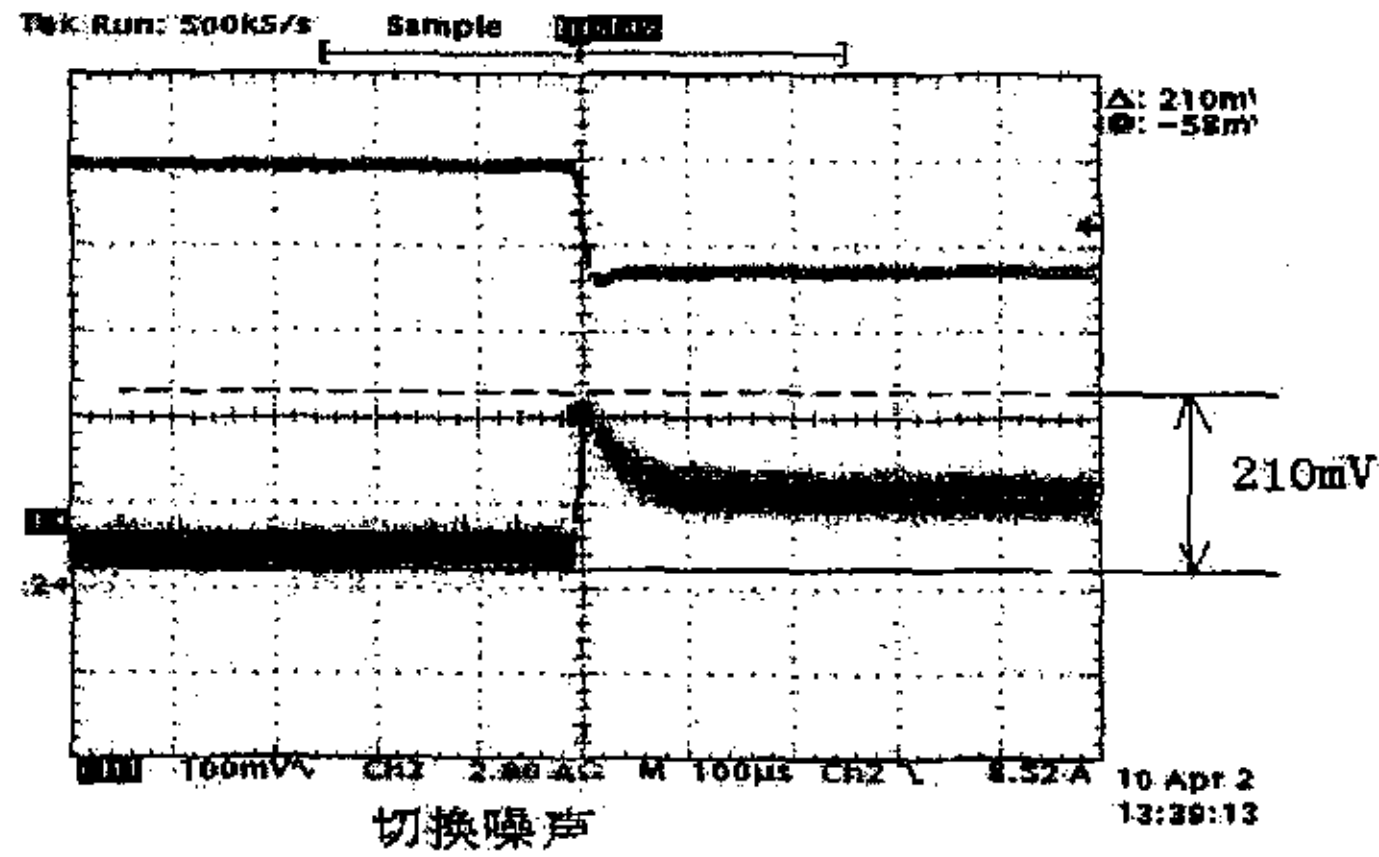
(c) voltage amplitude 218mV (d) voltage ripple noise 30mV

如图 5-6 所示，在靠近电源板附近增加一个 10nF 的瓷片电容的情况，系统产生的切换噪声为 160mV，电压差为 218mV，电压纹波噪声为 30mV。这三个参数比未加任何旁路阻抗的情况下各减小了 118mV，138mV，26mV。

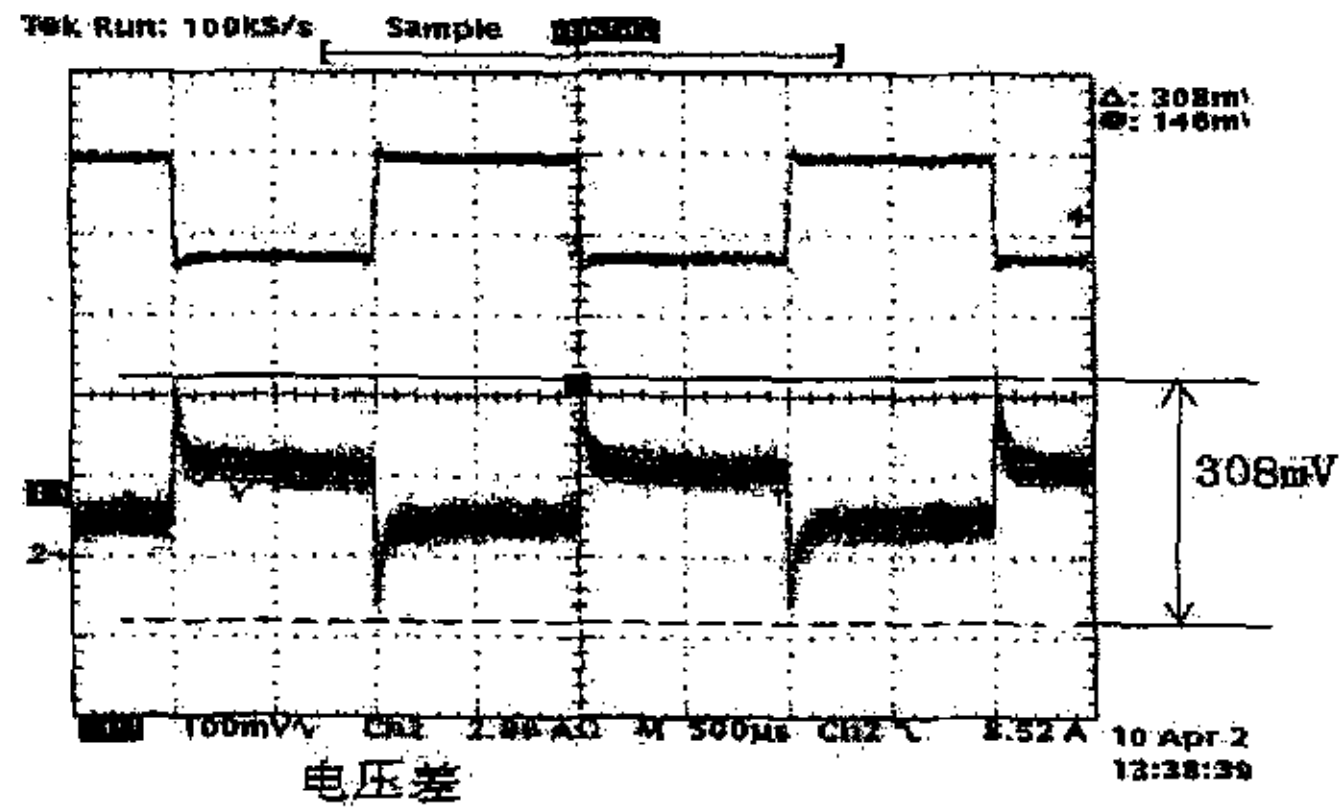
2) 情况 2: 在靠近电源板附近增加一个 22uF 的电解电容



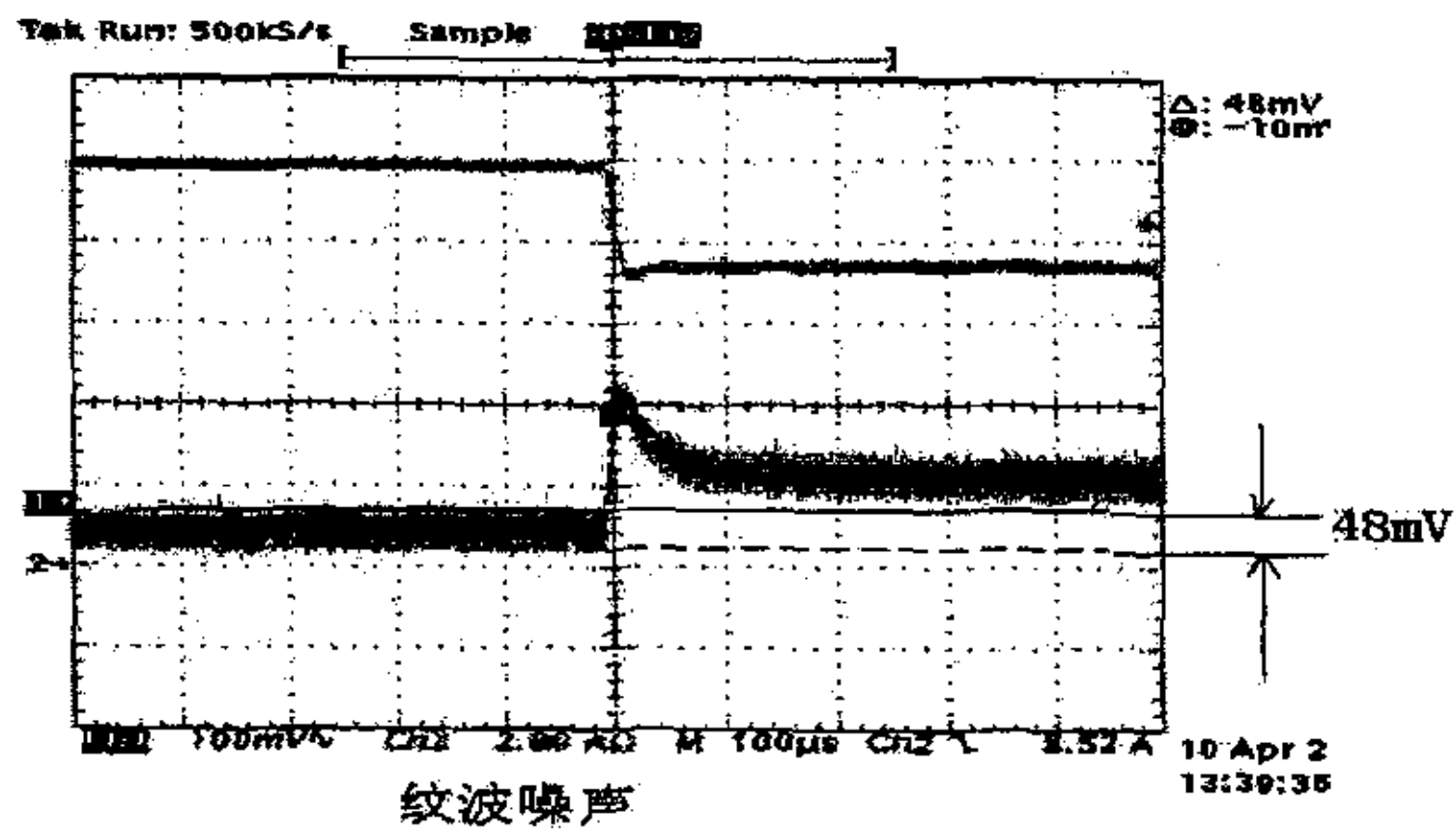
(a)



(b)



(c)



(d)

图 5-7 (a) 测试方法 (b) 电压切换噪声 210mV (c) 电压差 308mV (d) 电压纹波噪声 48mV

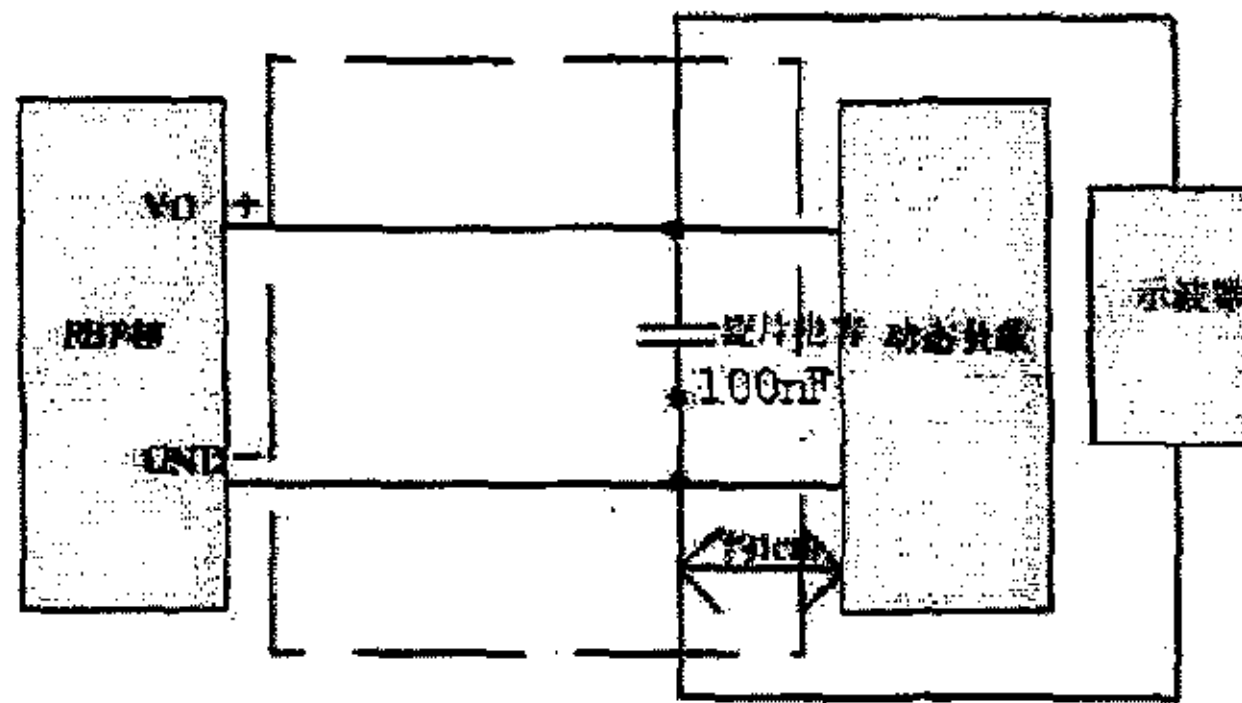
Figure 5-7 (a) test means (b) voltage switching noise 210mV

(c) voltage amplitude 308mV (d) voltage ripple noise 48mV

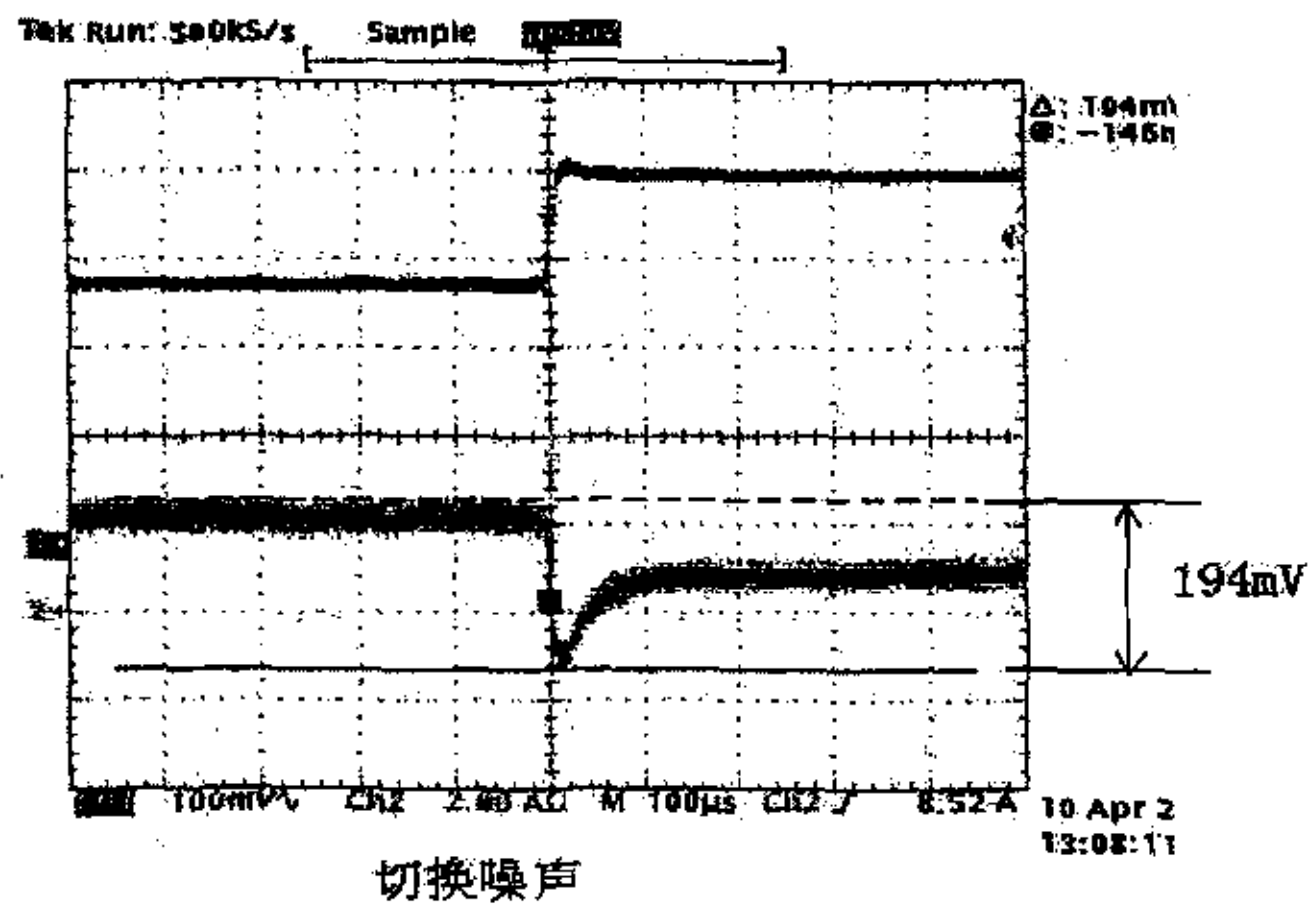
如图 5-7 所示, 在系统靠近电源板附近增加一个 22 μ F 的电解电容, 系统产

生的电压切换噪声为 210mV，电压差为 308mV，电压纹波噪声为 48mV。这三个参数比未加任何旁路阻抗的情况下各减小了 68mV，48mV，8mV。

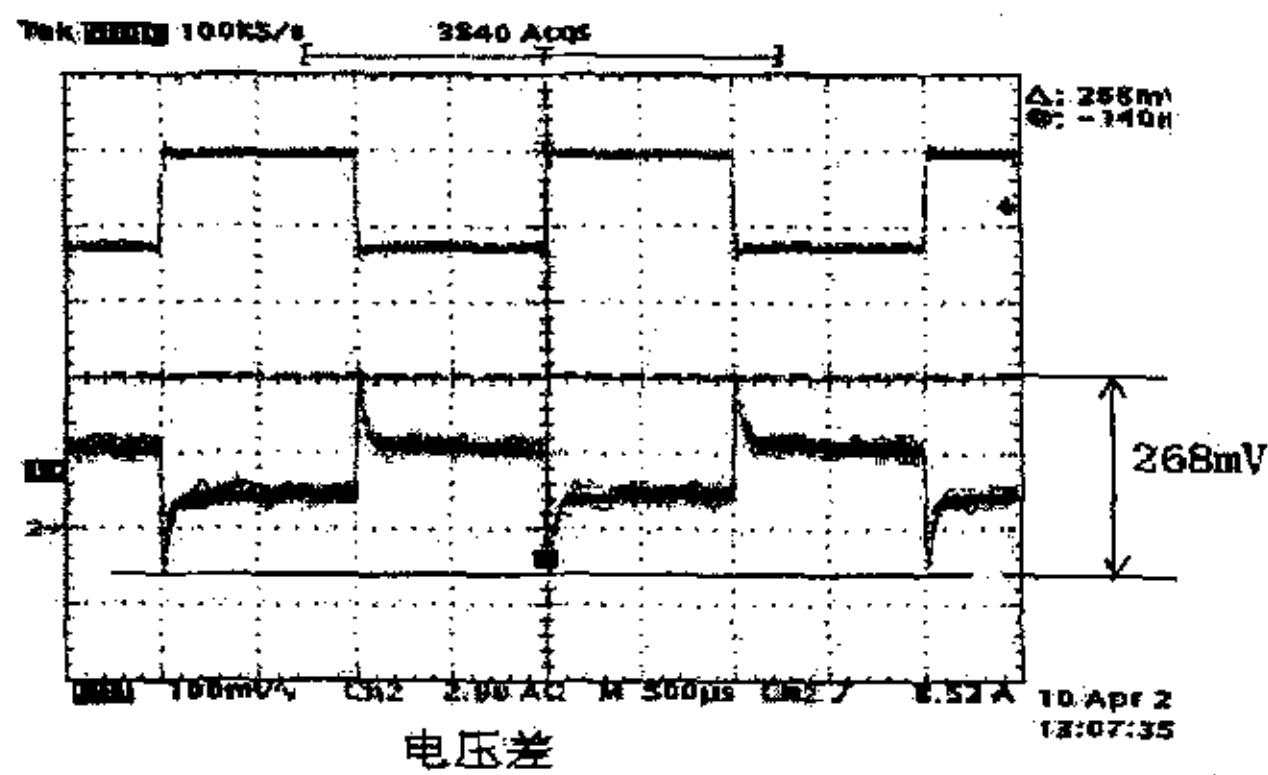
3) 情况 3: 在离动态负载大约 1cm 处增加一个 100nF 瓷片电容



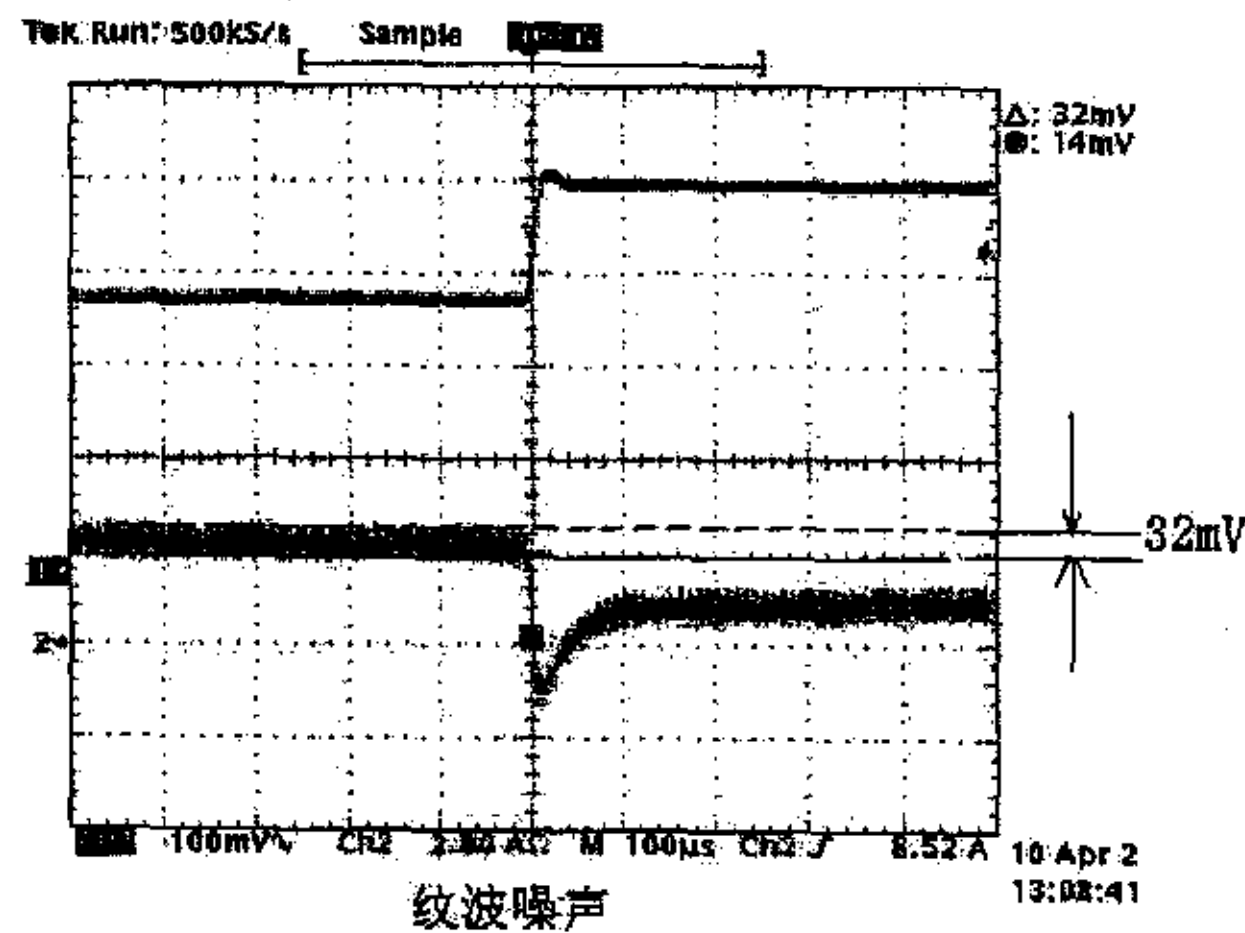
(a)



(b)



(c)

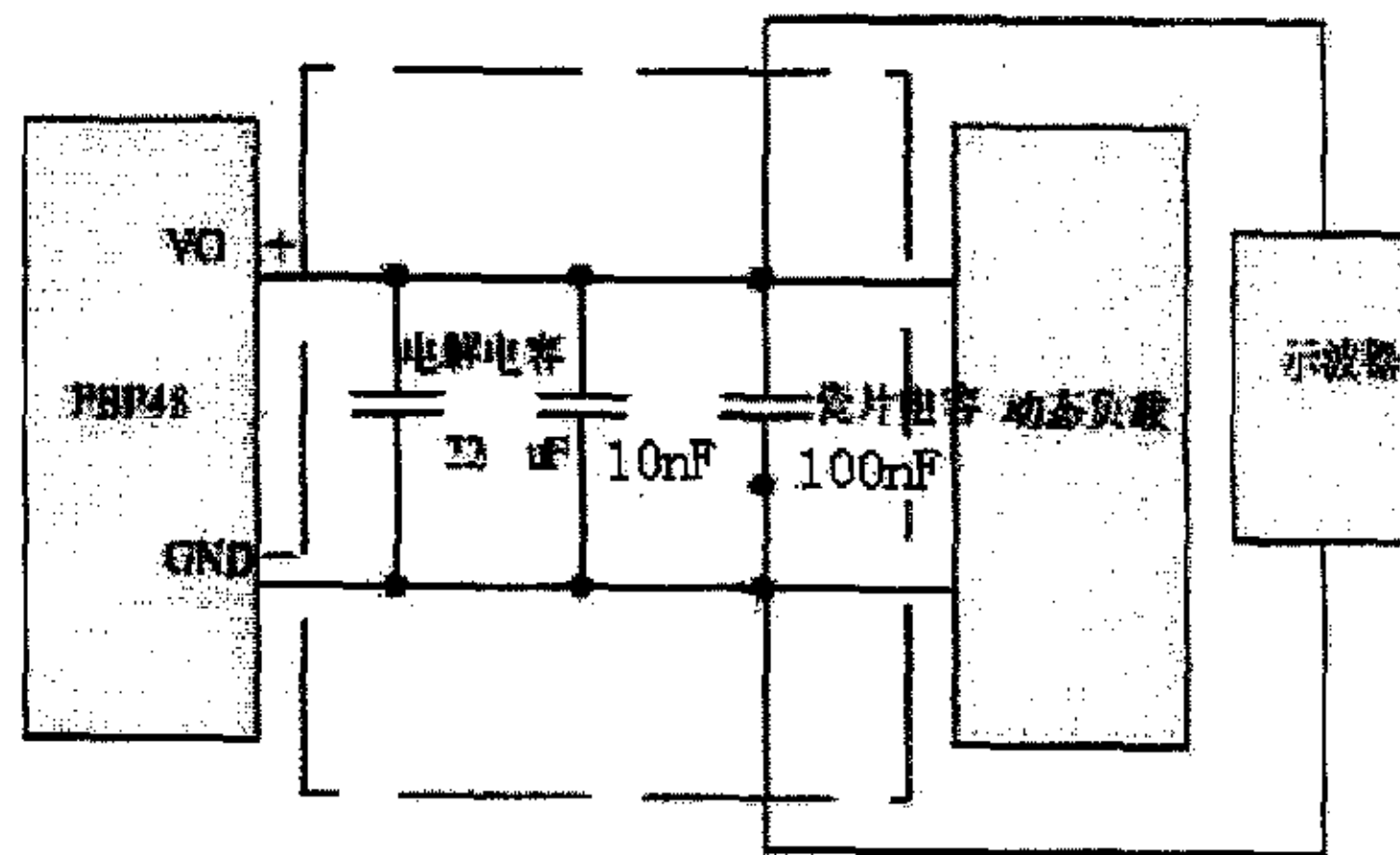


(d)

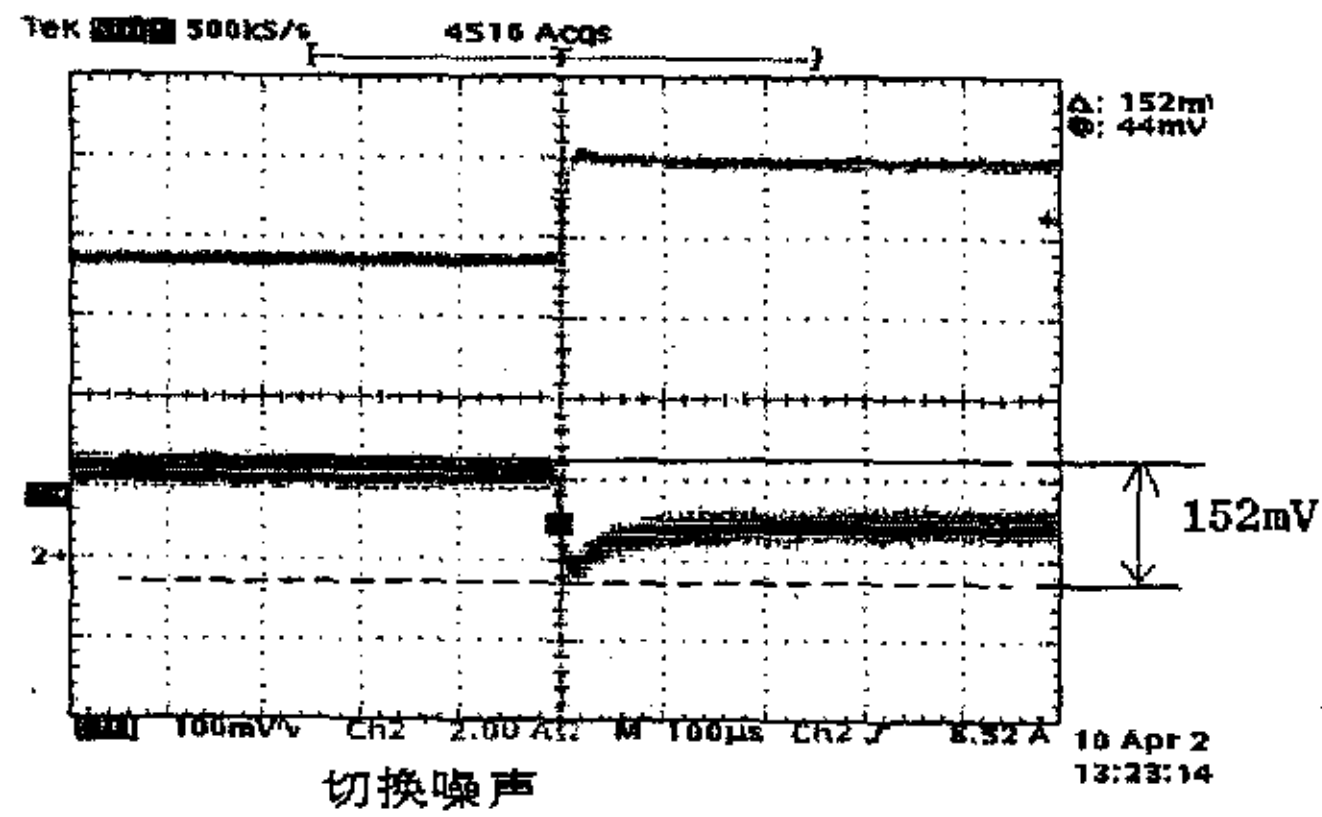
图 5-8 (a) 测试方法 (b) 电压切换噪声 194mV (c) 电压差 268mV (d) 电压纹波噪声 32mV
Figure 5-8 (a) test means (b) voltage switching noise 194mV
(c) voltage amplitude 268mV (d) voltage ripple noise 32mV

如图 5-8 所示, 在离动态负载大约 1cm 处增加一个 100nF 瓷片电容的情况下, 系统产生的电压切换噪声为 194mV, 电压差为 268mV, 电压纹波噪声为 32mV。这三个参数比未加任何旁路阻抗的情况下各减小了 84mV, 88mV, 24mV。

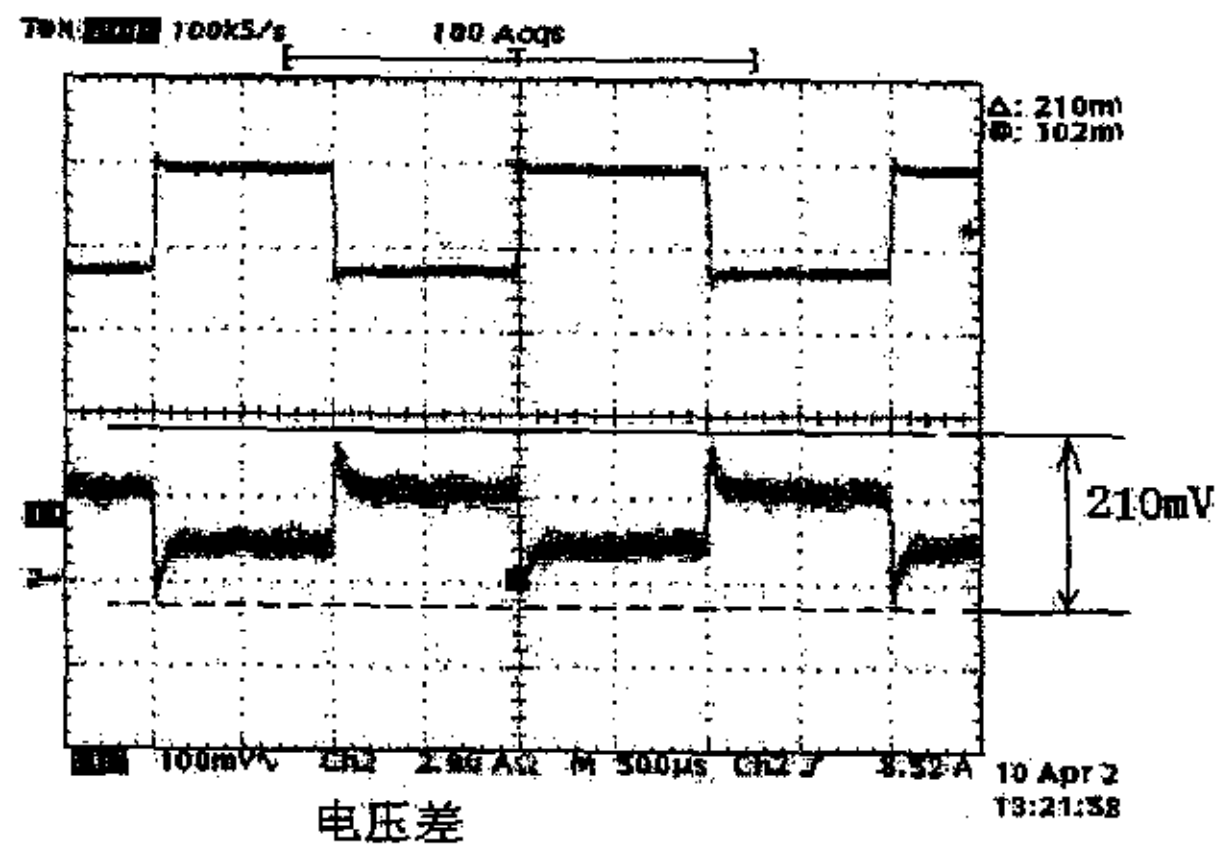
4) 情况 4: 22µF 电解电容, 100nF 瓷片电容, 10nF 瓷片电容并联在电源板和动态负载两端。



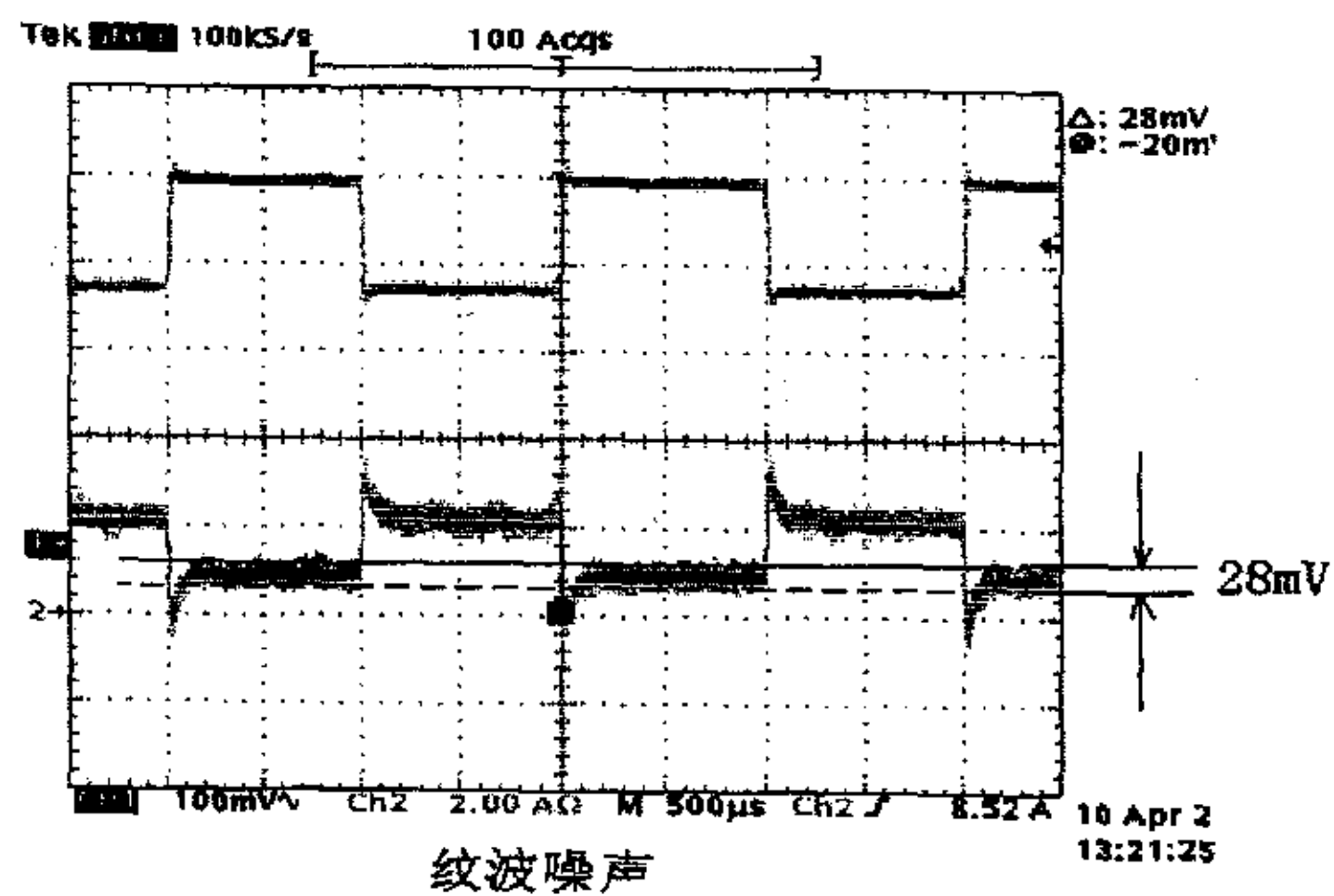
(a)



(b)



(c)



(d)

图 5-9 (a) 测试方法 (b) 电压切换噪声 152mV (c) 电压差 210mV (d) 电压纹波噪声 28mV

Figure 5-9 (a) test means (b) voltage switching noise 152mV
(c) voltage amplitude 210mV (d) voltage ripple noise 28mV

如图 5-11 所示, 在 22 μ F 电解电容, 100nF 瓷片电容, 10nF 瓷片电容并联在电源板和动态负载两端的情况下, 系统产生的电压切换噪声为 152mV, 电压差为 210mV, 电压纹波噪声为 28mV。这三个参数比未加任何旁路阻抗的情况下各减小了 126mV, 146mV, 28mV。

5.2.2 测试结果分析

综上所述, 由四种典型情况所得的测试参数 (电压切换噪声, 电压差以及电压纹波噪声) 可以清楚的看出不同种类的旁路电容对电源完整性的影响。

由上面的测试数据, 我们整理出如下列表:

表 5-1 各个方案测试结果比较列表

Table5-1 test results compare

电压 (mV)	纹波噪声	切换噪声	压差
未加保护措施	56	278	356
动态负载 6cm 处增加一个 10nF 瓷片电容	30	160	218
靠近电源板附近增加一个 22 μ F 的电解电容	48	210	308
离动态负载大约 1cm 处增加一个 100nF 瓷片电容	32	194	268
22 μ F 电解电容, 100nF 瓷片电容, 10nF 瓷片电容并联在电源板和动态负载两端	28	152	210

由表 5-1, 可以清晰地看出, 将并联在电源板和动态负载两端并联 22 μ F 电解电容, 100nF 瓷片电容, 10nF 瓷片电容可以更加有效的降低电压切换噪声和纹波噪声。

由于测试所使用的动态电子负载模拟的芯片为 A7XXX 中 MCM 控制模块的部分 50MHz 以上的高速芯片, 因此谐振频率为 54.6MHz 的 10nF 瓷片电容比谐振频率为 1.8MHz 的 22 μ F 电解电容以及 17.3MHz 的瓷片电容有着更好的滤波效果。试验数据恰恰证明了这一点: 动态负载 6cm 处增加一个 10nF 瓷片电容比在靠近电源板附近增加一个 22 μ F 的电解电容, 以及离动态负载大约 1cm 处增加一个 100nF 瓷片电容可以更好的降低电压切换噪声和纹波噪声。

第六章 结论与展望

日渐精细的半导体工艺使得晶体管尺寸越来越小,器件的信号跳变沿也就越来越快,从而导致高速数字电路系统设计领域信号完整性问题以及电源完整性方面的问题日趋严重。

信号完整性问题主要包括传输线效应,如反射、时延、振铃、信号的过冲与下冲以及信号之间的串扰等。近年来,人们对信号完整性重要性的认识逐渐深化,在解决信号完整性所面临的定时、反射、串扰、振铃等问题上投入了大量的精力进行研究,并取得了不少进展。与信号完整性相比,电源完整性分析是一种全新的技术。对于高速电路来讲,我们已经不能够简单地将电源和地当作理想的情况来处理。不良的电源模块、多电源/地平面的分割不完全、旁路电容的设计不合理等导致的电源完整性方面的问题,会引起信号的畸变而影响到信号的完整性。所以现代电子线路设计需要对传统设计环境、设计流程和设计方法改进:

本文从高速线路概念入手,介绍了信号完整性、电源完整性问题的相关定义,探讨了电源完整性问题产生的原因和对电子线路造成的影响。着重分析了电源完整性中由于大量高速芯片同步切换而产生的同步切换噪声,地弹噪声现象和机理,总结了同步切换噪声,地弹噪声的特点。

◆ 在经典电路分析理论的基础上,分析了板级高速电路系统中电源分系统的开关电源模块、电源接地平面、旁路电容等各构成元素。采用动态参量分析法建立了电源模块参数模型;采用网络分割和传输线 RLC 模型建立分析电源接地平面模型;建立分析了旁路电容的模型并总结了旁路电容在解决电源完整性问题中的重要作用以及旁路电容的选取方法。

◆ 使用 Cadence 公司的 SPECCTRAQuest PI 设计仿真工具,将本文所建立的电源分系统模型有效的应用到媒体网关产品 A7XXX 的 MCM 控制模块的电源完整性分析中,由仿真结果,对部分电源分配路径进行了优化设计分析。

◆ 首创采用动态电子负载构建旁路电容电源完整性模拟验证环境,验证分析了各种旁路电容对电源完整性影响,并总结探讨了高速系统的电源完整性设计流程和方法。

电源完整性分析与设计是很重要的高速 PCB 板级和系统级分析与设计手段,

在硬件电路设计中起着越来越重要的作用。

大量芯片同步切换时，会产生一个较大的瞬态电流时，芯片封装与电源平面间的寄生电感、电容和电阻会引发的电源噪声以及较大的电流涌动而在电源与接地平面间产生大量噪声。这些电源分系统噪声超出一定的值将可能引发电路误动作从而导致系统无法正常工作。解决同步切换噪声和地弹问题可以从以下几个方面考虑：

- ◆ 在逻辑设计上尽可能降低芯片驱动开关的变换速率和同时开关数目；在器件选型上，在满足设计规范的前提下同时尽量选择慢速的低功耗器件。

- ◆ 尽量使用单独的电源接地层，并让电源层和地平面尽量接近，以降低系统供给电源的电感和电阻；合理分割电源接地层，要考虑不同电源之间的电位差，及接地类型。

- ◆ 合理设置布线层和布线间距，减小并行信号长度，缩短信号层与地平面层的间距，增大信号线间距。

- ◆ 增加电源/地的芯片管脚数，降低封装中电源和地的电感，减短管脚接地引线长度。

- ◆ 增加电源分系统旁路电容，给高频的瞬变交流信号提供低电感的旁路。集成电路的去偶电容应尽量靠近芯片的电源脚，使之与电源和地之间形成回路最短。

- ◆ 元件合理布局，使用同一个电源的元件应考虑尽量放在一起，以便电源分割；旁路电容应均匀分布在集成电路周围。

电源分系统噪声分析的目的是为了在 PCB 实现中迅速地发现、定位和解决电源噪声问题。在设计的高级阶段，通过仿真分析可以合理配置电源分系统的各个器件，合理分层布线，合理配置旁路电容，以在开发初期通过解决电源完整性问题而缩短开发周期，提高开发成功率。

高速 PCB 板级、系统级设计是一个复杂的过程，包括同步切换、地弹在内的电源完整性问题带来了设计观念、设计思路、设计流程以及设计手段的变革。确保在高速系统设计中迅速发现问题、解决问题，并且指导在新的设计中预防问题的出现已经成为高速系统设计重点。从本文的分析我们也可以看到，电源完整性

的问题相当复杂，所涉及的因素很多。目前对电源完整性的研究还不够深入，仿真工具不够完善，测试途径也有待进一步开拓。可喜的是，随着电源完整性问题在高速设计中重要性的突现，越来越多的开发人员已经投入到电源完整性的研究中，从而使电源完整性设计、仿真、验证技术得到迅速的发展。

参考文献

- [1] Andre S.Kislovski, Dynamic analysis of switching-mode DC/DC converters, 1995
- [2] 基于信号完整性分析的高速数字 PCB 的设计方法,《电子工程专辑》, 2003, 4, Vol. 16, No. 1
- [3] 高速电路设计的信号完整性分析, <http://fuja.myrice.com>, 2005. 3
- [4] 高速 PCB 的互连综合,《计算机工程与设计》, 2000, 10, Vol. 21 No. 5
- [5] Josh Moore, Engineering Times, 2000, 11
- [6] L. D. Smith, R. E. Anderson, D. W. Forehand, T. J. Pelc, T. Roy. Power distribution system design methodology and capacitor selection for Modern CMOS technology. IEEE Transactions on Advanced Packaging, 1999, 8 Vol. 22, No. 3, pp. 284
- [7] S. Pannala, J. Bandyopadhyay, M. Swaminathan, Contribution of resonance to ground bounce in lossy thin film Planes. IEEE Transactions on Advanced Packaging, Aug 1999, 8 Vol. 22, No. 3, pp. 249,
- [8] W. Becker H. Smith T. McNamara P. Muench J. Eckhardt M. McAllister G. Katopis S. Richter R. Frech and E. Klink, Mid-Frequency Simultaneous Switching Noise in Computer Systems, Proceedings of 47th Electronic Components and Technology Conference, May 18-21, 1997, San Jose, CA, pp. 676-681
- [9] W. Becker et al. Modeling, simulation and measurement of mid-Frequency simultaneous switch noise in computer systems. IEEE Transactions on Components, Packaging and Manufacturing Technology - Part B, 1998, 8 Vol. 21, No. 2
- [10] Larry Smith, Simultaneous Switch Noise and Power Plane Bounce for CMOS Technology, Processing of IEEE 8th Topical Meeting on Electrical Performance of Electronic Packaging, October 25-27, 1999, San Diego, CA, pp. 163-165

- [11] N. Na, J. Choi, S. Chun, M. Swaminathan, J. Srinivasan. Modeling and transient simulations of planes in electronic packages. IEEE Transactions on Advanced Packaging. 2000,8 Vol. 23, No. 3, pp. 340
- [12] I. Novak, R. E. Anderson, T. Roy, L. D. Smith. Lossy power distribution networks with thin dielectric layers and/or thin conductive layers. IEEE Transactions on Advanced Packaging. 2000,8 Vol. 23, No. 3, pp. 353,
- [13] H. H. Wu, J. W. Meyer, K. Lee, A. Barber. Accurate power supply and ground plane pair models," IEEE Transactions on Advanced Packaging. 1999,8 Vol. 22, No. 3, P259.
- [14] Howard Johnson, Martin Graham. High-speed digital design[M]. A handbook of black magic. 1993
- [15] 上海泰齐科技, 电源完整性设计, <http://www.i-tech.com.cn>, 2003, 9
- [16] 唐海燕, 高密度 PCB 设计面临新挑战, <http://www.ednchina.com>, 2004, 8
- [17] John N. Powell. Ensuring signal integrity in board design. Engineering Times. 2000, 10
- [18] 电磁干扰滤波电容器使用方法, <http://www.cetinet.com>, 2004, 9
- [19] 宋任儒 阮刚 梁擎擎等, 用于 SPICE 模拟高频互连效应的 RLC 电路模型, 微电子学, Vol.30 No.5 2000,10
- [20] R. Senthinathan and J. L. Prince. Application specific CMOS output driver circuit design techniques to Reduce simultaneous switching noise. IEEE Journal of Solid-state Circuit. 28(12). 1993
- [21] A.J. Rainal. Computing inductance noise of chip packages. AT&T Bell lab. Tech. j. 63(1):pp177-195. 1984
- [22] ZHAO S, ROY K, KOH C K. Frequency domain analysis of switching noise on power supply network[A]. Proc of International Conference on Computer Design[C]. Austin:IEEE computer society. pp487-492. 2000
- [23] RUEHLI A. Equivalent circuit models for three-dimensional multi-conductor systems[J]. IEEE Trans on Microwave Theory and Techniques.

42(9):pp216-220. 1994

[24] BEATTIE M, KRAUTER B, ALATAN L. Equipotential Shells for efficient inductance extraction[J]. IEEE Trans on CAD of Integrated Circuit and system. 20(1):pp70-79. 2000

[25] ZHAO S, ROY K, KOH C K. estimation of inductive and resistive switching noise on power supply networks in deep sub-micron CMOS[A]. Proc of international conference computer design[C]. Austin IEEE computer society pp487-492. 2000

[26] B. Young. Digital Signal Integrity. Prentice Hall PTR, Upper Saddle River, NJ. pp.64-65. 2001,

[27] T. Hubing, J. Drewniak, T. Van Doren, D. Hockanson. Power Bus Decoupling on Multi-layer printed Circuit Boards. IEEE Transactions on Electromagnetic Compatibility, 1995, 5 Vol. 37, No. 2, pp. 150-155

致 谢

在三年的学习生活和课题研究过程中,我自始至终得到姚老师的亲切关怀和精心指导,是姚老师丰富的学识、严谨的治学态度、诲人不倦的精神和高尚的师德激励着我克服学习和科研中的重重困难,顺利地完成了学习任务和课题研究。谢谢您!

在论文的完成过程中,从课题的方向,论文的选题、章节的安排到论文的多次修改和审阅都得到了导师的精心指导;实验室的各位同门师兄弟(妹)给予了我莫大的关心和支持,尤其是要感谢肖李敏同学在查阅资料、排版布局等诸多方面给予了无私的帮助,并对本文提出了许多宝贵的参考意见和建议;Cadence公司周佳永、钟章民为本文无偿提供了仿真设计环境;上海贝尔阿尔卡特公司潘军魁、杨伟峰为本文提供设计测试方面的帮助。

在此,向他们表示衷心的感谢和诚挚的敬意!

还要感谢华东师范大学电子系的老师们对本人的教导和无私的帮助,感谢辅导员在课余生活给予的关怀!

为本文提供帮助的老师、同学、同事、朋友还有很多,无法一一列出他们的名字。在此,对你们深表谢意!

最后,要感谢的是我的亲人,感谢你们对我无微不至的关怀和支持!

攻读学位期间发表的学术论文目录

1. 徐红波 “时域波束形成在乳腺癌微波近场成像中的应用”,《贵州工业大学学报》, 发表于 2004 年 6 期 第一作者

作者: 徐红波
学位授予单位: 华东师范大学
被引用次数: 1次

参考文献(27条)

1. Andre S Kislovski Dynamic analysis of switching-mode DC/DC converters 1995
2. 基于信号完整性分析的高速数字PCB的设计方法 2003(01)
3. 高速电路设计的信号完整性分析 2005
4. 高速PCB的互连综合[期刊论文]-计算机工程与设计 2000(5)
5. Josh Moore Engineering Times 2000
6. L D Smith, R E Anderson, D W Forehand, T J Pelc, T Roy Power distribution system design methodology and capacitor selection for Modern CMOS technology[外文期刊] 1999(03)
7. S Pannala, J Bandyopadhyay, M Swaminathan Contribution of resonance to ground bounce in lossy thin film Planes[外文期刊] 1999(03)
8. W Becker, H Smith, T McNamara, P Muench, J Eckhardt, M McAllister, G Katopis, S Richter, R Frech, E Klink Mid-Frequency Simultaneous Switching Noise in Computer Systems 1997
9. Wren D Becker Modeling, simulation and measurement of mid-Frequency simultaneous switch noise in computer systems 1998(02)
10. Larry Smith Simultaneous Switch Noise and Power Plane Bounce for CMOS Technology 1999
11. N Na, J Choi, S Chun, M Swaminathan, J Srinivasan Modeling and transient simulations of planes in electronic packages 2000(03)
12. I Novak, R E Anderson, T Roy, L D Smith Lossy power distribution networks with thin dielectric layers and/or thin conductive layers[外文期刊] 2000(03)
13. H H Wu, J W Meyer, K Lee, A Barber Accurate power supply and ground plane pair models[外文期刊] 1999(03)
14. Howard Johnson, Martin Graham High-speed digital design 1993
15. 上海泰齐科技 电源完整性设计 2003
16. 唐海燕 高密度PCB设计面临新挑战 2004
17. John N Powell Ensuring signal integrity in board design 2000
18. 电磁干扰滤波电容器使用方法 2004
19. 宋任儒, 阮刚, 梁擎擎, 朱兆昱, 肖夏, Reinhard Streiter, Thomas Otto, Thomas Gessner 用于SPICE模拟高频互连效应的RLC电路模型[期刊论文]-微电子学 2000(5)
20. R Senthinathan, J L Prince Application specific CMOS output driver circuit design techniques to Reduce simultaneous switching noise[外文期刊] 1993(12)
21. A J Rainal Computing inductance noise of chip packages 1984(01)
22. ZHAO S, ROY K, KOH C K Frequency domain analysis of switching noise on power supply network 2000
23. RUEHLI A Equivalent circuit models for three-dimensional multi-conductor systems 1994(09)
24. BEATTIE M, KRAUTER B, ALATAN L Equipotential Shells for efficient inductance extraction 2000(01)
25. ZHAO S, ROY K, KOH C K estimation of inductive and resistive switching noise on power supply networks in deep sub-micron CMOS 2000
26. B Young Digital Signal Integrity 2001
27. T Hubing, J Drewniak, T Van Doren, D Hockanson Power Bus Decoupling on Multi-layer printed Circuit Boards 1995(02)

本文读者也读过(10条)

1. 白同云, BAI Tong-yun 高速PCB电源完整性研究[期刊论文]-中国电子科学研究院学报2006, 1(1)
2. 李小平 高速PCB的信号完整性、电源完整性和电磁兼容性研究[学位论文]2005
3. 申伟, 唐万明, 王杨, SHEN Wei, TANG Wanming, WANG Yang 高速PCB的电源完整性分析[期刊论文]-现代电子技术2009, 32(24)
4. 李蕊, Li Li 信号完整性与电源完整性的仿真分析与设计[期刊论文]-电子质量2006(5)
5. 贾琛 高速数字电路中无源器件建模和电源完整性分析[学位论文]2005
6. 王银珺 封装和PCB上电源/地平面的分析和优化[学位论文]2008
7. 乔明月 高速电路接地系统的电源完整性和电磁兼容研究[学位论文]2007
8. 喻忠军 高速电路中的电源完整性研究[学位论文]2005
9. 张木水 高速电路电源分配网络设计与电源完整性分析[学位论文]2009
10. 刘坤 基于手持设备中开关电源的电源完整性设计[学位论文]2007

引证文献(1条)

1. 乔洪 高速PCB信号完整性分析及应用[学位论文]硕士: 2006

本文链接: http://d.wanfangdata.com.cn/Thesis_Y739602.aspx