



摘 要

本论文以西安电子科技大学电路设计研究所科研项目“数模混合系列集成电路关键技术理论研究与设计”为背景,通过系统设计、电路设计、版图设计和性能仿真验证,完成了一款多化学可编程的智能充电管理芯片 XD2006 的设计。

XD2006 是一款数模混合集成电路芯片。它设计新颖且功能强大,不仅能够自动识别外部电池的化学性质,并根据不同类型的电池采用不同的充电方式,还能够采用外部编程的形式设置电池的快速充电时间。对过放电电池 XD2006 采用先小电流后大电流的安全充电方式。为了避免欠充电和过充电对电池的损坏, XD2006 分别采用多种不同的方式结束对镍电池和锂电池的充电。

本文还对 XD2006 芯片进行了可测性设计。采用管脚复用技术,灵活、巧妙的设计和运用内部电路,在增加很少的内建测试电路的基础上实现了该芯片的可测性。

除此之外,本文还对 XD2006 版图的实现进行了分析和研究。诠释了模拟 IC 版图设计要考虑的关键因素,采用自动布局布线的方法实现了数字部分版图的设计,最后基于国外某公司的 $0.5\mu\text{m}$ CMOS 工艺设计了芯片的版图,并通过了 DRC (电气规则检查)、LVS (版图与电路一致性检查) 验证,对 LPE (寄生参数提取) 结果进行了后级仿真。并已经投片,现正在测试中。

关键词: 多化学 充电管理 数模混合集成电路 可测性设计 版图

ABSTRACT

The paper is based on the project “Theoretical research and design of key techniques for mixed signal IC”. Through systematic design, circuit design, layout design and performance simulation, a programmable multi-chemistry intelligent charge management IC, named XD2006, is introduced in this paper.

XD2006 is a mixed signal IC with novel design and strong functions. It can detect the external battery and adopt different charge modes based on the different sorts of batteries. It can set fast-charge time through external programming. In order to avoid the damage to over-discharged batteries, XD2006 inhibits fast charge until the battery voltage within the defined limits. In order to eliminate undesirable undercharged or overcharged conditions and allow accurate and safe fast charge management, XD2006 can proceed with optimal charging and termination algorithms.

The paper takes into account the design for testability. With the multiple uses of the package pins, and skillful design of the circuit blocks, the testability of the chip is realized only at the cost of adding a test circuit which is very small in scale.

Also, this paper analyses and studies the layout design of XD2006 and annotates the key factors that should be considered in the layout design. Layout of digital circuits is realized with method of auto plane and route. At last, the layout of XD2006 is schemed out based on 0.5 μ m CMOS process, and it passes the DRC and LVS verification. Then the post simulation of LPE netlists is carried out. The design project has passed the acceptance check and taped out. Now the chip is being tested.

Keyword: Multi-Chemistry Charge Management Mixed Signal IC
Design for Testability Layout

第一章 绪论

§ 1.1 充电管理技术的发展

在全球信息化浪潮的推动下,我国的信息技术、电子工业得到了很大的发展,同时信息化技术已渗透到了各个产业部门和人们的日常生活中,各种电器如手机、笔记本电脑、MP3 播放机、DVD 播放机、互联网接入设备、GPS 终端、数码相机、个人数字助理(PDA)等便携式设备都在以极快的速度迅猛发展。

便携式电子设备对电源提出了极高的要求。比如,为了延长蓄电池的供电时间,除了提高电源的效率外,还必须降低待机功耗;为了缩小便携式电子设备的体积,除了提高开关电源的频率,增加电源产品的功率密度外,还必须缩小电源管理器件的体积;为了改善便携式电子设备的性能,除了提高电源的稳压精度外,还必须降低电源的噪声。

为了满足便携式电子产品的要求,电源技术也得到了迅速发展。近年来,镍镉/镍氢电池和锂离子电池等可充电电池的能量质量比、能量体积比等都有显著的提高。为了适应便携式电子设备超小型化和超薄化的要求,国内已推出方形、扣式锂离子电池和锂聚合物电池,而且随着需求量的不断增加,镍氢和锂离子电池的价格大幅度下降。

由于可充电电池的大量使用,可充电电池的充电管理也成为非常重要的问题。实践证明,对不同类型的可充电电池(如镍镉、镍氢和锂离子电池)应采用不同的充电控制方法,而对可充电电池的适当充电方法,不仅可以确保可充电电池充足电,而且还可以有效的延长它的使用寿命,反之,则会使其发挥不了它应输出的电量,给电池使用者带来不便,严重时,还会给用户带来不应有的损失。

为了满足各类新型电池快速充电的要求,世界各国都在研究各类电池的充电技术,作为便携式电子产品电源的选择,不管是镍镉/镍氢电池还是锂离子电池无疑都具有很广阔的发展前景,许多著名的集成电路厂家如 MAXIM、TI、LINEAR、NATIONAL 等都推出了充电器专用的充电控制集成电路。

在市场上的各种智能型充电器基本都是采用国外的芯片,或者功能比较简单,或者价格居高,不能完全满足用户的需要。由于移动电子产品的普及,国内的各种充电管理芯片有很大的发展空间。

在今后的充电管理 IC 的发展上,如何为电池充足电、如何充分的保护电池、如何延长电池的寿命仍将是未来的充电管理 IC 发展的主要要求,在此基础上,应该向着高集成度、高控制精度、多功能以及智能化的方向发展。

§ 1.2 论文的主要工作和章节安排

本论文设计工作来源于西安电子科技大学电路设计研究所的科研项目“数模混合系列集成电路关键技术理论与设计”，设计了一款适用于镍镉/镍氢电池和锂离子电池充电的开关型智能充电管理芯片。

论文结合科研项目，基于 $0.5\mu\text{m}$ CMOS 工艺，利用 Cadence 和 HSPICE 等 EDA 软件，设计了一款高精度多化学开关型电池充电管理芯片——XD2006，芯片功能齐全，满足了镍镉/镍氢电池和锂离子电池对充电电流和电压的严格要求，实现了精度达 $\pm 0.75\%$ 的高精度电压控制和 $\pm 10\%$ 的电流控制。本论文主要完成的工作为：

研究镍镉/镍氢电池和锂离子电池的充电特性及其优缺点，并根据镍镉/镍氢电池和锂离子电池充放电特性确定了充电管理芯片 XD2006 的功能和电特性指标。

从充电管理芯片的工作原理出发，完成了芯片 XD2006 的系统结构设计，对具体电路进行了详细的设计。芯片设计新颖，功能齐全。首先包括多种电池充电保护方式：温度保护、大电流限制等；其次它还具有多种充电方式：预充电、恒流充电、恒压充电、补足充电、维护充电；还包括多种充电终止方式：最大充电时间限制、过温关断、最小充电电流关断、 $-\Delta V$ 检测；除以上功能以外还有锂离子电池再充电功能和充电状态指示等。

利用管脚复用技术，在增加很少内部电路的基础上实现了芯片的可测性。

利用 Cadence、HSPICE 等 EDA 软件对各个模块和芯片整体功能特性进行了仿真验证，仿真考虑了工艺漂移，仿真结果满足设计指标。

最后完成了芯片版图的设计及后仿真验证，并已投片。

论文共分为五章。第一章是绪论，简要介绍电池及充电管理芯片的现状和发展趋势，以及论文工作和章节安排；第二章简要介绍镍镉/镍氢电池和锂离子电池的相关知识及其充放电特性；第三章介绍充电管理芯片 XD2006 的工作原理，确定了 XD2006 的功能特性和性能指标，设计了芯片的整体架构；第四章对充电管理芯片 XD2006 的主要子模块电路进行设计及仿真验证；第五章对芯片 XD2006 的可测性设计作了简要的分析；第六章对 XD2006 版图的设计进行简单描述；最后是结束语。

第二章 镍镉/镍氢和锂离子电池原理及特性

电池是一种能提供直流电的装置或系统,也可以说电池是将化学能、热能、光能等各种形式的能量转化为电能的装置。自从人们第一次通过电池获得了比较稳定而持续的电流后,电池便具有了划时代的意义。通过人们的不断努力,开发了一代又一代的新型电池,从普遍使用的干电池到新型的镍镉(NiCd)电池、镍氢(NiMH)电池、锂(Li)电池、锂离子(Li-ion/Li⁺)电池、锂聚合物电池和燃料电池等,电池在容量、体积、使用方便程度方面都有了很大的突破。

按照电池提供电能的方法不同,电池可以大致分为化学电池和物理电池两大类。化学电池是将化学能直接转换为电能的一种装置。

从电池的使用角度,又可以将化学电池分为原电池(一次电池)、蓄电池(储能电池或二次电池)、储备电池和燃料电池。一次电池是一种只能一次使用而不能再充电的电池。常见的一次电池主要有:锌二氧化锰干电池、镁电池、碱性锌锰电池、锂二氧化锰电池等。而蓄电池是可以使和放电电流相反方向的电流通过电池、并可以使电池再充电到原来状态的电池,因此又叫储能电池或二次电池。铅酸电池、镍镉电池、镍氢电池和锂离子电池等都是典型的二次电池^[1]。

根据 XD2006 芯片的特点,本章主要介绍了镍镉电池、镍氢电池和锂离子电池等二次电池的原理及特性。

§ 2.1 镍镉/镍氢电池介绍

1、镍镉/镍氢电池的发展

1899年,Waldmar Jungner在开口型镍镉蓄电池中,首先使用了镍极板,几乎与此同时,Thomas Edison发明了用于电动车的镍铁电池。遗憾的是,由于当时这些碱性蓄电池的极板材料比其它蓄电池的材料昂贵得多,因此实际应用受到了极大的限制。

后来,Jungner的镍镉电池经过几次重要改进,性能明显改善。其中最重要的改进是在1932年,科学家在镍电池中开始使用了活性物质。他们将活性物质放入多孔的镍极板中,然后再将镍极板装入金属壳内。镍镉电池发展史上另一个重要的里程碑是1947年密封型镍镉电池研制成功。在这种电池中,化学反应产生的各种气体不用排出,可以在电池内部化合。密封镍镉电池的研制成功,使镍镉电池的应用范围大大增加。

密封镍镉电池效率高、循环寿命长、能量密度大、体积小、重量轻、结构紧

凑，并且不需要维护，因此在工业和消费产品中得到了广泛应用。

随着空间技术的发展，人们对电源的要求越来越高。70年代中期，美国研制成功了功率大、重量轻、寿命长、成本低的镍氢电池，并且于1978年成功地将这种电池应用在导航卫星上。镍氢电池与同体积地镍镉电池相比，容量可提高一倍，而且没有重金属镉带来的污染问题。它的工作电压与镍镉电池完全相同，体积相当，工作寿命长，而且它具有良好的过充电和过放电性能。近年来，镍氢电池受到世界各国地重视，各种新技术层出不穷。镍氢电池刚问世时，要使用高压容器储存氢气，后来人们采用金属氢化物来储存氢气，从而制成了低压甚至常压镍氢电池。1992年，日本三洋公司每月可生产200万只镍氢电池。目前我国生产的镍氢电池综合性能已经达到了国际先进水平。

2、电池相关参数指标

(1) 电池电压

在电池的电性能上，常用电压来衡量电池的属性和性能，一般单体电池的额定电压为1.5V，镍镉电池和镍氢电池为1.2V，而锂离子电池为3~3.7V，相当于3节镍镉或镍氢电池串联的电压，一些常见的不可充电的锂电池的电压是3V。

(2) 电池的容量(C)

电池的容量是指在电池一定放电条件下放电至终止电压时，可以放出的总电量，也就是电池存储电量的多少，电池容量用电流和时间的乘积来表示，常用单位为毫安时(mAh)、安时(Ah)。

在相同电压的条件下，衡量一个电池好坏的标准是电池容量与电池体积或电池质量之比。同样体积或质量的电池，容量越高越好；同样容量的电池，体积越小，重量越轻越好。电池的质量比能量就是指单位质量的电池能提供的瓦时(Wh)数，用符号 $\text{Wh} \cdot \text{g}^{-1}$ 、 $\text{Wh} \cdot \text{kg}^{-1}$ 表示，而体积比能量就是指单位体积的电池能提供的瓦时数，用符号 $\text{Wh} \cdot \text{L}^{-1}$ 表示^[1]。

(3) 内阻

电池的内阻决定于极板的电阻和离子流的阻抗。在充放电过程中，极板的电阻是不变的，但是，离子流的阻抗将随电解液浓度的变化和带电离子的增减而变化。

(4) 充电终止电压

蓄电池充足电时，极板上的活性物质已达到饱和状态，再继续充电，蓄电池的电压也不会上升，此时的电压称为充电终止电压。镍镉电池的充电终止电压为1.75~1.8V，镍氢电池的充电终止电压为1.5V。

(5) 放电终止电压

放电终止电压是指蓄电池放电时允许的最低电压。如果电压低于放电终止电压后蓄电池继续放电，电池两端电压会迅速下降，形成深度放电，这样，极板上

形成的生成物在正常充电时就不易再恢复，从而影响电池的寿命。放电终止电压和放电率有关。镍氢电池的放电终止电压一般规定为 1V。

3、镍镉/镍氢电池充电特性

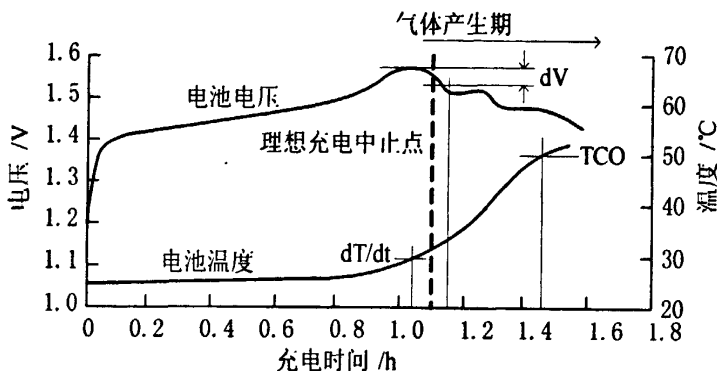


图 2.1 镍镉电池和镍氢电池的充电特性曲线

常见的镍镉电池和镍氢电池的充电特性曲线如图 2.1 所示^[2]。

镍镉电池和镍氢电池充电需要控制其充电电流、充电电压和/或电池温度，需要电池温度检测电路和充电电流调节控制电路。

电池是密封的，在充电过程中，电池的电压逐渐升高，由于电化学作用，电池内部的温度 (T) 和压力 (Pa) 都会随充电时间而相应升高。重要的问题是电池充电到什么程度时应停止充电或改为涓电流充电，而此时不会因为充电而对电池造成损坏，或电池内部温度、压力太高引起电池爆炸。对镍镉电池而言，当充电电压升高到最高点后，又会下降（如图 2.1 所示），即 $\Delta = dV/dt$ 为负时，表示镍镉电池充电已充满；对镍氢电池而言， $\Delta = dV/dt = 0$ 时，表示镍氢电池充电已充满。在充电技术中一般称为“ $-\Delta V$ 检测”或“ $0\Delta V$ 检测”。

由于镍氢电池对温度比较敏感，因此在镍氢电池的充电过程中，也应检测它的温度 (T)，当温度过高时应终止充电，防止发生爆炸。

4、充电过程与充电方法

电池的充电过程通常可分为预充电、快速充电、补足充电、维护充电四个阶段。

对长期不用的或新电池充电时，一开始就采用快速充电，会影响电池的寿命。因此这种电池应先用小电流充电，使其满足一定的充电条件，这个阶段称为预充电。

快速充电就是用大电流充电，迅速恢复电池电能。快速充电速率一般在 1C 以上，快速充电时间由电池容量和充电速率决定。

快速充电分为恒流充电和脉冲充电两种，恒流充电就是以恒定的电流对电池充电，脉冲充电则是首先用脉冲电流对电池充电，然后让电池放电，如此循环。

放电脉冲的幅值很大、宽度很窄。通常放电脉冲的幅值为充电脉冲的 3 倍左右。虽然放电脉冲的幅值与电池容量有关，但是与充电电流幅值的比值保持不变，脉冲充电时，充电电流波形如图 2.2 所示。

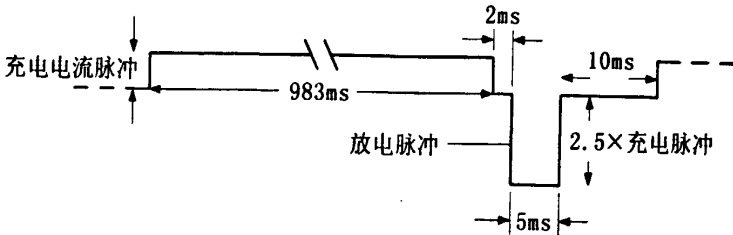


图 2.2 脉冲充电电流波形

采用某些快速充电终止法时，快速充电终止后，电池并未充足电。为了保证电池充入 100% 的电量，还应加入补足充电过程。补足充电速率一般不超过 0.3C。在补足充电过程中，温度会继续上升，当温度超过规定的极限时，充电器转入维护充电状态。

存放时，镍镉/镍氢电池电量都会以一定的速率减小，为了补偿电池因自放电而损失的电量，补足充电结束后，充电器应自动转入维护充电过程。根据电池的自放电特性，维护充电速率一般都很低。只要电池接在充电器上并且充电器接通电源，在维护充电状态下，充电器将以某一充电速率给电池补充电荷，这样可使电池总处于充足电状态。

5、快速充电终止控制方法

采用快速充电法时，充电电流为常规充电电流的几十倍。充足电后，如果不及时停止快速充电，会造成电池容量下降，严重时还会引起爆炸。因此，为了保证电池充足电又不过充电，可以采用定时控制、电压控制和温度控制等多种方法结束快速充电。

(1) 定时控制

当采用 1.25C 充电速率时，电池 1 小时即可充足。因此，根据电池的容量和充电电流，很容易确定所需的充电时间。这种控制方法最简单，但是由于电池的起始充电状态不完全相同，有的电池充不足，有的电池过充电，因此，只有充电速率小于 0.3C 时，才允许采用这种方法。

(2) 电压控制

在电压控制法中，最容易检测的是电池的最高电压。常用的电压控制法有：

最高电压控制 (V_{\max}) 从充电特性曲线可以看出，电池电压达到最大值时，电池即充足电。充电过程中，当电池电压达到规定值后，应立即停止快速充电。

电压负增量 ($-\Delta V$) 由于电池电压的负增量与电池组的绝对电压无关，而

且不受环境温度和充电速率等因素影响，因此可以比较准确地判断电池已充足电。

电压零增量 ($0\Delta V$) 镍氢电池充电器中，为了避免等待出现电压负增量的时间过久而损坏电池，通常采用 $0\Delta V$ 控制法。

(3) 温度控制

为了避免损坏电池，电池温度过低时不能开始快速充电，电池温度上升到规定数值后，必须立即停止快速充电。常用的温度控制方法有：

最高温度 (V_{\max}) 充电过程中，通常当电池温度达到 45°C 时，应立即停止快速充电。电池的温度可通过与电池装在一起的热敏电阻来检测。

升温 (ΔT) 为了消除环境温度的影响，可采用温升控制法。当电池的温升达到规定值后，立即停止快速充电。为了实现温升控制，必须用两只热敏电阻，分别检测电池和环境温度。

温度变化率 ($\Delta T/\Delta t$) 镍镉/镍氢电池充足电后，电池温度迅速上升，而且上升速率 $\Delta T/\Delta t$ 基本相同，当电池温度每分钟上升 1°C 时，应当立即终止快速充电，这种充电控制方法近年来被普遍采用。

最低温度 (V_{\min}) 当电池温度低于 10°C 时，采用大电流快速充电，会影响电池的寿命。在这种情况下，充电器应自动转入涓流充电，待电池的温度上升到 10°C 后，再转入快速充电。

§ 2.2 锂离子电池介绍

1、锂离子电池进展

为了满足便携式产品对电池的轻、薄、短、小且容量大的要求，各国都投入了巨大的人力和财力开发新型电池。目前最理想的新型蓄电池就是锂电池，现在锂干电池在手表、计算器等领域已经占有稳定的市场，各种不同形式的锂干电池都已经大批量的生产。

早期的圆柱型金属锂蓄电池，阴极采用 MnO_2 ，阳极采用金属锂。这种金属锂蓄电池的能量密度较高，但安全性能较差。金属锂蓄电池放电时，阳极的金属锂溶解成锂离子，充电时锂离子还原成锂，在阳极析出。反复充放电时，金属锂反复溶解和析出，在阳极上将形成枝状结晶的金属锂。这种枝状结晶容易刺破阳极和阴极之间的隔板，金属锂蓄电池内部将因局部短路而发生激烈反应，有可能造成爆炸。

为了保证安全工作，近年来，金属锂蓄电池开始被锂离子电池取代。锂离子电池的阳极采用能吸藏锂离子的碳电极（碳锂化合物），放电时，锂变成离子，脱离电池阳极，到达电池阴极。锂离子在阳极和阴极之间移动，电极本身不发生变化。这是锂离子电池与金属锂蓄电池本质上的差别。

2、锂离子电池充电特性

锂离子电池在充电过程中，电池的电压和充电电流都会随充电时间而发生变化，其变化规律如图 2.3 所示。

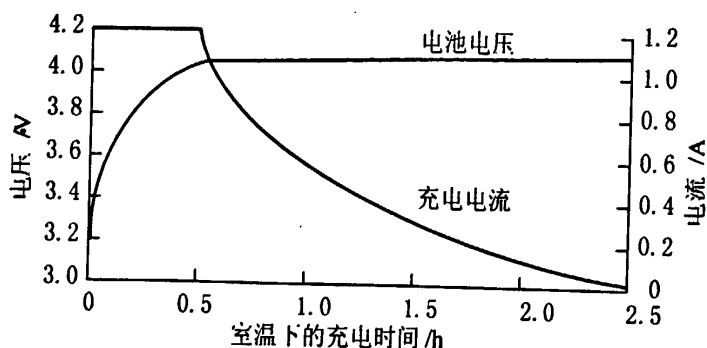


图 2.3 锂离子电池的充电特性曲线

从图 2.3 锂离子电池的充电特性曲线可知，锂离子电池充电需要控制它的充电电压，限制充电电流和精确检测电池电压。单体锂离子电池的充电电压必须严格保持 $4.1\text{V} \pm 50\text{mV}$ ，充电电流通常应限制在 1C 以下。若充电电压超过 4.5V ，可能造成锂离子电池永久性损坏。锂离子电池通常都采用恒流转恒压充电模式。首先用 1C 充电速率充电，在此过程中，充电电流稳定不变，电池电压逐渐上升。当单体锂离子电池的电压上升到 4.1V （或 4.2V ）时，充电器应立即转入恒压充电，充电电压波动应控制在 50mV 以内。充电电流逐渐减小，当电池充足电时，电流下降到涓流充电电流。

3、锂离子电池的充电过程与充电方法

电池的充电过程通常可分为预充电、恒流充电、恒压充电三个阶段。

锂离子电池不像镍镉/镍氢电池那样需要补足充电和涓流充电，当锂离子电池充电结束后，充电器会不断的检测电池的电压，如果电池电压下降到设定的锂离子电池的再充电阈值时，充电器会开始新一轮的充电。

4、锂离子电池的充电终止方式

锂离子电池的充电终止方式主要包括定时控制、温度控制、电流控制。

定时控制主要用于恒压充电阶段，当进入恒压充电阶段后，启动定时器，定时器时间到后快充电终止。

温度控制包括最高温度和最低温度控制。

电流控制：在恒压充电阶段锂离子电池的电压会保持为 4.1V （或 4.2V ），而充电电流会不断的减小，如果充电电流达到了最小电流关断阈值时，则认为电池已经充足电。

§ 2.3 多功能充电电路结构

1、电池对充电电路的要求

对充电电路的要求是：安全、效率高、功能全、使用方便和价格适当。

快速充电电路（1C~4C）的安全性非常重要，结束快速充电的检测方法要精确并可靠，以防止电池过充电^[8]。现在面市的一些充电电路用控制集成电路还设有充电时间定时器作为一种附加的充电安全保护措施。

功能齐全的充电电路一般具有电池电压检测功能。如果电池电压过低应先采用涓流充电，再进行快速充电，并在每个电池的充电过程中都应有发光二极管（LED）指示。功能齐全的充电电路还应设有充电率设定（选择）、充电电池个数设定、涓流充电电流大小设定、定时器定时时间设定、电池充电前电池状态测定（如待充电电池好坏及待充电电池是否安装到位等）等功能，并可以根据电池温度来选择相应的充电参数（电池温度过低时不宜使用快速充电）^[9]。

但是，要设计一种充电器电路，使它同时能适应锂离子电池、镍镉电池和镍氢电池充电就不一定是一件容易的事了。首先，充电器电路能通过某种方式（如选择开关、存储器等）来识别电池种类；其次，还应采用精密的基准电压源来为锂离子电池充电设计限充电电压保护电路；第三，为锂离子电池充电还应设计恒电流及恒电压（CCCV）充电控制算法^[5]。

2、充电电路的电路结构

一个功能较完善的充电电路的结构框图如图 2.4 所示，它主要由充电电路控制部分及供电电源部分组成。

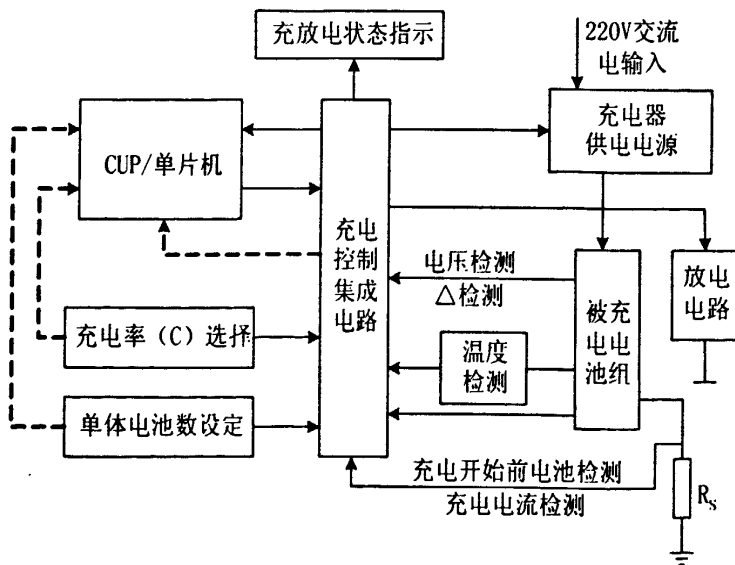


图 2.4 充电电路的结构框图

图 2.4 中各模块功能简单描述如下:

(1) 充电控制集成电路: 读取各个外围功能模块的输入信号, 根据不同的电池选择不同的充电方式、充电电流、充电电压以及充电结束方式等等。

(2) 充电器供电电源: 包括 AC/DC 转换器和 DC/DC 转换器两部分。首先通过一个 AC/DC 转换器产生低压直流电源, 再根据被充电电池或电池组的需要由充电控制集成电路控制低压直流电源进行 DC/DC 转换, 产生当前被充电电池或电池组所需的电流和电压。

(3) 充放电状态指示: 对各种充电状态包括预充电、涓流充电、快速恒流充电、快速恒压充电、补足充电和维护充电的显示以及放电状态的显示。通常使用一个发光 LED 通过不同的方式显示 (亮、灭、闪烁等), 也可采用多个发光 LED 分别显示。

(4) CPU/单片机: 由于 MCU/CPU 内部有 ADC 电路, 所以电池电压可以直接输入 ADC 电路端口, 经软件检测处理充电电路的 Δ 、 dT/dt 和温度 (T) 等参数。同样, 由软件来控制电池充电、放电过程及作出相应指示。

(5) 放电电路: “记忆效应”是指电池在充电前, 电量没有被完全用尽, 久而久之会引起电池容量的降低, 产生“记忆效应”的电池, 当放电深度为 50% 时, 电池就不再发挥作用了。正是由于某些电池有“记忆效应”, 因此在给这种电池充电前应先检测电池的容量及放电深度, 如果电池没有达到完全放电, 则需要用放电电路给电池放电, 一般达到放电终止电压时应立即停止放电工作, 重新开始电池充电。

(6) 温度检测: 由于电池依靠化学反应使能量发生转换, 无论是放电还是充电, 内部都在不断地进行化学反应, 当外界环境温度升高时, 会加剧内部能量转换, 使电池老化, 最终使电池寿命大大缩短。因此, 应尽量防止电池过热或过冷, 特别是在充电过程中, 如果电池过热或过冷都应该及时的停止充电, 防止电池的寿命缩短。

(7) 电压检测及电流采样: 对于任何电池的充电都应该通过电压和电流共同控制。电压检测包括电池过放电电压、电池最大电压以及 Δ 电压检测等等。电流检测主要是控制电池不同阶段的最大充电电流, 检测恒压充电时电池的最小充电电流, 以结束恒压充电。图中电阻 R_S 为电流采样电阻。

上述电池充电电路具有外部可编程设置, 能够根据不同的电池选择不同的安全充电方式。由于充电、放电过程并不复杂, 所以对 MCU/CPU、MCU/CPU 的 ROM 及 RAM 的要求也不高, 利用 MCU/CPU 及相应的 ROM 和 RAM 可以编写出和各种不同类型的充电电池特性相匹配的充电控制程序, 相应充电电路的特性也更为实用、可靠。

第三章 XD2006 系统设计

§ 3.1 XD2006 的功能

XD2006 是可用于镍镉、镍氢以及锂离子电池充电的充电管理芯片。它可以检测待充电电池的类型、电池充电是否过热、损坏或短路，并进行相应的电池优化充电和终止充电控制，可以避免电池由于欠充电、过充电而造成的损坏，实现电池的安全可靠快充电。

XD2006 可以根据电池的不同类型，采用 $-\Delta V$ 检测（仅对镍镉和镍氢电池）、最小充电电流检测（对锂离子电池）、充电电池最高温度检测和设置最长充电时间等方法来判断电池是否充足电。

当电池充电电压、电池温度达到充电电路设定值时，XD2006 可以自动终止对电池的快充电。如果电池电压低于所设置的电池电压下限值，XD2006 先采用涓流充电方式对电池充电。对镍镉及镍氢电池 XD2006 提供经优化的充电上限电压检测和可选延时参数的延时充电功能，以确保电池充足电。

XD2006 为 8 引脚 TSSOP 封装，引脚排列如图 3.1 所示^[10]，各引脚功能为：

SNS 引脚：电池充电、放电电流检测信号输入引脚。通过一个电流检测电阻来检测电池充电、放电电流。

VSS 引脚：芯片地。

LED 引脚：电池充电状态指示输出引脚。通过外接发光二极管的是否闪烁、发光和不发光来指示电池充电状态。

BAT 引脚：引脚 BAT 通过接在被充电电池两端的电阻分压电路来检测电池充电电压。

TS 引脚：充电电池温度检测信号输入引脚。利用和一个负温度系数热敏电阻（NTC）组成的电阻分压器来设定被充电电池温度的上、下限值。

RC 引脚：充电定时信号输入引脚。用以设定电池最长充电时间、涓流充电脉冲宽度、充电延迟时间和开始或终止电池的充电工作。

VCC 引脚：芯片供电电源输入引脚。

MOD 引脚：芯片调制控制信号输出引脚。引脚 MOD 为高电平时，对电池充电，低电平时，停止充电功能，利用它的输出信号的占空比的不同可以控制电池的充电电流的大小。

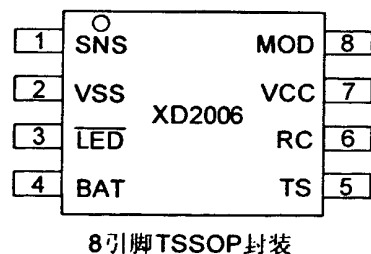


图 3.1 XD2006 封装及引脚结构

§ 3.2 XD2006 的工作原理

镍镉、镍氢及锂离子电池需要精确控制最大化学电池容量，防止过量充电，因为，过量充电不仅会减小电池的使用寿命，而且会对终端设备造成物理伤害。针对上述情况，XD2006 采用了多种方法确保精确的为电池充电。图 3.2 为 XD2006 系统控制功能框图，其控制过程分析如下所述。

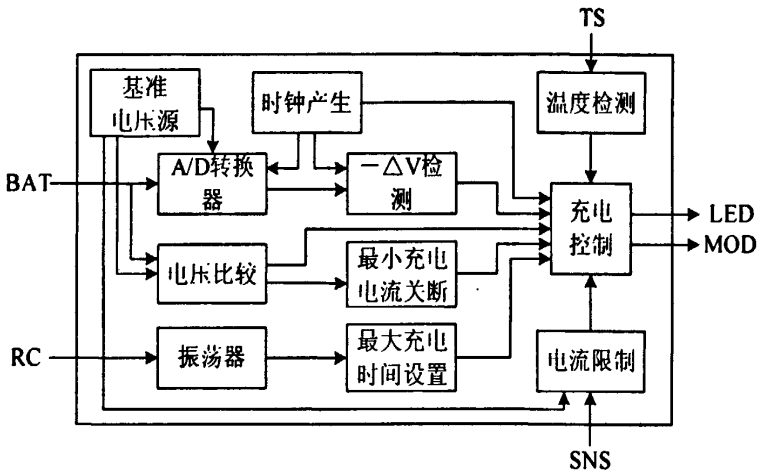


图 3.2 芯片 XD2006 控制功能框图

首先由内部时钟产生电路和外部可编程振荡器共同作用到时钟脉冲发生器，产生时钟信号，用来控制模/数转换器、 $-\Delta V$ 检测模块及其它相关单元电路，并使之同步工作。XD2006 通过瞬间中断充电电流来对电池充电电压进行采样，以求采样信号的精确。采样电压从 BATT 引脚进入电路内部，经模/数转换后送入 $-\Delta V$ 运算器处理，并将运算结果送入充电控制单元，随时控制充电进行成千上万次采样、运算、控制，使其达到精确控制的目的。

图 3.3 是芯片 XD2006 工作流程图。

1、充电工作状态的初始化

当 XD2006 检测到下列情况时，开始一个充电工作周期。

- (1) XD2006 的 VCC 引脚加电。
- (2) 更换充电电池。
- (3) 充电器脱离休眠工作状态。
- (4) 电池电量被消耗，到达再充电阈值（仅对锂离子电池有效）。

充电工作状态初始化后，XD2006 进入充电工作方式设置的工作模式。XD2006 的充电工作方式设置基于被充电电池的电压和温度。如果引脚 BATT 的电压低于内

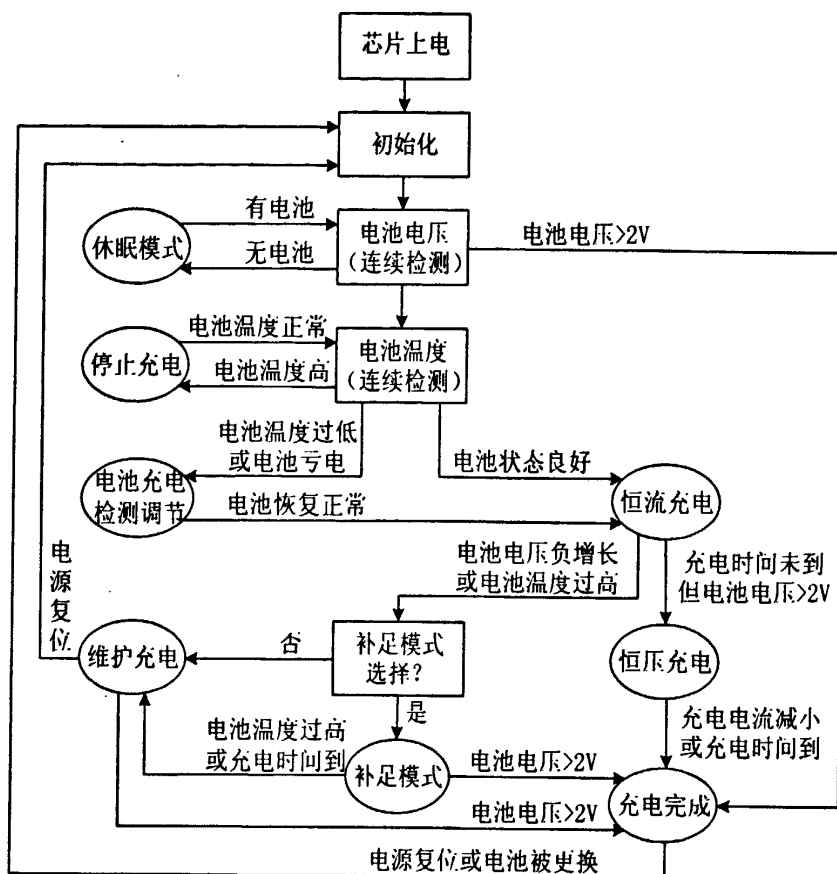


图 3.3 芯片 XD2006 工作流程

部过放电阈值 V_{LBAT} ，XD2006 进入电池充电调节状态，此时，MOD 引脚输出高电平，对电池进行每秒一次的涓电流充电，涓电流充电的脉冲宽度可以外接设置，由连接至 RC 引脚的电阻 R 值决定。

为了安全起见，一旦出现电池温度过高的情况时 ($V_{TS} < V_{HTF}$)，充电器终止涓流充电工作。当电池温度和电压在正常范围内时，XD2006 进入电池正常快速充电工作状态。

2、被充电电池种类的判定

在开始进行电池快速充电时，通过检测被充电电池的电压，XD2006 可以实现检测被充电电池类型的功能。如果 BAT 引脚的输入电压上升到其内部设置的参考电压 V_{MCV} 时，则认为被充电电池是锂离子电池，反之则认为被充电电池是镍镉/镍氢电池。

芯片 BAT 引脚的输入电压由外接电池分压电阻 R_{B1} 和 R_{B2} 决定(见图 3.6 采用电阻分压网络的一 ΔV 检测电路)。在多种类型的电池充电应用场合，只要使被充电的镍镉/镍氢电池的最大充电电压低于被充电的锂离子电池的电压值，那么就可以采用一个公共的电阻分压电路，否则，需采用不同的电阻分压电路，以适应不同类型的充电电池的需要。

当被充电电池的类型确定后, XD2006 通过适当的充电方式实现对被充电电池的充电方式控制 (见表 3.1)。

表 3.1 不同电池的充电控制

电池类型	镍镉/镍氢电池	锂离子电池
充电控制功能	充电检测 (电池是否正常)	充电检测 (电池是否正常)
	涓电流预充电 (如需要)	涓电流预充电 (如需要)
	恒流充电	恒流充电
		恒压充电
	补足充电 (可选择)	
维护充电		

3、充电终止控制

(1) 电池最长充电时间控制

如图 3.4 所示, 通过 RC 引脚 XD2006 可以设置被充电电池的最长充电时间, 取不同的 R、C 值就可以得到不同的电池最长充电时间值。

镍镉/镍氢电池快速充电最长时间可以利用下式 (3-1) 计算:

$$MTO_{Ni} = R_{MTO} C_{MTO} \times 2^{21} \quad (3-1)$$

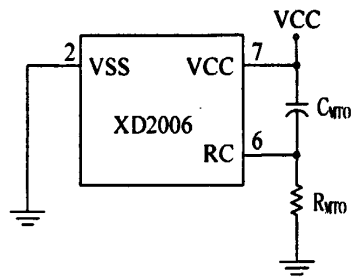


图 3.4 RC 电路的典型连接

对于锂离子电池, 当电池恒流充电结束后, XD2006 会对最大充电时间 MTO 复位, 重新开始计时, 因此可得锂离子电池的快速充电时间。

$$MTO_{Li-ion} = 2 \times R_{MTO} C_{MTO} \times 2^{21} \quad (3-2)$$

(2) 电池温度检测

如图 3.5 所示, 利用一个连接至 VSS 引脚和被充电电池的负温度系数热敏电阻 (NTC), 就可以实现对被充电电池的温度检测。电池的充电温度监控条件见表 3.2。

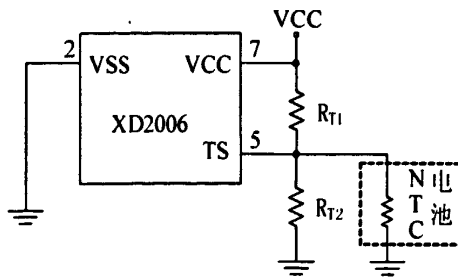


图 3.5 温度检测电路

表 3.2 电池充电温度监控条件

电池温度	监控条件	功能
$V_{TS} > V_{LTF}$	冷电池: 不断的检测	终止快速充电状态, 电池涓流充电开始
$V_{HTF} < V_{TS} < V_{LTF}$	最佳充电工作范围	可以充电
$V_{TS} < V_{HTF}$	电池发热	终止快速充电状态, 不允

		许涓流充电
$V_{TS} < V_{TCO}$	电池温度超过最高允许充电温度	终止电池快速充电或结束充电

在电池的快速充电期间，XD2006 将 TS 引脚输入的山电池温度转换得到的电压与内部的高温阈值电压 (V_{TCO}) 相比较。当引脚 TS 的电压低于这个阈值电压时，充电高温保护功能起作用，控制 XD2006 终止电池充电。

(3) $-\Delta V$ 检测 (镍镉/镍氢电池)

XD2006 采用 $-\Delta V$ 检测方法来判断镍镉/镍氢电池是否充足电，它不断采样 BAT 引脚上的电压，而 BAT 引脚上的电压又反映被充电电池的电压 (BAT+)，如果检测到 BAT 引脚的电压比峰值电压下降达 3.8mV 时，XD2006 就结束快速充电。如图 3.6 所示，在充电电池的正极和芯片地 VSS 间的分压电阻 R_{B1} 和 R_{B2} 决定 BAT 引脚的电压。

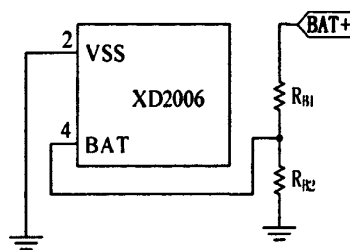


图 3.6 采用电阻分压网络的一 ΔV 检测电路

对于锂离子电池充电，可以利用式 (3-3) 计算电阻 R_{B1} 和 R_{B2} 的取值。

$$\frac{R_{B1}}{R_{B2}} = \left(N \frac{V_{\text{电池}}}{V_{ACV}} \right) - 1 \tag{3-3}$$

式中 N ——被充电电池的串联个数，由生产厂商决定；

$V_{\text{电池}}$ ——被充电电池的标称电压值；

R_{B1} 和 R_{B2} ——分压电阻， N 节相互串联的镍镉或镍氢电池可取

$$R_{B1} = (N - 1)R_{B2} \tag{3-4}$$

在混合式电池充电器的设计中，只要镍镉/镍氢电池的电压低于锂离子电池的电压，就可共用一个电阻分压器，否则需用不同的电阻分压器。

(4) 电池最小充电电流检测法 (对锂离子电池)

XD2006 在锂离子电池的恒压充电阶段检测它的充电电流，当充电电流下降到最大充电电流的 14% 时，终止快速充电。

4、电池充电电流控制

通过 MOD 引脚的输出信号，XD2006 可以实现对充电电流的控制，充电电流控制为开关型，最高开关工作频率可达 500kHz。如图 3.7 所示，通过接至 SNS 引脚的充电电流检测电阻 R_{SNS} ，XD2006 完成对电池充电电流的检测，用以决定电池充电的最大电流值 (I_{MAX})，计算式如 (3-5)。

$$I_{MAX} = \frac{0.05V}{R_{SNS}} \tag{3-5}$$

如果 SNS 引脚的电压低于 0.05V 或高于 -0.05V, XD2006 接通 MOD 引脚输出高电平使得充电电路为电池充电。当 SNS 引脚的电压高于 0.05V 或低于 -0.05V 时, XD2006 使 MOD 引脚输出低电平, 关断电池充电电路, 充电电流逐渐下降或保持为零。

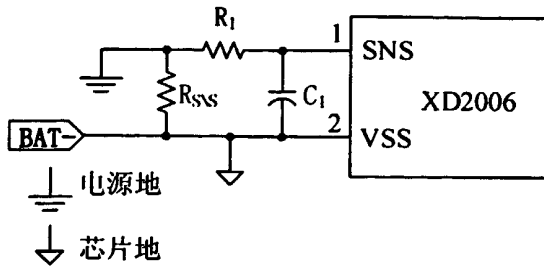


图 3.7 电池充电电流检测电路

§ 3.3 XD2006 的应用

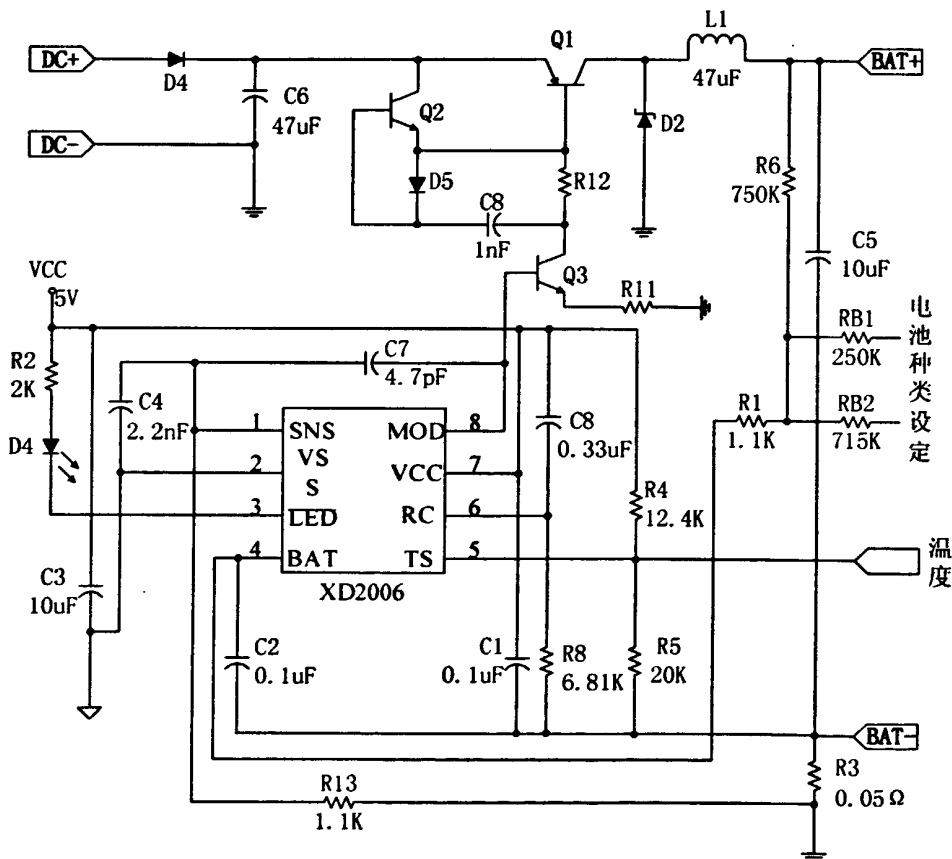


图 3.8 芯片 XD2006 典型应用图

XD2006 是一款开关型电池充电管理芯片, 根据不同的外围电路接法可为 1~3 节锂离子电池充电, 也可为 3~9 节镍镉/镍氢电池充电。直流输入电压范围为 6~16V。典型应用时最大充电电流可达 1A, 也可以通过改变采样电阻的值来增大或减小最大充电电流。XD2006 还可以工作于外同步控制模式, 从而自由的控制电池的充电。

XD2006 芯片可以应用于多种不同的场合, 如桌面充电器、手持终端设备、便携式医疗和测试设备、PDA、消费电子等。

第四章 XD2006 主要模块电路设计及仿真

XD2006 是一款超大规模的数模混合集成电路，电路复杂，模块较多。本章仅详细描述几个主要的功能模块，并给出仿真验证波形。

§ 4.1 上电复位电路设计

上电复位电路的功能有两个，一是进行芯片的欠压关断，二是当芯片上电后产生延迟信号（Power On Reset 简称 POR）控制所有数字模块清零。

1、电路原理分析

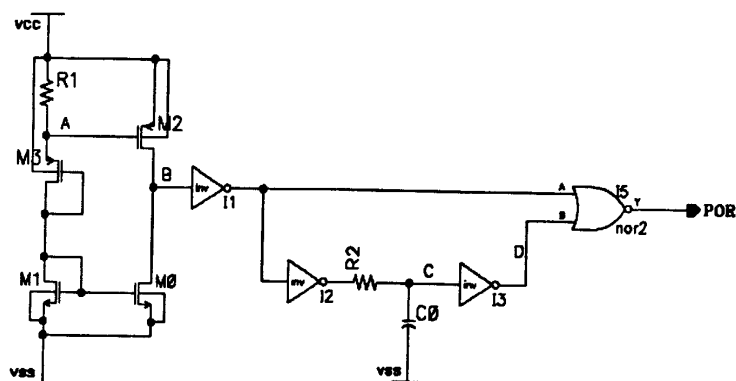


图 4.1 POR 等效电路

如图 4.1 所示，电路利用 MOS 管 M1 和 M3 的 V_{GS} 电压检测电源电压完成欠压关断功能，利用 RC 电路产生电源上电后的延迟。

当电源电压 $VCC < V_{th1} + V_{th3} + V_{th2}$ 时，M1 和 M3 均截止，POR 输出为低；随着电源电压逐渐上升，M0 导通，POR 保持低；当 $VCC \geq V_{th1} + V_{th3} + V_{th2}$ 时，M2 导通且 $I_{DS2} > I_{DS0}$ ，B 点输出高电平。由于在 C 点由电阻 R2 和电容 C0 组成的 RC 电路产生延迟，C 点电位缓慢上升，D 点电位保持高电平，此时 POR 输出保持低电平不变；当 C 点电位达到反相器 I3 的阈值时，D 点输出由高变为低，POR 输出高电平。完成上电复位^[14]。

2、电路仿真验证

用 HSPICE 软件仿真上电复位电路，仿真波形如图 4.2 所示，图中 (a) 和 (b) 分别为电源电压缓慢上升和电源电压突然上升时上电复位信号 POR 输出随时间变化的波形。由图 (a) 可知，当电源电压 VCC 低于 2.5V 时，POR 输出为低，控制其它数字模块关断；当 VCC 高于 2.5V 时，POR 输出高，完成上电复位。由图 (b) 可知，当电源突然上电时，上电复位电路会产生约 15us 的延迟，以保证其它各数

字模块电路均能够在电源电压正常后复位。

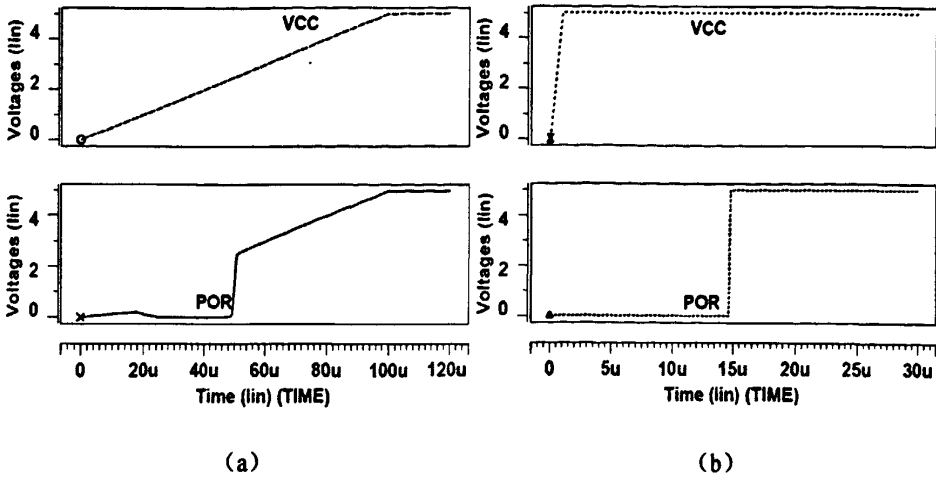


图 4.2 输出 POR 与输入电源电压 VCC 关系

§ 4.2 基准电压电路设计

基准电压模块是充电管理芯片非常重要的部分，基准电压的大小、精度及准确性直接决定了充电电流和电压的精确性，因此设计精度高的基准是能够对电池准确且安全的充足电的最基本条件。

本文利用带隙基准原理产生一路随电源电压和温度变化非常小的电压基准，它的精度能够达到 $\pm 0.75\%$ 。

1、带隙基准电压源的基本原理

带隙基准电压源的基本原理是通过具有正负温度系数的参数相抵消来提供稳定的具有低温度系数的输出电压。

图 4.3 为带隙基准电路的原理图，在室温下，二极管 BE 结的正向导通压降 V_{BE} 为负温度系数，大约为 $-2.2\text{mV}/^\circ\text{C}$ ，不同 BE 结之间的电压差产生等效热电压 V_T 为正温度系数，大约为 $+0.086\text{mV}/^\circ\text{C}$ ，由于 V_{BE} 和 V_T 的温度系数相反，将 V_T 乘以常数 K 与 V_{BE} 电压叠加，并适当的调节系数 K 的值，就可以得到近似零温度系数的基准电压^[11]。

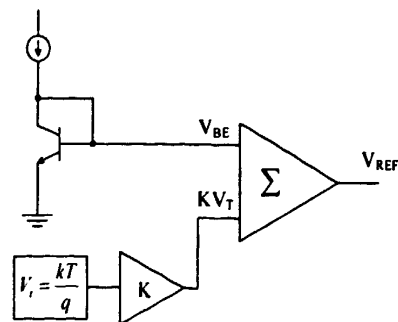


图 4.3 带隙基准电路原理图

2、XD2006 基准结构分析

图 4.4 为 XD2006 基准电路所采用的电路结构图^[12]，整个电路构成一个负反馈系统。该电路中晶体管 Q1 和 Q2 构成了整个电路的核心，实现了 V_{BE} 和 V_T 的线性叠加，获得低温度系数的输出电压基准 V_{REF} ^[13]。运算放大器 A_1 实现 A、B 两

点电压相等。

晶体管 Q2 发射极面积取为 Q1 的 n 倍，且 $R_1 = R_2$ 。假设晶体管基极电流为零，运算放大器 A1 的增益足够大，使得 A、B 两点电压相等，即 $V_A = V_B$ ，则

$$V_B = V_{cbQ1} = V_{cbQ2} + I_A \times R_3 \quad (4-1)$$

$$\text{由 } \Delta V_{be} = V_T \ln n \quad (4-2)$$

将式 (4-2) 代入式 (4-1) 可得 Q2 支路电流为：

$$I_A = \frac{V_T \ln n}{R_3} \quad (4-3)$$

因此得输出电压 V_{REF} 为：

$$\begin{aligned} V_{REF} &= V_{cbQ2} + I_A \times (R_1 + R_3) \\ &= V_{cbQ2} + \frac{(R_1 + R_3) \ln n}{R_3} V_T \end{aligned} \quad (4-4)$$

适当选取 R_1 和 R_3 的比例以及 n 的值即可得到近似零温度系数且不随电源电压变化的基准电压^[15]。

3、XD2006 电压基准源具体电路实现

电路如图 4.5 所示 XD2006 电压基准具体电路。BIAS1 和 BIAS2 为共源共栅

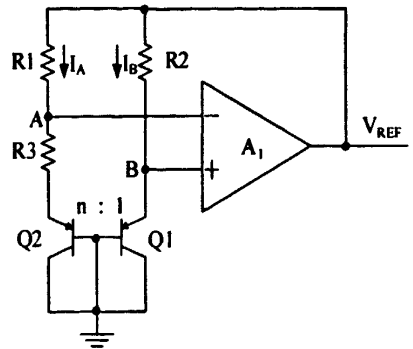


图 4.4 带隙基准电路结构图

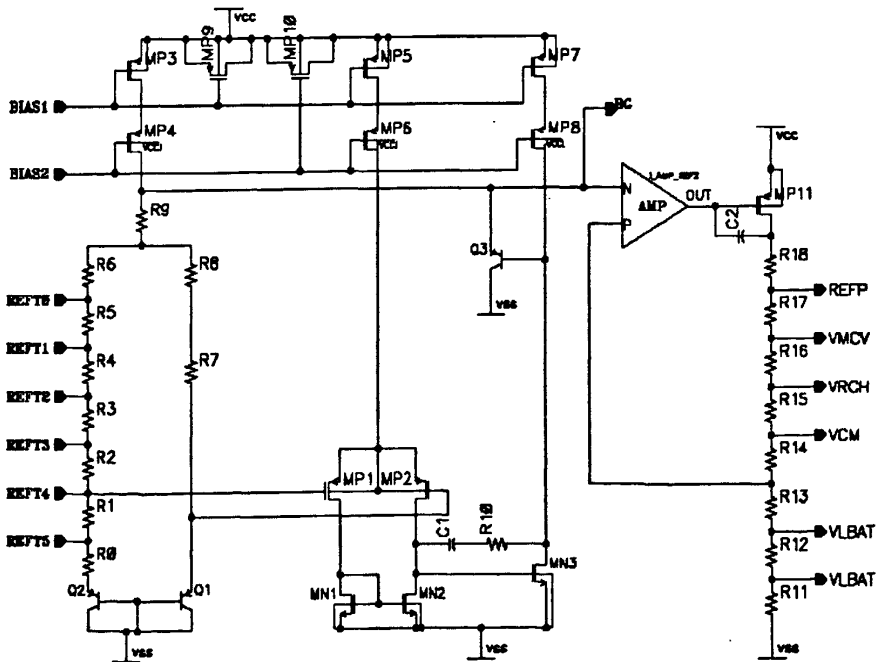


图 4.5 带隙基准具体实现电路

(cascode) 电流偏置, 用以提高整个基准的电源电压抑制特性。REFT0~REFT5 为调节脚, 用以校正由于工艺造成的基准的偏差。图中 Q1 和 Q2 分别对应图 4.4 中的 Q1 和 Q2。由 Q1、Q2 以及 R0~R9 组成了带隙产生电路, MP1、MP2、MN1、MN2、MN3、C1 和 R10 组成了两级差分运放电路, 差分运放和 Q3 形成负反馈电路, 来稳定电压输出。电路右半部分为缓冲输出, 用来产生系统其它模块所需的不同的基准电压。

4、仿真验证

利用 HSPICE 软件仿真基准电压电路, 图 4.6 是该基准电压电路在电源电压为 5V, 温度范围为 -20°C 到 70°C , 典型情况下的温度特性曲线。

由图 4.6 可以看出, 输出电压的温度系数并不是在整个范围内都为零, 本电路选择在 25°C (常温下) 左右为零, 其它温度时为正或负, 温度在 -20°C ~ 70°C 范围内, 基准电压变化量仅有不到 1mV。

图 4.7 是基准电压电路的瞬态特性曲线, 可以看出基准的启动较快, 并且很稳定。

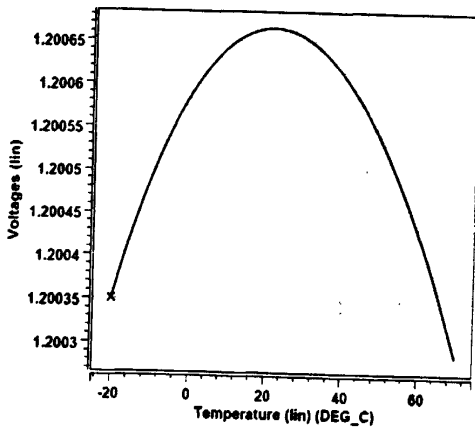


图 4.6 基准电压温度特性曲线

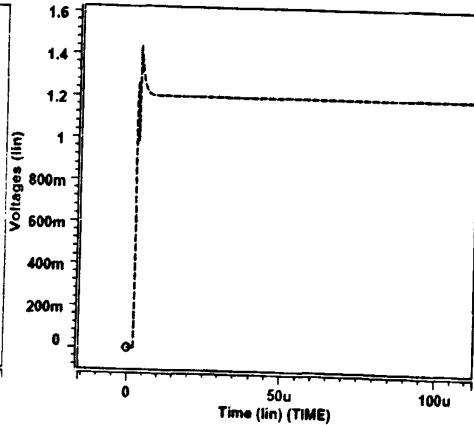


图 4.7 基准电压瞬态特性曲线

§ 4.3 可编程振荡器设计

可编程振荡器 (OSC) 的功能包括两部分: 首先是产生周期与外接电阻 R 成正比的振荡信号; 其次是产生周期为 RC 的振荡信号 (R、C 分别为外接电阻和电容)。产生上述振荡信号的目的分别为设定涓流充电的脉宽和设定最大充电时间 MTO。

1、可编程振荡器结构设计

根据功能的不同将本模块划分为两种工作模式: 模式 1 和模式 2。

模式 1: 在该模式下, 振荡器输出频率由 RC 乘积决定。如图 4.8 (a) 所示。

当 OSC 输出为低, 开关 S2 接通, S0 向上, 电容 C 开始放电, 比较器输入 P

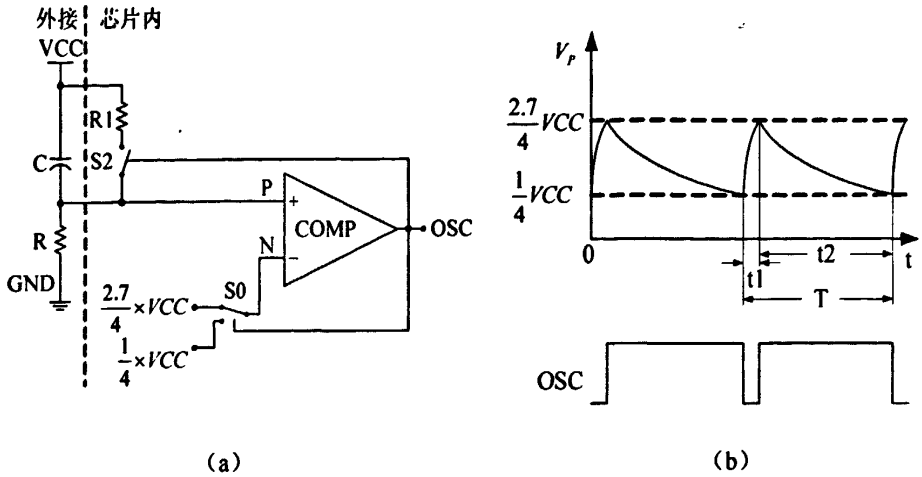


图 4.8 OSC 模式 1 等效框图和波形示意图

端电压逐渐上升。

如图 4.8 (b) 所示, P 点电压上升时间计算如下:

设 P 点电压为 $u(t)$, 则根据三要素法^[16],

$$u(t) - u(\infty) = [u(0) - u(\infty)] \exp\left(\frac{-t}{\tau}\right) \quad (4-5)$$

其中 $u(0) = \frac{1}{4}VCC$, $u(\infty) = \frac{R}{R_1 + R}VCC$,

代入式 (4-5) 得

$$u(t) - VCC = \left(\frac{1}{4}VCC - \frac{R}{R_1 + R}VCC\right) \times \exp\left(\frac{-t}{\tau}\right) \quad (4-6)$$

化简式 (4-6) 得

$$t = -\tau \times \ln\left[\frac{4(R_1 + R)}{3R - R_1} \left(1 - \frac{u(t)}{VCC}\right)\right] \quad (4-7)$$

由于 $\frac{1}{4} \times VCC \leq u(t) \leq \frac{2.7}{4} \times VCC$ (4-8)

$$\tau = (R_1 // R) \times C \quad (4-9)$$

因此可以推得 P 点电压从 $(1/4)VCC$ 上升为 $(2.7/4)VCC$ 的时间为

$$\begin{aligned} t1 &= -\tau \times \ln\left[\frac{4(R_1 + R)}{3R - R_1} \left(1 - \frac{u(t)}{VCC}\right)\right] \\ &= -(R_1 // R) \times C \times \ln\left[\frac{4(R_1 + R)}{3R - R_1} \left(1 - \frac{(2.7/4) \times VCC}{VCC}\right)\right] \\ &= \ln\left[\frac{3R - R_1}{1.3(R_1 + R)}\right] \times \frac{R_1 \times R}{R_1 + R} \times C \end{aligned} \quad (4-10)$$

当比较器输入 P 端电压逐渐上升至大于 N 端电压时, 比较器 COMP 翻转, 输出 OSC 变为高, 开关 S2 打开, S0 向下, 电容 C 开始充电, 比较器输入 P 端电压逐渐下降。

如图 4.8 (b) 所示, P 点电压下降时间为 t_2 , 详细计算如下:
根据三要素法有

$$u(0) = \frac{2.7}{4}V_{CC}, \quad u(\infty) = 0, \quad \tau = RC,$$

代入式 (4-5) 得

$$t = -\tau \times \ln\left(\frac{2.7}{4} \times \frac{u(t)}{V_{CC}}\right) \quad (4-11)$$

因此可以推得 P 点电压从 $(2.7/4)V_{CC}$ 下降到 $(1/4)V_{CC}$ 的时间为

$$t_2 = RC \times \ln\left(\frac{2.7}{4} \times \frac{V_{CC}}{(1/4)V_{CC}}\right) = \ln 2.7 \times RC \quad (4-12)$$

由以上计算可知, 振荡周期

$$\begin{aligned} T &= t_1 + t_2 \\ &= \ln\left[\frac{3R - R_1}{1.3(R_1 + R)}\right] \times \frac{R_1 \times R}{R_1 + R} \times C + \ln 2.7 \times RC \\ &= \left\{ \ln\left[\frac{3R - R_1}{1.3(R_1 + R)}\right] \times \frac{R_1}{R_1 + R} + \ln 2.7 \right\} \times RC \end{aligned} \quad (4-13)$$

由于电阻 R_1 为 MOS 源漏电阻约为 50Ω , 远小于外接电阻 R ($2K < R < 250K$),

$$\ln\left[\frac{3R - R_1}{1.3(R_1 + R)}\right] \times \frac{R}{R_1 + R} \propto \ln \frac{3}{1.3} \times \frac{R_1}{R_1 + R} \propto 0 \quad (4-14)$$

则振荡周期可近似为

$$T \approx R \times C \quad (4-15)$$

根据电阻 R_1 和 R 的值可近似计算出振荡周期的理论误差为

$$\sigma = 0.84 \times \frac{R_1}{R_1 + R} \leq 2.1\% \quad (4-16)$$

模式 2: 在该模式下, 振荡器产生周期与外接电阻 R 成正比的振荡信号, 该振荡信号用于产生涓流充电周期信号的脉宽。如图 4.9 所示, 详细分析如下:

将固定的基准电压信号 V_{REF} 加到外接 R 的两端, 可产生与外接 R 成反比的电流信号 I_{REF} ,

$$I_{REF} = \frac{V_{REF}}{R} \quad (4-17)$$

电流源 I_1 和 I_2 分别为电流 I_0 的镜像电流。由输出 OSC 信号控制开关 S_1 为

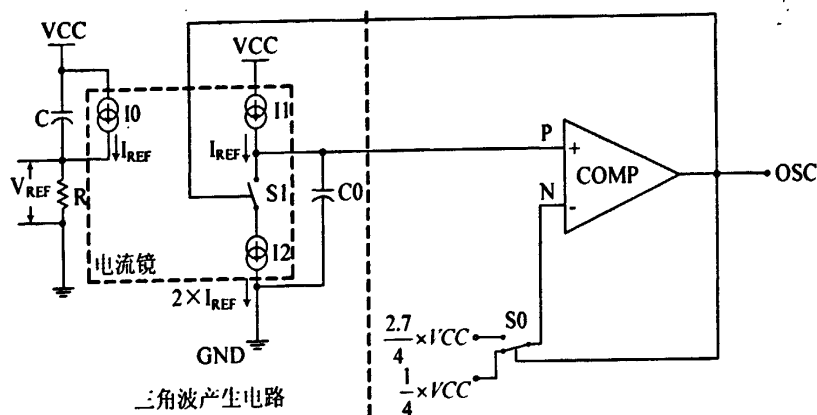


图 4.9 OSC 模式 2 等效框图

电容 C_0 充放电:

当 S_1 打开, 由电流源 I_1 以 I_{REF} 电流为电容充电, 比较器 P 端电压由 $(1/4)V_{CC}$ 上升为 $(2.7/4)V_{CC}$;

此时输出 OSC 翻转, 开关 S_1 闭合, 电流源 I_1 和 I_2 同时作用于内部电容 C_0 , C_0 开始以 I_{REF} 的电流放电, 比较器 P 端电压由 $(2.7/4)V_{CC}$ 下降为 $(1/4)V_{CC}$; 输出周期为 T 的三角波信号。

$$T = C_0 \times \frac{(2.7/4 - 1/4) \times V_{CC}}{V_{REF} / R} \quad (4-18)$$

简化上式得:

$$T = \left(\frac{1.7}{4} \times \frac{V_{CC}}{V_{REF}} \times C_0 \right) \times R \quad (4-19)$$

令式 (4-19) 中前半部分等于 k , 则有

$$T = k \times R \quad (4-20)$$

因此 OSC 输出周期为 kR , 占空比为 50% 的方波信号。

2、实际电路设计

OSC 模块实际电路如图 4.10 所示。结合模式 1 结构框图可知, 二选一选择器 $I10$ 作为开关 S_0 , 选择比较器的上下门限电平; PMOS 管 M_2 作为开关 S_2 , 控制外接电容的充放电。SEL_RC 为模式 1 和模式 2 的选择信号, 控制 OSC 输出两种不同频率的脉冲。当 SEL_RC 为高电平时, 选择模式 1 输出周期为 RC 的脉冲。

具体电路分析如下: 当比较器输出为低时, 选择器 $I10$ 选择高电压 $(2.7/4)V_{CC}$ 作为比较器低端输入, PMOS 管 M_2 导通, RC 端电压很快上升, 当 RC 端电压大于 $(2.7/4)V_{CC}$ 时, 比较器翻转, VO 输出变为高, 从而控制选择器 $I10$ 选择低电压 $(1/4)V_{CC}$, 开关 PMOS 管 M_2 关断, RC 端电压缓慢下降, 直至低于 $(1/4)V_{CC}$ 比较器翻转, 输出重新变为低电平。如此反复, 产生周期近似为 RC 的时钟信号。

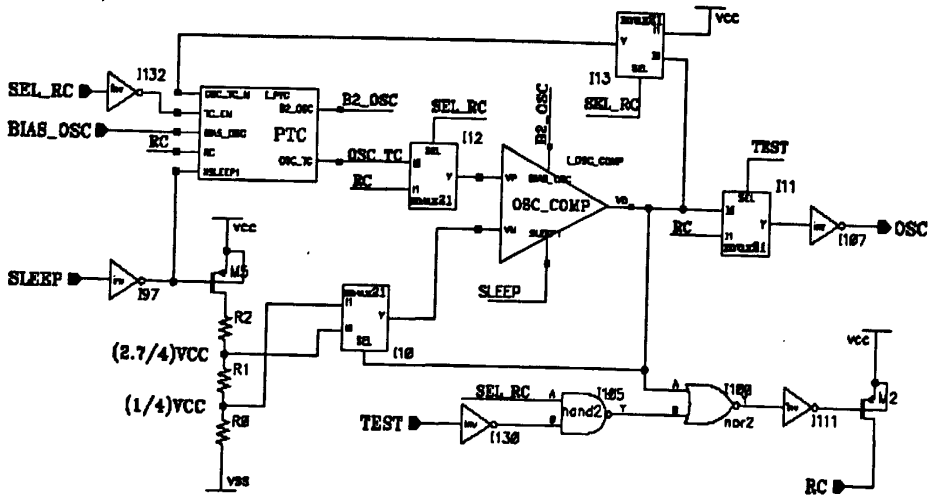


图 4.10 OSC 整体电路图

结合图 4.9（模式 2 等效框图）以及图 4.10（OSC 整体电路）分析图 4.11 子模块 PTC 电路：如图 4.10，当 SEL_RC 为低电平时，开关 PMOS 管 M2 关断；反相器 I132 控制输出 TC_EN 为高电平，PTC 模块开始正常工作。进入模式 2，输出周期与外接电阻 R 成正比的方波脉冲。

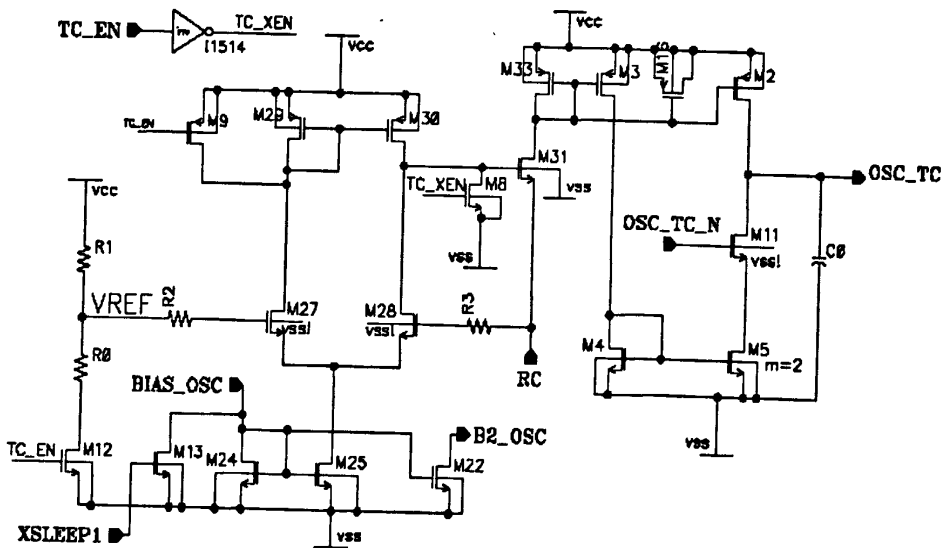


图 4.11 子模块 PTC 具体实现电路图

如图 4.11 所示，电阻 R0 和 R1 为分压电阻，产生电压与电源电压 VCC 相关的电压 VREF：

$$V_{REF} = \frac{R1}{R0 + R1} \times VCC \quad (4-21)$$

输入差分对管 M27、M28 和负载管 M29、M30 以及 M31 共同组成单级电压缓冲器，VREF 电压经单位缓存器输出至 RC 端，产生恒定的与外接 R 成反比的电

流 I_{REF} (如图 4.9 所示 I0), 经过 M33 和 M2 组成的电流镜产生电容 C1 充电电流 I_{REF} (如图 4.9 所示 I1), 经过由 M33、M3、M4 和 M5 组成的电流镜镜像后产生电容 C1 的放电电流 $2I_{REF}$ (如图 4.9 所示 I2)。开关 NMOS 管 M11 控制两路电流为电容充放电, 产生三角波信号。

将式 (4-21) 代入式 (4-18), 可得三角波信号周期, 即输出 OSC 的周期为:

$$\begin{aligned} T &= C0 \times \frac{(2.7/4 - 1/4) \times VCC}{V_{REF} / R} \\ &= C0 \times \frac{(2.7/4 - 1/4) \times VCC}{[R1 / (R0 + R1)] \times VCC} \times R \\ &= \left[\frac{1.7}{4} \times \left(1 + \frac{R0}{R1} \right) \times C0 \right] \times R \end{aligned} \quad (4-22)$$

其中, $R0$ 和 $R1$ 为内部分压电阻, $C0$ 为内部电容, R 为外接电阻。

显然, $R0$ 、 $R1$ 和 $C0$ 均为固定值, 输出周期 T 仅与外接电阻 R 有关。

3、仿真验证

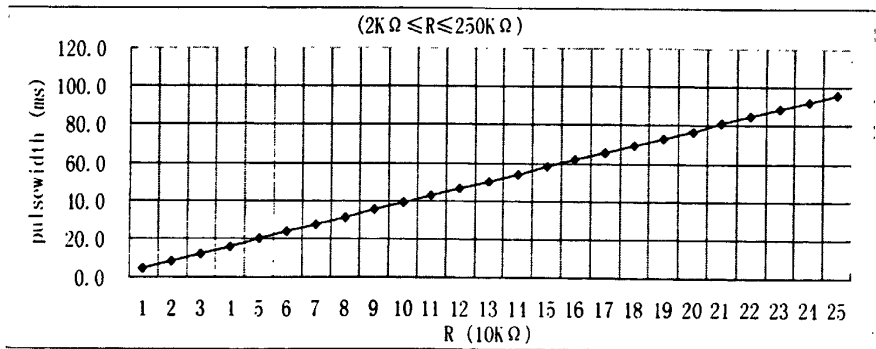


图 4.12 涓流充电脉宽与外接电阻 R 关系曲线

如图 4.12 为涓流充电脉宽随外接电阻 R 变化的曲线, 可以看出, 产生的脉宽基本正比于外接电阻 R , 其周期为

$$T_{OSC_R} \approx 0.4 \times 10^{-6} \times R \quad (4-23)$$

如图 4.13 为芯片典型应用 ($R=6.81K$, $C=0.33\mu F$) 情况下, OSC 模块输出的周期为 RC 的定时脉冲, 由图可知 OSC 的周期为 $2.2587ms$, 而理论计算所得 OSC 的周期应为

$$\begin{aligned} T_{OSC_RC} &= R \times C \\ &= 6.81 \times 10^3 \times 0.33 \times 10^{-9} \\ &= 2.2473 \times 10^{-3} \end{aligned} \quad (4-24)$$

误差计算:

$$\sigma = \frac{2.2587 - 2.2473}{2.2473} \times 100\% \\ = 0.51\%$$

误差仅为 0.51%，即使在最差的情况下也能达到指标要求的 $\pm 5\%$ 。

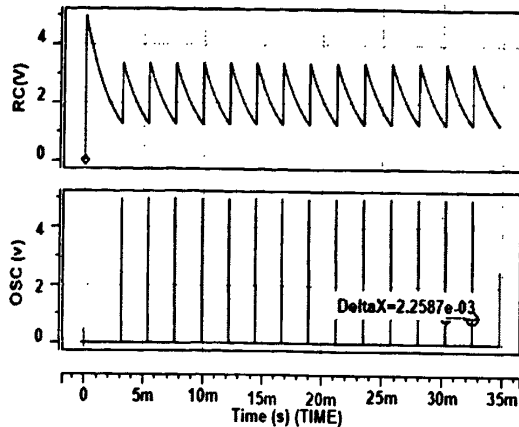


图 4.13 OSC 输出周期为 RC 的波形图

§ 4.4 外部 R、C 检测及补足充电控制器设计

本模块的功能是检测外接电阻 R 和电容 C 的值，根据其值的大小判断是否使能补足充电模式。当满足 $R < 20.48\text{K}\Omega$ 且 $C > 0.1\mu\text{F}$ 时，则使能补足充电方式。如果 $C < 0.1\mu\text{F}$ ，则不使能补足充电模式。此模块仅用来设置镍镉和镍氢电池充电。

1、外接 R、C 检测理论分析

本模块的设计巧妙的利用了 4.3 节所产生的两种周期不同的振荡信号来检测电阻 R 和电容 C 的值。

(1) 外接电阻 R 值的检测

由 4.3 节描述可知，涓流充电模式下 OSC 周期与外接电阻 R 成正比，因此可以通过检测 OSC 的周期判断 R 的范围。TC_PW_4 由 OSC 信号经 512 分频得到，其周期为：

$$T_{TC_PW_4} = 512 \times T_{OSC_R} \\ = 0.1 \times 10^{-6} \times R \quad (4-25)$$

因此可以通过检测 $T_{TC_PW_4}$ 的大小反映电阻 R 的大小，当 R 小于 $20.48\text{K}\Omega$ 时，

$$T_{TC_PW_4} = 0.1 \times 10^{-6} \times R < 2.048 \times 10^{-3} \quad (4-26)$$

由上式可得，电阻 R 为 $20.48\text{K}\Omega$ 时，对应信号 TC_PW_4 的周期应为 2.048ms ，利用内部基准频率分频得到的 0.5MHz 信号对 TC_PW_4 计数一个周期：当计数器的计数值小于 1024 时，说明 TC_PW_4 的周期小于 2.048ms ，所以此时电阻 R 的值应小于 $20.48\text{K}\Omega$ ；否则，认为 R 大于等于 $20.48\text{K}\Omega$ ，不满足补足充电条件。

(2) 外接电容 C 值的检测

由 4.3 节描述可知，在模式 2 下振荡器输出周期为 RC，记为 T_{OSC_RC} 。当电容

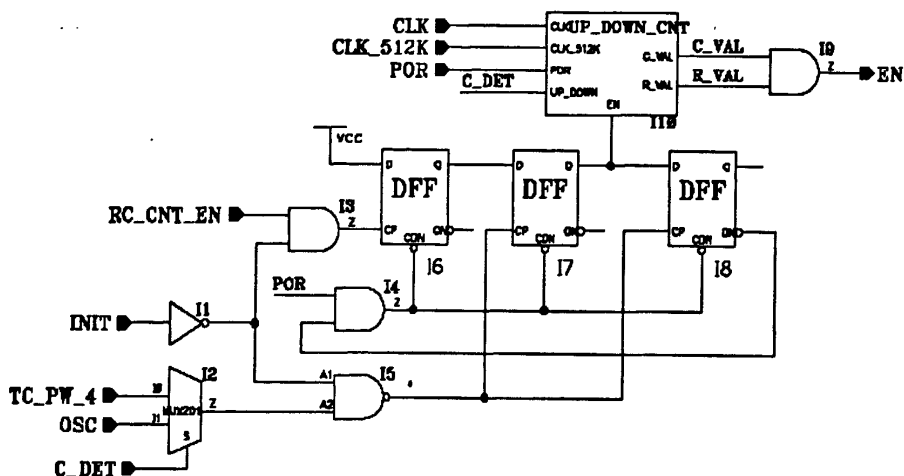


图 4.14 R、C 检测实际电路

C 值为 $0.1\mu\text{F}$ 时，振荡器输出为

$$T_{\text{OSC_RC}} = C \times R = 0.1 \times 10^{-6} \times R \quad (4-27)$$

比较式 (4.25) 和式 (4.27) 可知， $T_{\text{TC_PW_4}}$ 与 $T_{\text{OSC_RC}}$ 周期相等，因此可以通过比较 $T_{\text{TC_PW_4}}$ 与 $T_{\text{OSC_RC}}$ 的大小从而判断 C 与 $0.1\mu\text{F}$ 的关系。

2、R、C 检测实际电路设计

在本设计中，我们通过一个可逆计数器 UP_DOWN_CNT 来实现对 $T_{\text{TC_PW_4}}$ 与 $T_{\text{OSC_RC}}$ 的计数比较。

图 4.14 所示 R、C 检测实际电路。INIT 为 1 秒的初始化信号；C_DET 为 R 检测和 C 检测选择信号：当 $C_DET=0$ 时检测 R 的值，当 $C_DET=1$ 时检测 C 的值；RC_CNT_EN 为计数开始信号；EN 为 R、C 检测输出，补足充电使能信号。表 4.1 所示为外接 R、C 与内部电路检测值的关系说明。

表 4.1 外接 R、C 与内部电路检测值的关系

外接电阻 R	R_VAL 值	外接电容 C	C_VAL 值	EN	是否补足充电
$<20.48\text{K}\Omega$	1	$>0.1\mu\text{F}$	1	1	是
		$<0.1\mu\text{F}$	0	0	否
$>20.48\text{K}\Omega$	0	忽略	忽略	0	否

在 $\text{INIT}=0$ 、 $C_DET=0$ 、 $\text{RC_CNT_EN}=1$ 时进行 R 范围检测，计数器进行“+”计数。若计数器溢出，则说明电阻值大于 $20.48\text{K}\Omega$ 。此时，R_VAL 被置“0”，EN 为“0”，不满足补足充电条件。如果计数器没有溢出，说明电阻值小于 $20.48\text{K}\Omega$ 。此时，R_VAL 输出为“1”，计数值被计数器锁存。直到 C_DET 由“0”变为“1”时，开始进行电容 C 的检测，此时计数器进行“-”计数，若计数器有借位，则说明 C 值大于 $0.1\mu\text{F}$ ，C_VAL 被置“1”，使能补足充电。

3、仿真验证

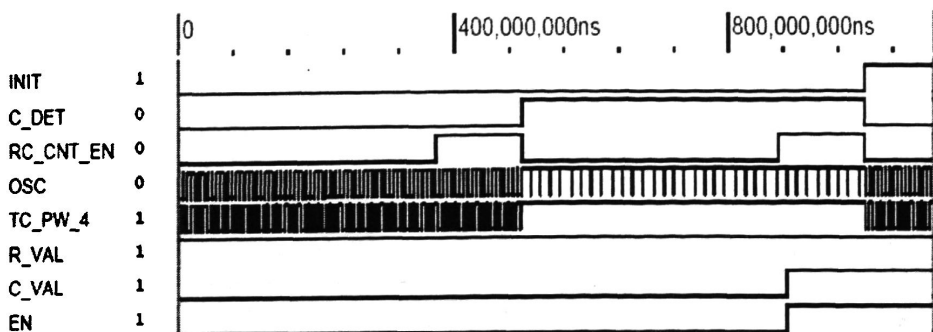


图 4.15 R、C 检测仿真波形图

利用 Verilog-XL 仿真器仿真本电路，图 4.15 所示，当 $R=15\text{K}\Omega$ 和 $C=1\mu\text{F}$ 时的 R、C 检测电路仿真波形图。由图可以看出，当 $C_DET=0$ ， RC_CNT_EN 第一个上升沿到来时进行 R 检测，此时 R_VAL 输出为“1”；当 $C_DET=1$ ， RC_CNT_EN 第二个上升沿到来时进行 C 检测，此时 C_VAL 输出为“1”。当 R_VAL 和 C_VAL 输出均为“1”时，使能补足充电， EN 输出为“1”（见表 4.1）。

§ 4.5 最大充电电流限制电路设计

本模块功能是控制最大充电电流，防止充电电流过大造成电池永久性损坏。由于采用不同的外围电路接法，会有方向相反的两种采样电流，因此电流经采样电阻转换后也会有正负两种电压，这就要求最大电流限制电路必须能够同时对正负两种采样电压进行检测。

1、最大电流限制电路结构设计

根据指标要求采样电压 SNS 的范围为 $-50\text{mV} < V_{SNS} < 50\text{mV}$ 。由于进行负电压的比较具有一定的难度，因此我们将 SNS 引脚电压抬高 50mV ，使得采样电压 SNS 的比较范围变为 $0 < V_{SNS} < 100\text{mV}$ 。这里利用一个窗口比较器实现双向比较功能，如图 4.16 所示为 SNS 模块等效示意图。 $V1$ 和 $V2$ 为利用基准电压产生的固定的钳位电压，下面对高端检测和低端检测的原理进行分析：

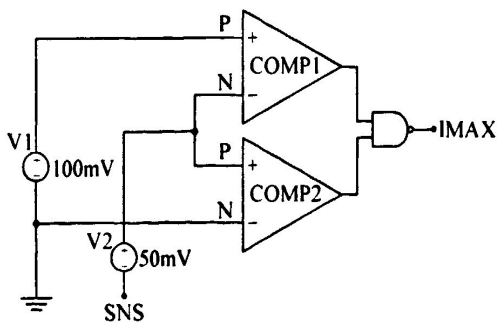


图 4.16 SNS 等效示意图

(1) SNS 高端 ($0 < V_{SNS} < 50\text{mV}$) 检测时，比较器 $COMP2$ 输出为“1”，不起作用；输入电压 $V_{SNS} + 50\text{mV}$ 与固定电压 100mV 通过比较器 $COMP1$ 进行比较，如果 V_{SNS} 大于 50mV ，则 $COMP1$ 输出低电平， $IMAX$ 输出为“1”，达到高端最大电流

限制。

(2) SNS 低端 ($-50mV < V_{SNS} < 0$) 检测时, 比较器 COMP2 起作用, 将电压 $V_{SNS} + 50mV$ 与固定电压 0V 比较, 如果 SNS 电压大于 -50mV, 即 $V_{SNS} + 50mV > 0$, 则 COMP2 输出高电平, IMAX 输出为“0”; 当 SNS 电压小于 -50mV 时, 即 $V_{SNS} + 50mV < 0$, COMP2 输出变为低电平, IMAX 输出为“1”, 达到低端最大电流限制。

2、实际电路设计

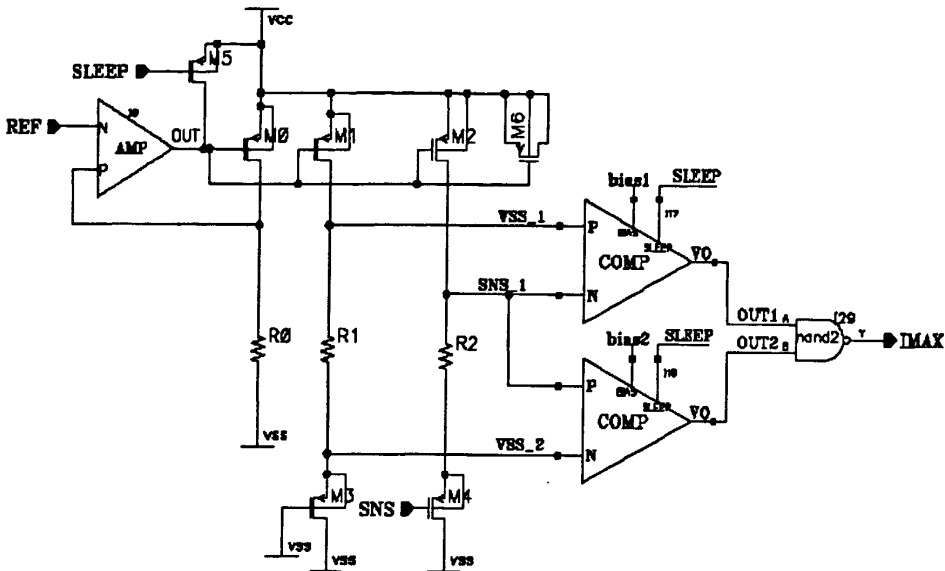


图 4.17 SNS 模块实际电路图

实际电路如图 4.17 所示, 利用电阻 R1 和 R2 产生 100mV 和 50mV 的电平移位, 输入 REF 经过由 AMP 和 M0 组成的缓冲器在电阻 R0 上产生电流

$$I_{R0} = \frac{V_{REF}}{R0} \tag{4-28}$$

产生相等的镜像电流在 M1 和 M2 漏级, 因此在电阻 R1 两端产生的电压为

$$V_{R1} = I_{M0} \times R1 = \left(\frac{R1}{R0}\right) \times V_{REF} \tag{4-29}$$

在电阻 R2 两端产生的电压为

$$V_{R2} = I_{M0} \times R2 = \left(\frac{R2}{R0}\right) \times V_{REF} \tag{4-30}$$

由于基准电压为 1.200V, 且电阻 R0、R1 和 R2 的比例关系为

$$R0 = 12 \times R1 = 24 \times R2 \tag{4-31}$$

因此可得:

$$V_{R1} = 100mV, \quad V_{R2} = 50mV \tag{4-32}$$

M3 和 M4 实现隔离功能,防止 SNS 引脚变化影响内部的 R2 上的 50mV 基准电压。
综上所述可以得到 SNS 的比较电平为

$$V_{GS} < V_{SNS} + V_{GS} + V_{R2} < V_{GS} + V_{R1} \quad (4-33)$$

将式 (4-32) 代入上式得

$$V_{GS} < V_{SNS} + V_{GS} + 50mV < V_{GS} + 100mV \quad (4-34)$$

化简上式得

$$-50mV < V_{SNS} < 50mV \quad (4-35)$$

3、仿真实证

如图 4.18 所示为最大充电电流限制模块仿真波形。当输入电压 SNS 从 -100mV 到 100mV 变化时,充电电流限制输出 IMAX 的波形。可以看出电路能够准确的满足所要求的当 SNS 大于 50mV 小于 -50mV 时的电压限制。

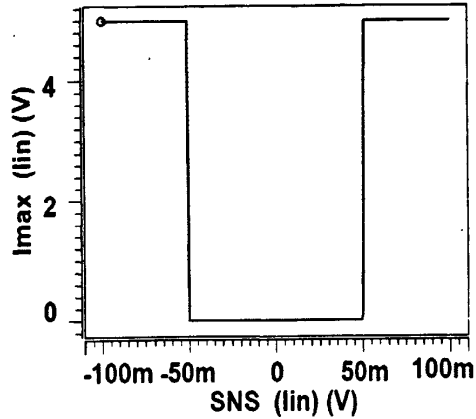


图 4.18 最大电流限制仿真波形图

§ 4.6 最小电流关断电路设计

当对锂离子电池恒压充电时,充电电流会越来越小,直至电流减小到最大充电电流的 1/7,则认为电池已经充满,结束充电。此模块功能是在对锂离子电池恒压充电时以 1s 为周期不断的检测充电电流,当满足充电电流小于 $I_{max}/7$ 的条件时,输出 IMIN 信号结束充电。

1、原理分析及结构设计

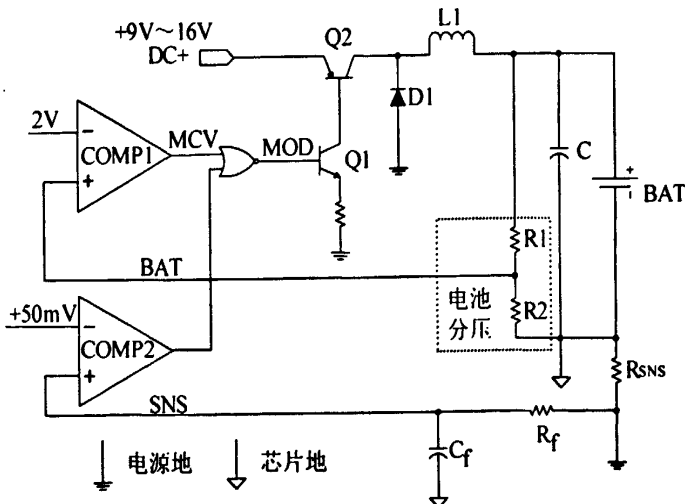


图 4.19 恒压充电原理图

根据图 4.19 所示恒压充电结构，分析整个恒压充电阶段的环路控制。当恒压充电时，充电电流由两个环路共同控制：最大电压控制环路和最大电流控制环路。从示意图可知，充电电流受电池电压 BAT 控制，当 BAT 电压高于 2V 基准电压时，表明电池电压高于电池的最高电压，比较器 COMP1 输出高电平控制开关管关断，充电电流逐渐下降。随着充电电流慢慢下降，由于电池内阻以及电能到化学能转换的影响，BAT 电压会缓慢下降，直到低于 2V 电压基准时，比较器 COMP1 翻转输出低电平，开关管重新打开，继续充电。因此，在整个 MCV 为高时，MOD 输出由电流环路控制，充电电流可以保持平均电流为 1A。

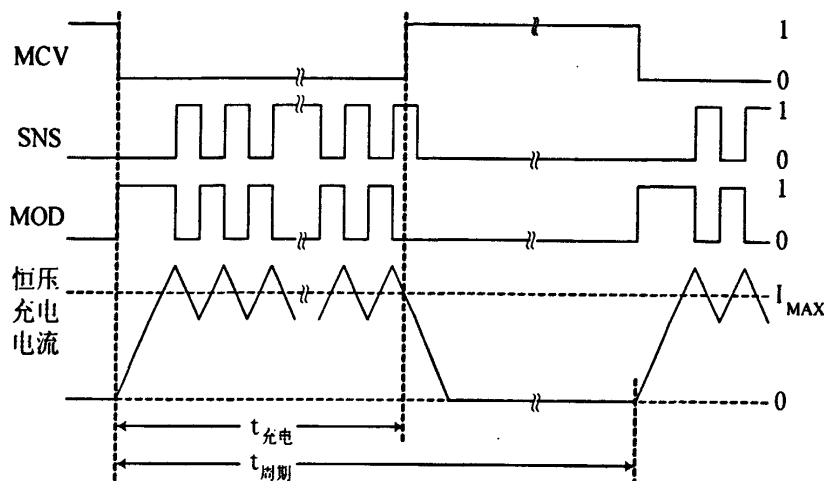


图 4.20 恒压充电波形示意图

根据以上分析，结合恒压充电时的波形示意图 4.20，我们可以近似认为，在电路进入恒压充电阶段后：

- (1) 当引脚 BAT 输入电压小于 2V 时，充电环路由恒流充电环路控制且以 1A 的电流充电，此时 MCV 输出为低电平；
- (2) 当引脚 BAT 输入电压大于 2V 时，控制开关管关断，充电电流为 0，此时 MCV 输出为高电平。

因此，我们可以通过比较器 COMP1 输出信号 MCV 的占空比间接检测充电电流的大小，从而控制最小关断电流。

具体的最小电流关断模块结构设计如下：

在进入恒压充电阶段后，用内部时钟经分频产生的 2KHz 的周期信号对 MCV 进行采样，采样周期为 512ms（共 1024 次采样），如果在一个周期内检测到 MCV 为低电平次数小于 144（ $144/1024 \approx 1/7$ ）次，则认为在此周期内充电电流小于 $I_{max}/7$ ；否则认为不满足最小电流关断条件，继续充电，等待下一个周期继续检测。

为了防止过充电和欠充电，我们采用了两种不同的方式结束恒压充电：

- (1) 如果在连续的 4 次（4 个周期）采样中 MCV 为低电平（ $V_{BAT} < V_{MCV}$ ）的次数均小于 144 次，则认为 IMIN 条件达到，停止充电。

(2) 如果在一个周期采样过程中（共 1024 次采样）MCV 出现低电平的次数小于 2 次，也认为 IMIN 条件达到，不再继续检测 4 个周期，直接停止充电。

2、实际电路设计

如图 4.21 最小电流关断实现电路，输入 CV 为系统恒压充电控制使能信号，SEC 是周期为 1s 的时钟信号，SEL_HTF 为 2KHz 的采样时钟信号，SEL_TS 也是周期为 2KHz 信号，用来清零。首先分析关断方式 1：

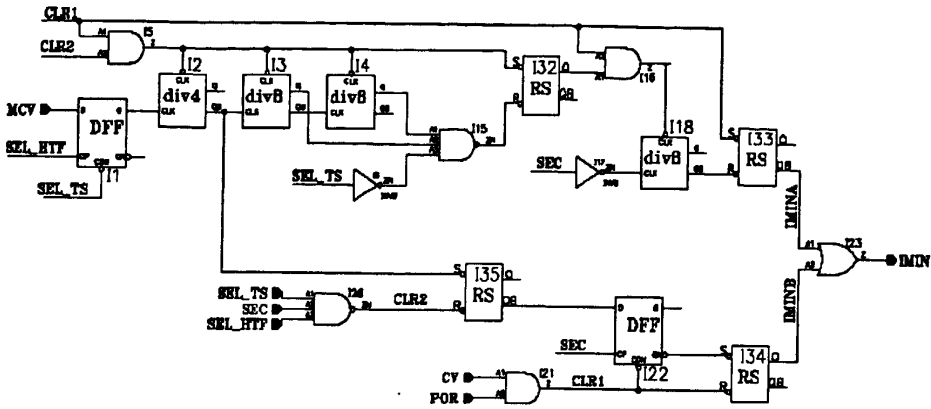


图 4.21 最小电流关断电路

当 SEC 为“1”时，D 触发器 I1 开始以 SEL_HTF 作为时钟对 MCV 信号采样，输出到由 I2、I3 和 I4 组成的 8 位计数器。每次 SEL_HTF 时钟采样后，都由 SEL_TS 为 D 触发器 I1 清零，保证当 MCV 为“0”时每次采样 I1 输出一个脉冲到计数器。当 8 位计数器计数到 144 时，与非门 I15 输出“0”，控制 RS 触发器输出“0”为计数器 I18 清零，认为此采样周期内充电电流不满足关断条件，等待下一个采样周期；如果在 512ms 内 8 位计数器计数小于 144，则 I5 保持输出为“1”，直至 SEC 信号为“0”，控制清零信号 CLR2 为 8 位计数器清零，同时 3 位计数器 I18 计一次。如此反复到 4 个采样周期后，计数器 I18 的 QN 端输出“0”，控制 RS 触发器 I33 输出“1”，IMIN 输出“1”，结束充电。

图 4.21 中下半部分为关断方式 2 的具体电路，具体分析如下：

当 SEC 时钟为“0”时，清零信号 CLR2 为“1”，电路开始正常工作。D 触发器 I1 和 4 分频电路 I2 对 MCV 信号采样，输出到 RS 锁存器 I35 的 S 端，初始状态时 I2 的 QN 端输出“1”：

(1) 当采样到 MCV 信号低电平次数大于 1 次后，QN 端输出“0”，将 RS 锁存器 I35 置位，且由于 I35 复位端 R 保持“1”，因此锁存器 QN 端输出保持“0”。

直到 SEC 时钟上升沿触发 D 触发器 I22，输出“1”到 RS 锁存器 I34 的置位端 S，RS 锁存器 I34 保持不变，输出 IMINB 为“0”。继续检测。

(2) 当采样周期结束时，采样到 MCV 信号低电平次数小于或等于 1 次时，I2 的 QN 端输出保持不变，RS 锁存器 I35 同样保持不变，QN 端输出为“1”。

直到 SEC 时钟上升沿触发 D 触发器 I22, 输出“0”到 RS 锁存器 I34 的置位端 S, RS 锁存器 I34 置位, 输出 IMINB 为“1”。IMIN 输出为“1”, 达到最小关断电流条件, 结束充电。

3、仿真验证

图 4.22 为关断方式 1 的仿真波形。当 4 次 (4 秒) 采样值均小于 144 后, IMIN 输出高电平, 控制其它模块停止充电。

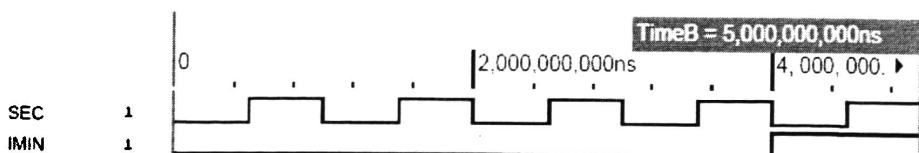


图 4.22 关断方式 1 仿真波形

图 4.23 为关断方式 2 的仿真波形以及局部放大波形, 由图可以看出 SEL_HTF、SEL_TS 以及 SEC 间的关系, 同样从图中可以看出, 当一个周期的采样中采到 MCV 为低电平的次数小于 2 次时, 认为达到最小电流关断条件, 立即停止充电。

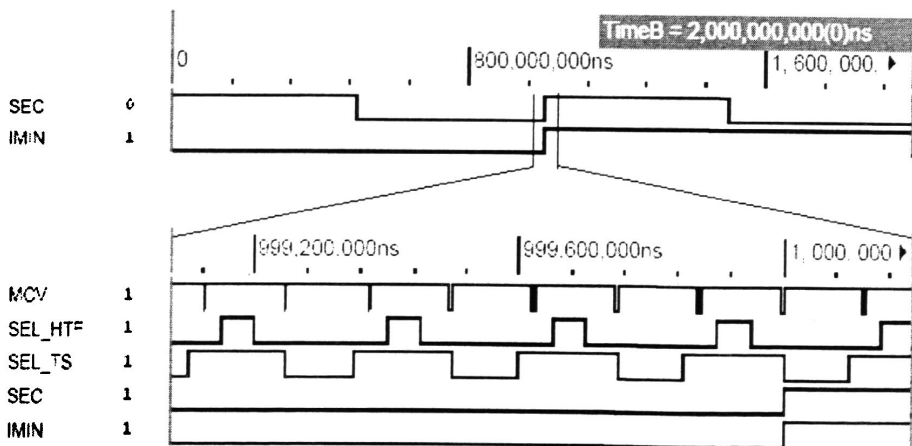


图 4.23 关断方式 2 仿真波形及局部放大波形

§ 4.7 电池电压 A/D 转换电路设计

如第二章所述, 对于镍镉/镍氢电池在快速充电至电池即将饱和时, 电池电压曲线会有明显的下降, 因此在快速充电期间, XD2006 会周期性的对电池电压进行检测, 当电池电压开始下降并且下降幅度达到或超过 3.8mV 后, 结束快速充电。由于需要对电池电压进行量化比较, 因此在 XD2006 芯片内部增加了电池电压 A/D 转换电路, A/D 转换电路会周期性的采样电池电压并对其进行模拟到数字的转换, 然后将数字信号输入到下一模块进行 $-\Delta V$ (是否大于 3.8mV) 检测, 判断是否结束快速充电。

1、A/D 转换的一般步骤

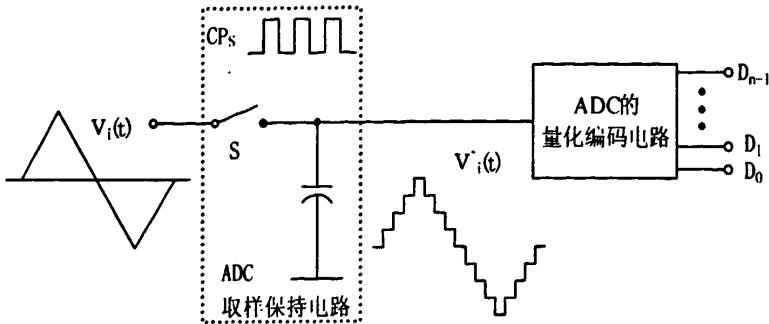


图 4.24 采样—保持电路的基本形式

在 A/D 转换器中，因为输入的模拟信号在时间上是连续量，而输出的数字信号代码是离散量，所以进行转换时必须在一系列选定的瞬间（亦即时间坐标轴上的一些规定点上）对输入的模拟信号采样，然后再把这些采样值转换为输出的数字量。一般的 A/D 转换过程是通过采样、保持、量化和编码这四个步骤完成的^[17]。

2、 $\Sigma-\Delta$ 模数转换器基本原理

A/D 转换器的种类很多，包括并行比较型、逐次比较型、积分型等等。考虑 XD2006 对 A/D 转换精度及速度等各方面的要求，我们采用了一种降噪式过采样模数转换器—— $\Sigma-\Delta$ 模数转换器。

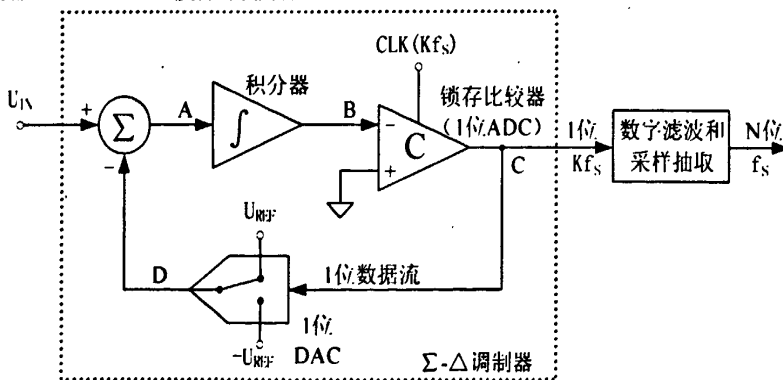


图 4.25 一阶 $\Sigma-\Delta$ 模数转换器

图 4.25 给出了一阶 $\Sigma-\Delta$ 模数转换器的原理框图^[21]，它由 $\Sigma-\Delta$ 调制器和部分数字信号处理电路构成。 $\Sigma-\Delta$ 调制器包括一个比较器、一个开关、一个积分器及模拟求和电路等简单的模拟电路。

$\Sigma-\Delta$ 调制器以 Kf_s 采样速率将输入信号转换为由 1 和 0 构成的连续串行位流。1 位 DAC 由串行输出数据流驱动，其输出以负反馈形式与输入信号求和^[18]。根据反馈控制理论可知，如果反馈环路的增益足够大，DAC 输出的平均值（串行位流）会接近输入信号的平均值^[19]。

当积分器输出为正时，为了使积分器的输出为负，比较器输出高电平反馈到 D/A 转换器，D/A 转换器输出一个正的参考信号并将其从输入信号中减去。同样，

当积分器输出为负时，比较器输出低电平反馈到 D/A 转换器，D/A 转换器输出一个负的参考信号并加到输入信号上。因此积分器积累了输入信号和经量化后的输出信号之差，并试图保持积分器输出在零附近^[20]。事实上，积分器和量化器构成的反馈迫使量化输出的局部平均值跟踪输入信号的局部平均值。

3、实际电路设计

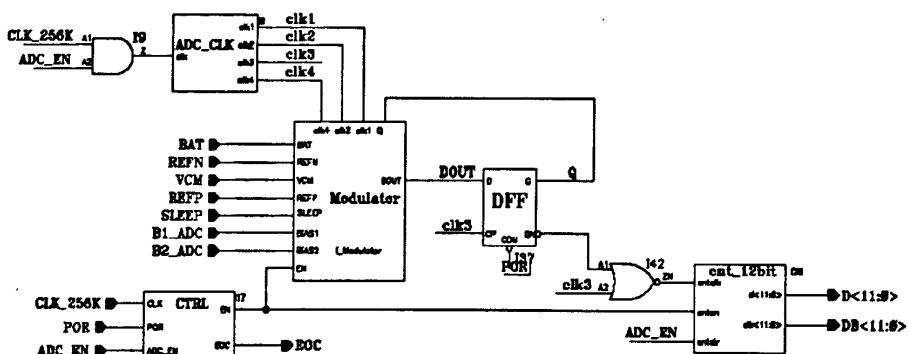


图 4.26 $\Sigma-\Delta$ A/D 转换器实际电路图

如图 4.26 所示 $\Sigma-\Delta$ A/D 转换器实际电路图，ADC_CLK 为时钟产生电路，CTRL 为转换开始以及结束控制电路，Modulator 为 $\Sigma-\Delta$ 调制器，cnt_12bit 是 12 位的输出串并转换电路。

根据输入电池电压的范围 0.9V~2.0V、需检测的 $-\Delta V$ 电压 (-3.8mV) 及 $-\Delta V$ 电压的精度 $\pm 0.76\text{mV}$ ($\pm 20\%$)，可以确定所需设计的 ADC 的精度，

$$N = \frac{2 - 0.95}{0.76 \times 10^{-3}} \approx 1382 \quad (4-36)$$

由上式可知 N 的范围为 $2^{10} < N < 2^{11}$ ，因此，至少需要 11 位的 A/D 转换电路，考虑到转换的误差及工艺的变化等不确定因素，我们设计了 12 位的 ADC 以保证转换的精度。

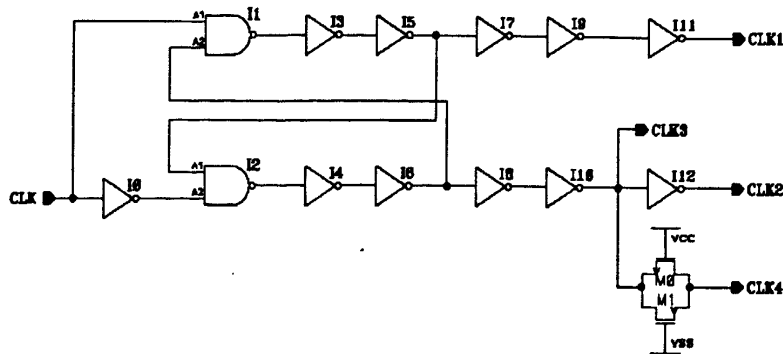


图 4.27 A/D 转换互补时钟产生电路图

$$V_{C1}[(k-1)T_{CLK}] = V_{BAT} - V_{REFP} \quad (4-41)$$

此时，OUT 端电压小于共模电压 VCM，比较器输出低电平。

如此反复，调制器输出“0”“1”序列，经串并转换后输出并行的 A/D 转换结果。

MOS 管 M5 为虚拟器件，用以减小电荷注入和时钟馈通^[11]。

这种 ADC 的误差来源包括运算放大器的低增益、运算放大器和比较器的有限输入失调电压、MOS 开关的电荷注入以及电容的电压相关性。

4、仿真实证

如图 4.29 为 BAT 输入 1.8V 时 A/D 转换仿真波形。波形从上到下分别为 BAT（电池电压）、EOC（AD 转换结束信号）、其余为 12 位的 AD 转换串行输出 D[11]~D[0]。其中，调制器共模电平为 1.5V，正负电压分别为 2.138V 和 0.862V，经计算可知 AD 转换理论输出结果应为：

$$D = \frac{1.8 - 0.862}{2.138 - 0.862} \times 4096 = 3006 \quad (4-42)$$

实际输出 D[11:0]=101111000000，转换成十进制数应为 3008。误差为

$$\Delta V = \frac{2.138 - 0.862}{4096} \times 2 = 0.623 \times 10^{-3} \quad (4-43)$$

$$\sigma = \frac{0.623}{3.8} \times 100\% = 16.4\% \quad (4-44)$$

由以上计算可以看出，A/D 转换模块可以准确的将电池电压转换为数字序列。

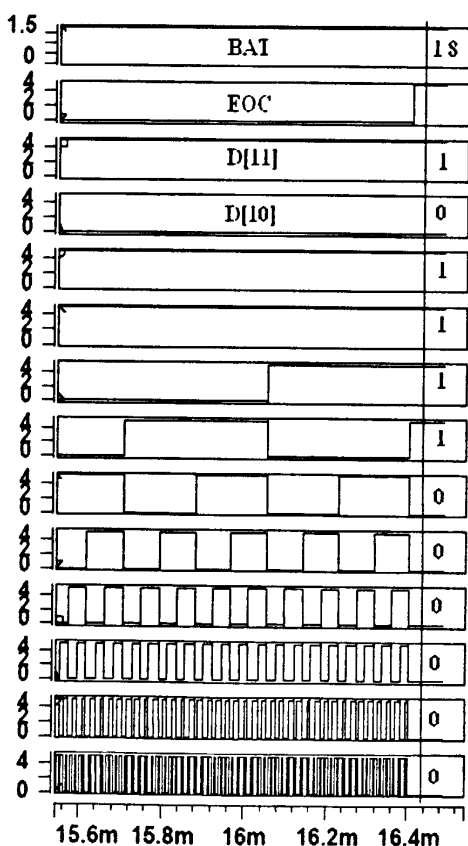


图 4.29 A/D 转换仿真波形图

§ 4.8 电池电压— ΔV 检测电路设计

如 4.7 节所述，当 A/D 转换电路将电池电压转换成数字序列后，需对其进行比较，以判断出电池电压是否开始下降，下降幅度是否达到了 3.8mV。本模块功能就是检测判断电池电压的上升和下降，以及下降的幅度是否达到了所要求的快速充电的关断条件。

1、原理分析

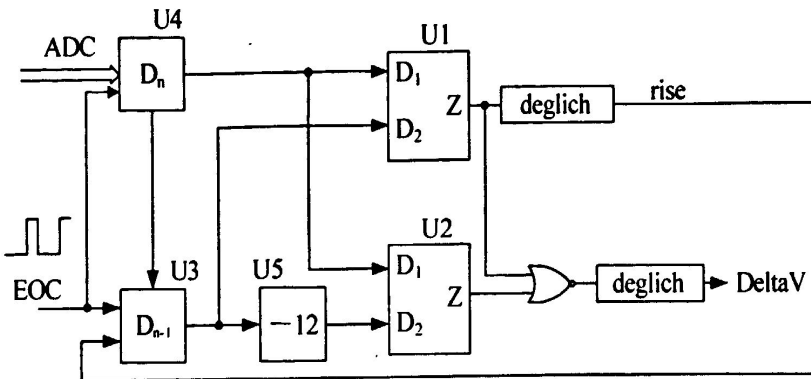


图 4.30 电池电压-ΔV 检测电路框图

电池电压经过模数转换后，输出到电池电压-ΔV 检测模块，如图 4.30 所示。我们首先将两次经 A/D 转换的数字序列锁存到 U3 和 U4，然后对两次采样所得的 12 位的数字序列 D_n 和 D_{n-1} 进行逐位比较，判断 D_n 是否大于 D_{n-1}。

(1) 如果 D_n 大于 D_{n-1}，表明电池电压在上升，那么将 D_n 赋值给 D_{n-1}，即 D_{n-1} = D_n，等待下一次判断。

(2) 如果 D_n 小于 D_{n-1}，表明电池电压开始下降，那么将 D_{n-1} 减去 3.8mV 所对应的 A/D 转换的数字值 D，然后输入到比较器 U2 和 D_n 值比较。

$$D = \frac{3.8mV}{V_{REFP} - V_{REFN}} \times 2^{12} = \frac{0.0038}{2.138 - 0.862} \times 4096 = 12.2 \approx 12 \quad (4-45)$$

如果 D_n 小于 D_{n-1} - 12，表明下降达到了 3.8mV，立即停止快速充电；

如果 D_n 大于 D_{n-1} - 12，表明电池电压已经开始下降但下降幅度未达到 3.8mV，此时不再将 D_n 值赋值给 D_{n-1}，而是保持 D_{n-1} 值不变，等待下一次输入数字序列 D_{n+1} 与 D_{n-1} - 12 判断，如此反复，直到下降幅度达到 3.8mV（12 位）为止。

2、仿真实验

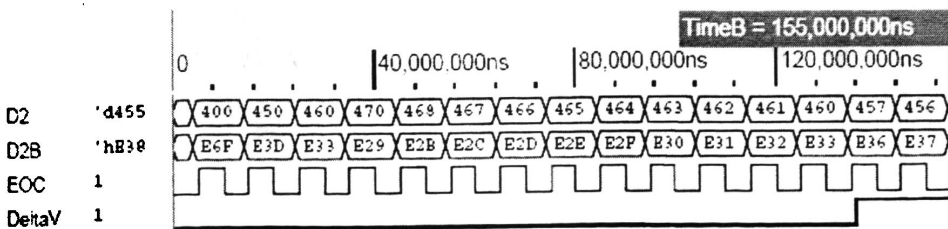


图 4.31 电池电压-ΔV 检测仿真波形图

如图 4.31 为电池电压-ΔV 检测仿真波形图，其中 D2 为 A/D 转换输出数字序列的十进制编码，当 D2 从 400 开始上升直到 470 时，输出 DeltaV 一直为低电平；当 D2 开始缓慢下降，输出 DeltaV 仍然保持低电平，直到 D2 下降到 457，下降幅度达到 12 位后，DeltaV 输出变为高电平，终止快速充电。

第五章 XD2006 可测性设计

§ 5.1 集成电路的测试

集成电路测试是指导产品设计、生产和使用的重要依据，是提高产品质量和可靠性、进行全面质量管理的有效措施。

集成电路的测试包括很多方面的测试，也有很多种：制造测试，生产测试，功能测试，可靠性测试，用户测试。在此我们仅描述与设计者相关的测试及测试过程^[22]。

集成电路芯片的测试分为两种基本形式：完全测试和功能测试。完全测试就是对芯片进行全部状态和功能的测试，要考虑集成电路所有的可能状态和功能，即使在将来的实际使用中有一些并不会出现。功能测试就是只对在集成电路设计之初所要求的运算功能或逻辑功能是否正确进行测试。显然，完全测试是完备测试，功能测试是局部测试。在集成电路研制阶段，为分析电路可能存在的缺陷和隐含的问题，应对样品进行完全测试。在集成电路产品的生产阶段，则通常采用功能测试以提高测试效率降低成本。

这里需要说明芯片测试中的两个基本概念，即样品测试和生产测试。对于样品测试，需要用非常严格的测试向量并检查可能导致芯片功能出错的故障。故障可能是工艺加工中引入的，如针孔、开路、短路等等，这些故障在硅片上是统计分布的。样品测试的最主要目的是检查芯片设计中的故障，如漏掉了接触孔、错误的晶体管比例等等。生产测试是新产品定型投产以后在生产线上进行某些项目的测试和检验，其目的是保证出厂产品质量的合格性和监督生产工艺的稳定程度。生产测试与样品测试要求完全不同，它更注重测试与测试生成的低耗费，生产测试中要求给出芯片功能检查通过或不通过的信息。生产测试又分为：圆片测试（管芯测试、初测）和成品测试（成测、末测）^[23]。

§ 5.2 可测性设计的重要性及目的

1、可测性设计的重要性

在设计大规模和超大规模集成电路时，从一开始就必须考虑测试问题，因为集成电路的可测性往往与电路的复杂性成反比。随着超大规模集成电路的发展，电路日趋复杂，测试问题就更突出了。对于小规模电路（如 100 器件左右），利用人工测试与自动测试仪可以较容易地完成其功能测试，但对大规模和超大规模

集成电路来讲,要进行全功能测试是不大可能的。这是因为测试时间太长,且成本太高。

在进行集成电路总体设计时,不仅要使电路具有正确的功能,而且在生产过程中也要具有较高的可测性。这就需要进行可测性设计(Design For Test,简称DFT,也称为面向测试的设计)。可测性设计包括三个方面:第一,测试矢量生成设计,即在允许的短时间内产生故障测试矢量或序列;第二,测试验证,对测试进行评估和计算;第三,实施测试的设计,这是电路设计者的事,其目的是限制前两种工作的规模,解决电路和自动测试设备的连接问题。为此要把进行测试所必须的辅助电路也集成到整体电路中去^[24]。

如图 5.1 所示,测试成本随着电路的复杂性呈指数增长,所以超大规模集成电路的测试费用很高。

目前的常规测试,是依靠给予的信号直接经过测试接口进入电路来进行测试的,这样就带来几个问题:

(1) 测试的参数不很可靠(因存在引线及接口界面的影响);

(2) 存在测试者的技巧和测试方法上的局限性。

可测性设计是指通过在电路设计阶段考虑测试效率问题,在测试对象(电路)内部增加适当且较少的附加电路^[25],使电路易于测试,从而提高将来芯片的测试效率。因此在很大程度上可解决以上所述问题。

2、可测性设计的目的

研究芯片电路的可测性及设计测试电路,主要从两个方面改善可测性:

(1) 可控性(Controllability)

对电路中的某一个节点状态,可以通过仅有的输入端口加一定的激励,就能将其状态按指定目的加以改变,称之为可控性。可控性有难易之分,在对芯片内分块、分功能测试时就尤其需要可控性。

(2) 可观性(Observability)

对电路中的某一个节点状态,可以通过观察仅有的输出端口的输出加以判断而获得。可观性可以分为难、易和不可观 3 种,故障诊断主要关心可观性。

如果一个节点的可控性难度比较大,通常表明它将花费输入端较长的激励信号矢量序列才能使该节点状态受控;如果一个节点的可观性难度比较大,通常表明需要较长的序列周期才能在输出端观察到该节点的响应值。

总之,可测性设计就是要提高测试的可信度以及测试的故障覆盖率。

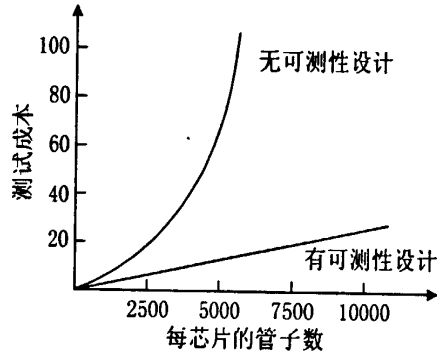


图 5.1: 芯片测试成本

§ 5.3 模拟及混合信号可测性设计技术

从 20 世纪 60 年代开始,对模拟及混合信号 (Analog and Mixed Signal, AMS) 电路中分立元件的测试方法开始进行研究,随着集成电路芯片的出现和芯片规模的增大,芯片的测试成本占整个芯片研发费用的比重也越来越大,甚至超过了前期研发的投入。工业界常用功能测试法对芯片进行整体测试,即先将预先写好的功能测试矢量输入自动测试设备 (Automatic Test Equipment, ATE) 中,然后按预定程序依次输入芯片,根据芯片输出来进行检验,由此来判断芯片的好坏。功能测试是测试方法中较为基础的一种,其优点是测试矢量的生成直观、简单,对自动测试设备要求较低,但其致命缺陷在于测试矢量的故障覆盖率低。因此针对模拟及混合信号芯片的可测性设计方法研究得到了高度的重视^[26]。

可测性设计是为了降低电路测试费用及提高故障覆盖率,在电路设计阶段对原电路进行修改,但不影响其性能的技术方法。一套可测性设计方法的有效性是由其测试效果 (如故障覆盖率) 等数据决定的,而代价是通过芯片面积的增加和对性能的影响程度计算得到,在过去几十年中,数字电路经历了功能测试、电路拓扑结构测试、可测性设计的发展过程,其关键是 stuck at 故障模型的成功统一,而模拟及混合信号电路的测试方法则由于缺少通用的电路模型,目前仍然处于研究探索的阶段,尚未形成实用的通用标准规范,目前的可测性设计的内容根据不同研究人员所应用的方面和测试的内容而不同,但各种方法均利用了附加可测性设计电路和相应的待测电路之间的特性关系,对待测电路性能都有一定影响,因而也都有其局限性。

对于现有的各种模拟及混合信号芯片可测性设计方法,大致可分为基于冗余技术、基于增加待测电路的可控性和可观性、基于改变待测电路关键部分电路结构和内建自测试等几类。从不同角度分类如下:从测试内容可分为基于结构和基于性能的可测性设计;从测试信号产生及检测方式可分为基于外置测试和内建自测试的可测性设计;从测试信号传输路径可分为基于总线、基于扫描路径和基于专用路径的可测性设计等。

1、基于结构和基于性能的可测性设计

(1) 基于结构的可测性设计

基于结构的可测性设计是指针对电路拓扑结构、版图和制造工艺等信息来产生故障列表,并对其进行模拟的可测性设计过程^[27]。故障的产生基于模型的建立,包括所反映的故障特性 (代表的情况最多而且模拟花费的代价最小)、抽象的级别 (器件级、电路级、行为级等) 和故障模拟方法 (功能模拟、结构模拟) 等方面。

(2) 基于性能的可测性设计

基于性能的可测性设计是指在不影响电路功能和性能的前提下, 针对电路最后或中间关键点的输出波形等信息, 通过增加电路可控性与/或客观性使上述信号引出检测的可测性设计过程^[28], 该方法的关键是功能分区策略, 而对输入输出信号的要求则根据功能分区得出。

2、基于通用总线、扫描路径和专用路径的可测性设计

测试信号在芯片中的传输途径包括基于通用总线、基于扫描路径和基于专用路径等。基于专用路径的方法属于传统的可测性设计方法, 即根据不同种类芯片的不同测试要求来制定信号的传输路径, 在此仅介绍基于通用总线和基于扫描路径的可测性设计方法。

(1) 基于通用总线的可测性设计

模拟电路中的关键信号可以被引出到通用总线上, 然后输出到芯片管脚, 外界控制信号也可以通过总线注入到模块内部, 其主要结构如图 5.2 所示通用模拟测试总线示意图^[29]。

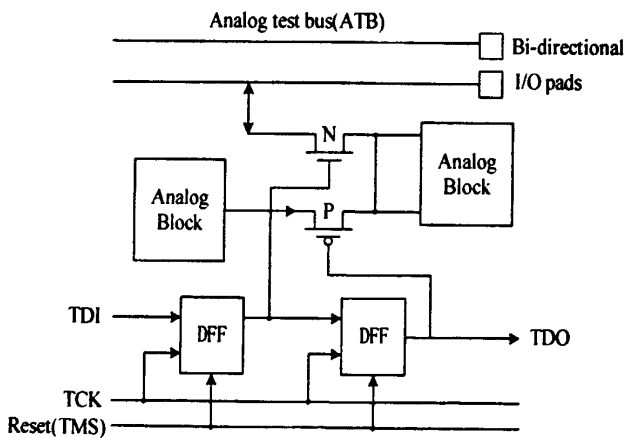


图 5.2 通用模拟总线示意图

(2) 基于扫描路径的可测性设计

与数字电路系统可测性设计中的 IEEE 1149.1 标准相类似, 面向模拟与混合信号电路的 IEEE 1149.4 标准, 解决无源元件量值、检测芯片外模拟元件间开路短路、诊断性测试差分信号路径, 同时提供外部测试模拟及混合信号电路路径和片内电路测试芯片内部其他部分甚至其他芯片的能力, 该标准的目的是提供系统测试方案。

IEEE 1149.4 标准认为, 芯片结构应当包括模拟测试存取模块 (ATAP), 它由测试信号输入 (TDI)、测试信号输出 (TDO)、测试时钟 (TCK)、测试模式选择 (TMS)、测试复位 (TRST) 等部分组成, 以及 TAP 控制模块、指令寄存器和译

码器、边界数据寄存器、测试总线端口 (AT)、内部测试总线 (AB) 和模拟边界模块 (ABM) 等, 图 5.3 所示 IEEE 1149.4 芯片系统可测性结构图^[30]。

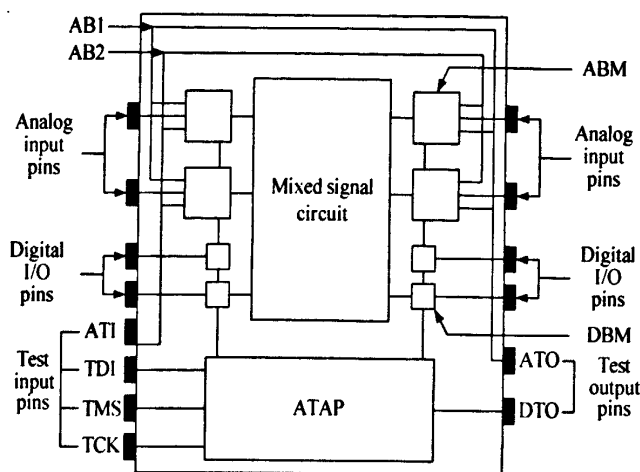


图 5.3 IEEE 1149.4 芯片系统可测性结构图

3、基于外置测试和内建自测试的可测性设计

通常测试是由外部电路产生测试激励信号输入芯片, 并将响应信号引出进行检测, 该方法有 2 个缺点, 一是激励信号受到外部产生电路的限制, 包括信号的速度和精度; 二是响应信号在输出过程中会受到干扰导致畸变。目前基于内建自测试的方法, 即将测试激励信号产生电路和信号检测电路设计到芯片中, 在测试状态下, 利用片内激励信号驱动待测电路, 而利用片内比较信号来检测电路响应并输出比较结果。

(1) 外置测试的可测性设计

传统的外置测试方式具有直观性强的优点, 因此仍得到广泛的应用, 目前外置测试方法通过编码技术来对输出信号进行保真处理, 减小输出响应信号畸变。编码技术是指将模拟响应信号进行数字调制, 用数字位元流的脉冲宽度、频率、密度等信息来表征模拟信号的波形的的方法, 目前大部分利用 A/D 和 D/A 转换进行数据编解码。

(2) 内建自测试的可测性设计

内建自测试的可测性设计方法的出现使得对测试激励产生, 响应检测和 ATE 的要求大大降低。内建自测试方法根据不同的芯片电路有不同的应用形式, 而发展重点在于: 尽量以简单的片内电路产生激励和检测信号、输出的测试结果应采用广泛认可的形式、尽可能达到高的故障覆盖率、附加电路不能对原始电路性能产生影响等。在内建自测试方法中比较系统的是 MADBIST^[31]和 HBIST^[32]方法, 这两种方法均应用在 ADC 和 DAC 的测试中。

§ 5.4 XD2006 的可测性设计

由于 XD2006 芯片电路模块较多, 状态复杂, 因此, 为了降低测试成本, 减少测试时间, 我们在设计阶段就对芯片进行了可测性设计, 对每一个状态及每一个指标的测试基本上都有相应的测试方案。芯片 XD2006 的测试是基于功能和性能的, 采用内建测试电路和外围电路相结合的测试方法。

芯片 XD2006 的引脚数是固定的, 不可能增加测试引脚, 因此, 我们采用了管脚复用技术, 在不影响电路正常工作的基础上给每个引脚增加了测试功能模式, 各引脚的测试功能描述见表 5.1。当进入测试模式后, 引脚分为控制引脚、激励输入引脚和测试输出引脚。当退出测试模式后, 各引脚恢复正常工作功能。

表 5.1 各引脚测试功能描述

引脚号	引脚	输入/输出	功能描述
1	SNS	输入	时钟控制 (结合 SNS 引脚输入选择测试的模式)
3	LED	输出	模拟测试信号输出
4	BAT	输入	(电池) 电压输入
5	TS	输入	1、测试模式和正常模式选择 2、(温度) 电压输入
6	RC	输入	测试模式选择
8	MOD	输出	数字测试信号输出

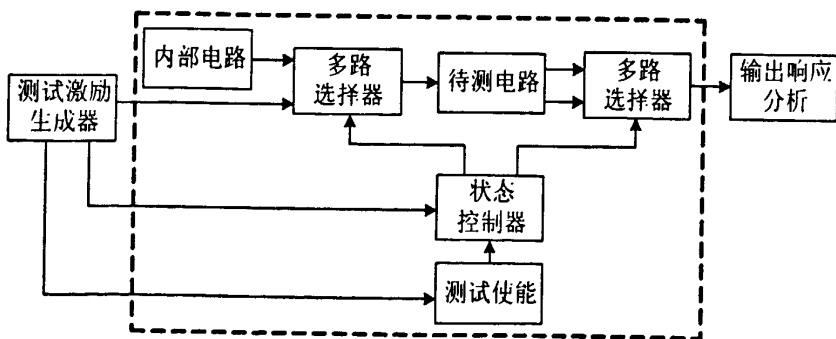


图 5.4 芯片 XD2006 测试基本结构

图 5.4 为芯片 XD2006 的测试基本结构。测试步骤如下: 控制器控制多路选择器, 把待测电路与前级和后级电路断开, 将测试激励生成器与待测电路、待测电路与输出响应分析连通, 然后由测试激励生成器产生测试数据, 经待测电路输出数字序列, 由输出响应分析器分析测试输出结果的正确性。

2、实际电路设计

(1) 测试使能模块

由于 TS 引脚工作范围为 $0.5V \sim V_{CC}$ ，因此我们可以通过设置 TS 引脚电压控制系统进入测试模式，实际电路如图 5.5 所示。

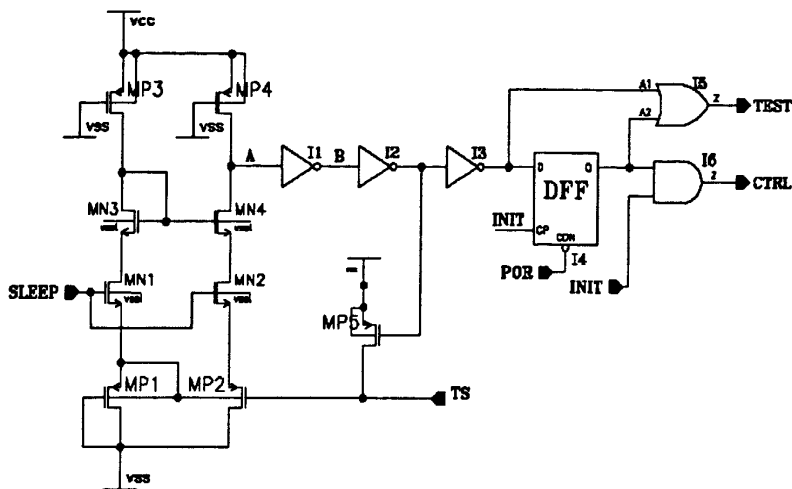


图 5.5 测试使能实际电路

SLEEP 为芯片休眠控制信号，POR 作为数字清零，TEST 信号为测试功能使能信号，CTRL 为测试模式选择使能信号。INIT 为初始化信号，当芯片上电后 INIT 为低电平，延迟 1s 后 INIT 输出高电平。MN1 和 MN2 作为开关；MP3 和 MP4 均为倒管作为大电阻使用。

当 TS 引脚电压在正常工作范围 $0.5V \sim V_{CC}$ 内时，由 MP1、MN1、MN3 和 MP3 管组成通路正常工作，MP1 为二极管接法，其源级电位为 V_{GS} ，MP2 的源级电位也为 V_{GS} （由于衬偏效应略大于 V_{GS} ），此时 MP2 的栅级电位 V_{TS} 大于 $0.5V$ ，栅源电压低于 PMOS 管的阈值电压，此时 MP2 截止。因此，A 点为高电平，反相器 I3 输出为低，INIT 上升沿到来后 D 锁存器 I4 输出低，TEST 输出低电平。电路为正常工作模式。

当 TS 引脚电压等于 $0V$ 或小于 $0V$ 时，MP2 管导通，由于 PMOS 管 MP4 为大电阻，所以 A 点电位被拉低为 $V_{GSP} + V_{GSN}$ ，反相器 I3 输出为高。当 INIT 上升沿到来后，D 锁存器输出高电平，进入测试模式。

在进入测试模式后，锁存器输出使得 TEST 和 CTRL 保持高电平且不再随 TS 变化，即 TS 引脚被重新释放。

图 5.6 所示为测试使能电路仿真波形。由图可知，当电路启动后，如果 TS 为 $0V$ ，则 TEST 输出高电平；当 INIT 上升沿到来后，CTRL 输出变为高，同时 TEST 信号被锁存。尽管在 $60\mu s$ 后 TS 信号上升到 $2V$ ，但由于 D 锁存器使得 TEST 信号保持高电平不变。

(2) 测试逻辑模块

当测试使能电路输出 TEST 和 CTRL 为高电平后，芯片进入测试模式。如图 5.7 芯片 XD2006 测试状态控制电路，芯片引脚 SNS 和 RC 分别作为时钟输入和测试模式选择输入。I30、I31、I32 和 I49 组成四位移存器，DECODE 模块为译码电路。因此，我们可以通过设定 SNS 的不同输入从而定位 test1~test13 中的任何一种模式。

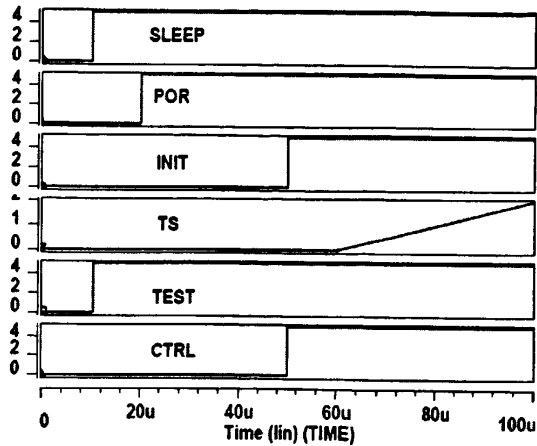


图 5.6 测试使能电路仿真波形

例如 test10 模式，RC 输入二进制序列为“1010”，当 SNS 时钟输入四个时钟脉冲时，四位移存器同步读入此序列，并转换为并行序列，经译码电路译码后，输出 test10 为高电平，其它测试模式输出均为低电平，则进入 test10 测试模式。

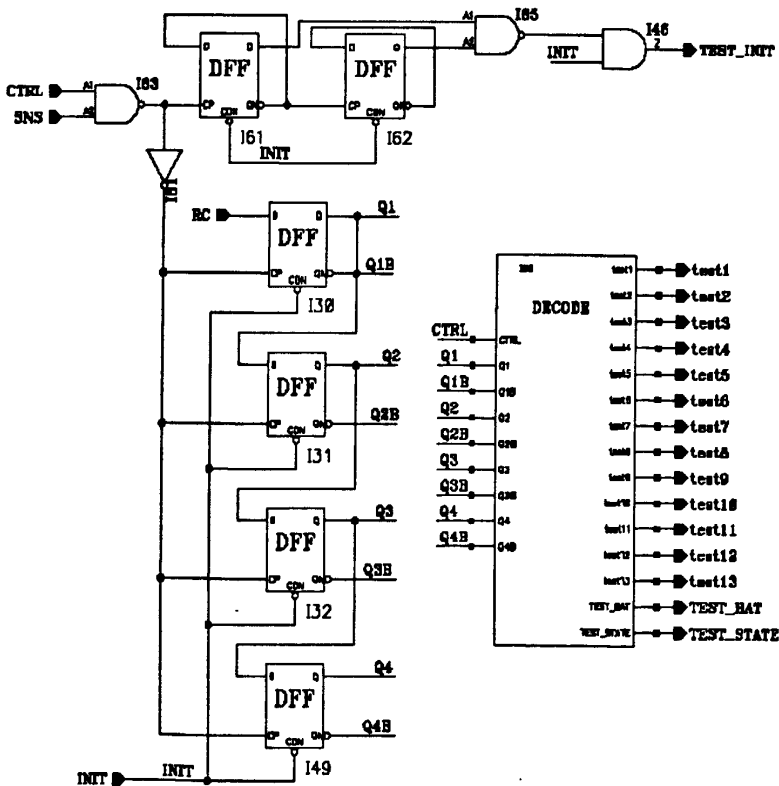


图 5.7 芯片 XD2006 测试状态控制电路

3、测试模式描述

由于 XD2006 测试模式较多，限于篇幅的影响，下面仅详述几个功能及指标的测试，其它的测试依次类推。

(1) 基准电压的测试

基准模块是 XD2006 芯片最主要的模块之一，基准电压的准确与否直接关系芯片其它模块功能的正确与否，关系到能否准确的为电池充电。

XD2006 基准电压的测试模式为 test8。

图 5.8 所示为未加测试电路时 LED 输出电路。LED 为开漏级输出，由 LED_CTRL 控制。

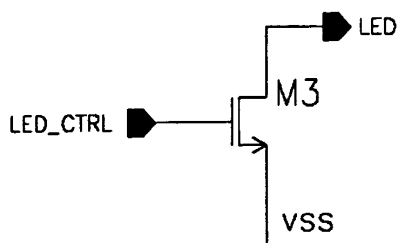


图 5.8 未加测试电路 LED 输出

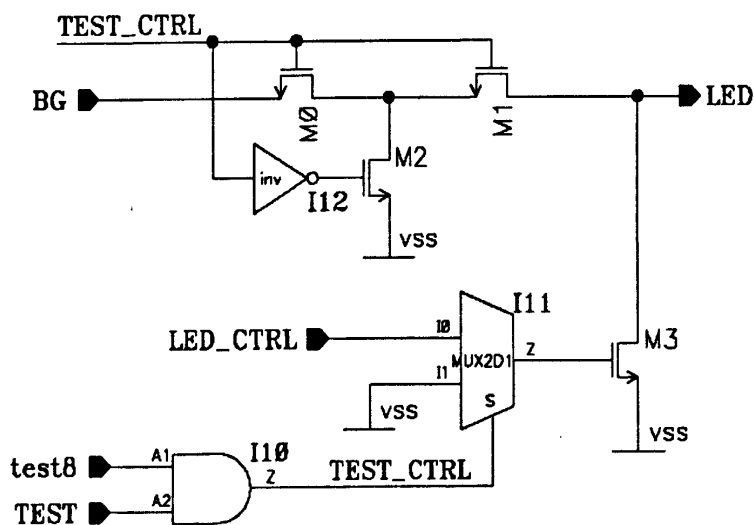


图 5.9 增加基准测试电路后 LED 输出

图 5.9 所示为增加基准测试电路后 LED 输出的电路。其工作过程分析如下：

首先，如图 5.5 和 5.6 所示，设置芯片 TS 引脚为 0V，使芯片进入测试模式，此时，TEST 为高电平；其次，设置 RC 和 SNS 引脚，进入 test8 模式，test8 输出为高电平。

如图 5.9 所示，当芯片进入测试模式 8 后，I10 输出 TEST_CTRL 为高电平。数选器 I11 输出 VSS，控制 M3 关断；开关 M0 和 M1 打开，BG 直接输出到 LED。此时，可以通过 LED 引脚测试基准电压。

直接将基准 BG 引出到 LED 引脚输出，这样可以减少通过间接方法测量所引起的基准的测量误差，也便于对基准电压进行温度扫描。

第六章 XD2006 版图设计与实现

版图是集成电路物理设计的结果，也是整个集成电路设计的最终结果，同时是集成电路设计与制造之间的唯一联系。本章首先对 XD2006 的版图布局进行了分析与研究，然后给出了 XD2006 的版图设计。

§ 6.1 XD2006 版图的整体布局

在进行版图设计之前首先要考虑的就是整体布局的问题，好的版图布局不仅可以使设计进行得很顺利而且还可以最大的优化电路的性能、减小版图的尺寸从而减小芯片尺寸降低成本^[33]。如果布局不好不但版图设计会受影响，而且还会影响整个系统设计的性能指标，甚至有可能使投片失败。

在对 XD2006 进行整体布局时我们考虑了以下几个方面的因素：

(1) 输入输出引脚的布局。首先要根据设计的要求确定输入输出脚的数目和压焊点的布局，然后确定适合的封装，这显得尤为重要，如果对压焊点数目和封装形式不清楚的话，很可能最终无法封装导致前功尽弃。XD2006 采用的是 8 引脚的 TSSOP 的封装，由于 XD2006 为数模混合集成电路，考虑到数字电路占有很大的比重，为了防止数字电路不断的开关所造成的噪声影响模拟电路的性能，我们将数字电路和模拟电路的电源线和地线分开。另外 XD2006 还有 11 个调节脚，由于输入输出引脚和调节脚受外部电路影响较大，所以将其放在芯片的周围以减小对内部电路的影响。

(2) 尽可能地减小噪声的干扰。由于芯片的工作频率很高（达到了兆赫级），在数字电路就会有明显的开关噪声的存在，如果对其不加处理的话，开关噪声就会通过衬底耦合到其它的电路中，因此很可能会影响到内部电路的正常工作。因此将数字部分和模拟部分分开放置^[34]，并用隔离岛隔开。同时也将部分对噪声敏感的电路（如基准）远离噪声源并用隔离岛将其与其它模块隔离。

XD2006 的整体版图布局及引脚布局如图 6.1 所示。

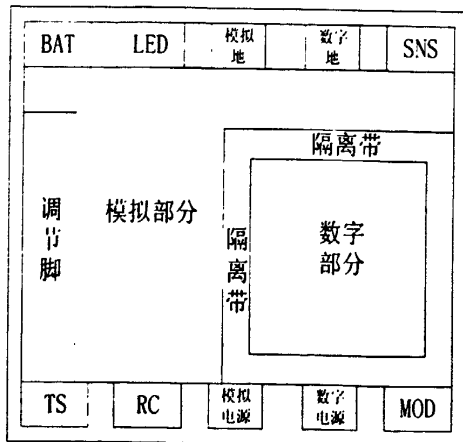


图 6.1 XD2006 版图整体布局示意图

此外，还应注意各个 PAD 的最大电

流, 在连线时, 金属线宽度足以承受流经其上的电流, 而且金属走线还要尽可能短, 减少因为导线电阻产生的热量。在保证电路性能正常的前提下, 应尽量减少芯片的面积, 这样不仅可以减小寄生效应, 还能够减少成本^[35]。当然在工程实际中还要考虑布线难易程度和较大面积电容的处理会对布局进行适当调整, 但是目的和原则是一样的。

§ 6.2 XD2006 版图的实现

XD2006 版图的设计分为三个部分来实现: 由于数字部分电路相对较大且关系复杂, 采用人工画法有较大的难度, 因此采用计算机自动布局布线; 模拟部分版图采用人工画法; 最后再由版图设计者将数字部分和模拟部分连接, 进行整体的电源线、地线及信号线的连接。

1、数字部分版图设计

XD2006 的数字部分版图采用自动布局布线的方法来实现。主要步骤描述如下^[36]。

(1) 数据准备和输入

自动布局布线的第一步是数据准备和输入。

在布局布线开始前, 应将相应的网表文件、标准单元库文件和各种设计约束文件准备好。

网表文件是由逻辑综合工具生成、以标准逻辑单元形式表示的逻辑网表。

标准单元库是由代工厂 Foundry 来提供。

(2) 布局规划和预布线布局

布局规划对芯片设计进行版图划分, 并对划分后的版图单元模块进行布局规划和分析, 在这个阶段, 可以估算出芯片的面积, 同时可以分析布线的稀疏度。

(3) 布线

布线是根据电路连接关系, 在满足工艺规则和电学性能的条件下, 在指定区域内完成所需的全部互连, 同时尽可能对连线长度和通孔数目进行优化。

(4) 设计规则检查和一致性检查

布局布线完成后, 要对版图进行设计规则、电学规则及版图与电路图的一致性检查。

2、模拟部分版图设计

模拟电路的版图设计是一项既复杂又具有艺术性的工作, 它需要考虑的因素很多, 在此仅简要的介绍几个需要特别注意的方面。

(1) 电阻的匹配性

由于电阻值是其方阻值与长宽比的乘积, 而方阻值会随温度与工艺的变化而

变化，制作绝对精确宽长比的电阻也是不现实的，因此通常采用电阻与电阻的比值得到较为精确的电压值。而要得到比较精确的电阻比就要使电阻与电阻相匹配，减小因温度与工艺等因素引起的偏差。

- 1) 把要匹配的电阻用相同的材料制作。
- 2) 使要匹配的电阻的宽、长保持一致，并且尽量使其宽度足够大。
- 3) 电阻应该平行放置。
- 4) 使要匹配的电阻尽量靠近。
- 5) 尽量采用叉指结构。
- 6) 在需要匹配的电阻周围用“虚拟”电阻包围起来，使其环境相同。

(2) MOS 管的匹配性

在模拟电路中存在许多需要精确匹配的 MOS，例如电流镜、差分对管等。

MOS 管的失配主要是由一种称作“栅阴影”的细微效应造成的。在离子注入时如果注入的离子束对准晶轴方向，离子就会在晶片中渗透很深，造成很明显的“沟道效应”，影响晶体管的性能，因此通常要将注入（或晶片）倾斜 $7\sim 9^\circ$ ，如

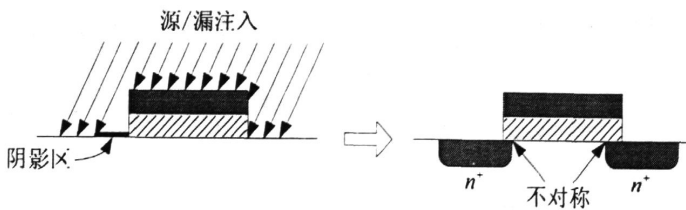


图 6.2 由注入倾斜造成的栅极阴影区

图 6.2 所示^[11]。这样栅极多晶硅就会阻挡一部分离子，形成阴影区。结果，在源区或漏区有一窄条区，它接收的注入较少，从而在注入区退火后，使源区和漏区边缘的扩散产生了细微的不对称。

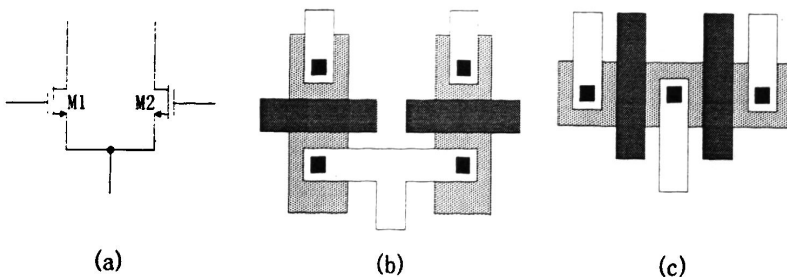


图 6.3 (a) 差分对；(b) 栅极在一条直线上的版图；(c) 栅平行排列的版图

考虑图 6.3 (a) 所示的差分对，图 6.3 (b) 和 (c) 的方案的选择就考虑到了上面所描述的“栅阴影”效应，在图 6.3 (b) 中，如果阴影区出现在源区（或漏区），那么这两个器件不会因阴影导致不对称。而在图 6.3 (c) 中，M1 和 M2 的周围环境不一致，导致两个器件不对称。不过图 6.3 (c) 中的不对称性可以通过在晶体

管两边加两个“虚拟”管的办法加以改进。因为这样可以使 M1 和 M2 管周围的环境几乎相同。另外，在对称轴的两边保持相同的环境也很重要，比如走线就会导致器件不匹配，因此在器件周围走线时尽量也要考虑到保持一致性和对称性。在 XD2006 的版图中，差分对通常为类似于图 6.4 所示的结构。

(3) 互连线

大量的失效分析表明，因金属化层通过针孔和衬底短路和铝膜布线开路造成的失效不可忽视，所以必须在设计布线时采取预防措施。例如尽量减少铝条覆盖面积，采用最短铝条，并尽量将铝条布在厚氧化层（寄生电容也小）上以减少针孔短路的可能。

防止铝条开路的主要方法是尽量少通过氧化层台阶。

对于多层金属布线，版图设计中布线层数及层与层之间通道应尽可能少。

(4) 寄生参数的考虑

由于我们所用工艺为 CMOS 工艺，CMOS 工艺是制作在衬底上，而衬底无处不在，所以寄生也就无处不在，我们无法消除这种寄生现象，也无法对其视而不见。如果忽略它的话，可能对电路分析造成偏差，不能反映真实情况。寄生不只是存在于某一层与衬底之间，还存在于层与层之间，层与层的侧面之间等等。一般来说分为下面几种情况：

- (1) 寄生电阻存在于元器件之间的相互连线或连线与过孔之间。
- (2) 寄生电容存在于平行线或相互交叉的连线之间。
- (3) 不相匹配的元器件源于不规则的版图设计。

所以为了减少寄生对电路的干扰，在版图设计时要注意使版图尺寸尽量小，不要四处布线、杂乱无章，连线尽量短，也不要再 MOS 管或重要电路上面走线。

3、XD2006 版图的实现

基于上述考虑，采用 Cadence 的 Virtuoso® Layout Editor 设计出的 XD2006 的版图如图 6.5 所示。

集成电路版图设计是集成电路的后端设计，它不仅需要设计者具有扎实的电路与工艺制造方面的知识，而且需要设计者具有创造性、空间想象力、韧性和日积月累的经验积淀，需要设计者对日新月异的集成电路发展密切关注和探索。对一个集成电路版图设计者来说，设计出一套符合设计规则的“正确”版图并不困

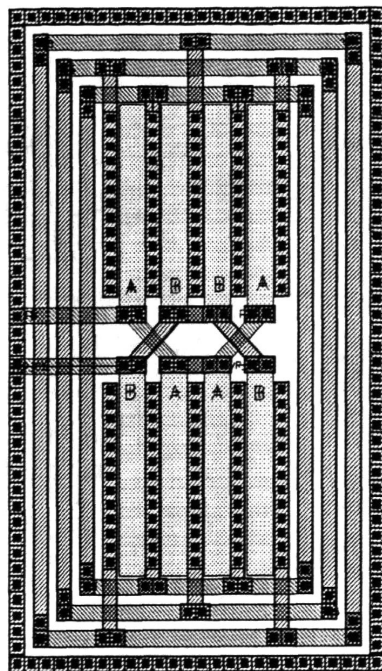


图 6.4 XD2006 中差分对的结构

难，但要设计出最大程度体现高性能、低功耗、低成本、能实际可靠工作的芯片版图却不是一件易事。

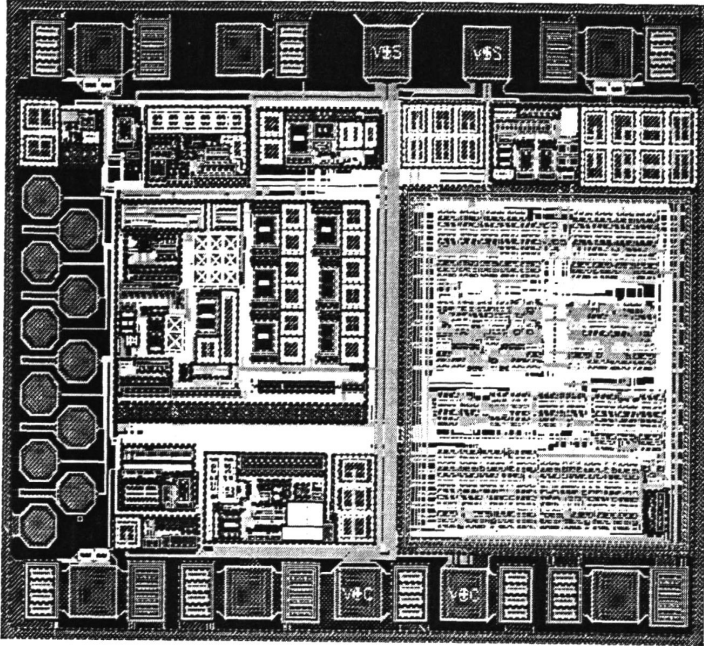


图 6.5 XD2006 的版图

4、XD2006 版图的验证

在设计版图过程中和版图完成以后都要对版图进行验证与修改，确保其正确性。在版图设计工作中，设计验证是必不可少、很重要的一个环节。

采用 Cadence 的版图验证工具 Dracula 对 XD2006 版图进行 DRC (Design Rules Checker)、LVS (Layout Versus Schematic)、LPE (Layout Parameter Extraction) 检查，对 LPE 网表进行后仿真验证。

图 6.6 为镍镉/镍氢电池充电后仿真波形。图中 TC、CC、TP、MC 分别为涓流预充电、恒流充电、补足充电和维护充电过程控制信号，MOD 为调制控制输出，SNS 为最大电流限制，IL 为电感电流。由图可以看出，充电过程中每个阶段均能按照设计要求来为电池充电：涓流充电和维护充电电流相等，恒流充电电流为 I_{max} (1A)，补足充电的电流为 $I_{max}/16$ ；最大电流限制 SNS 能很好的控制芯

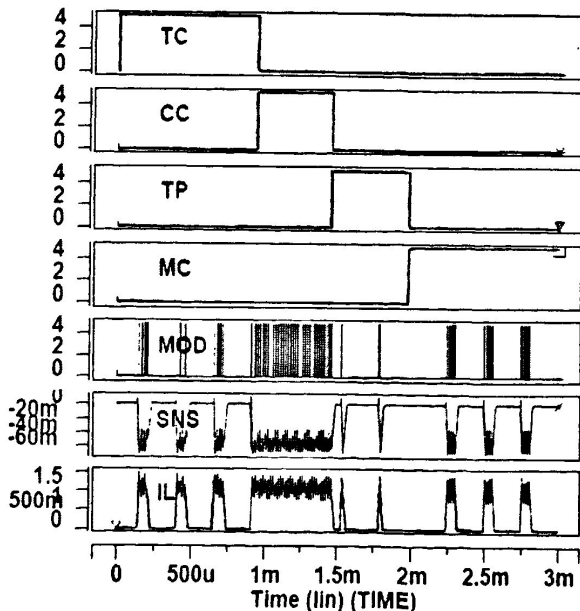


图 6.6 镍镉/镍氢电池充电后仿真波形图

片的最大充电电流。

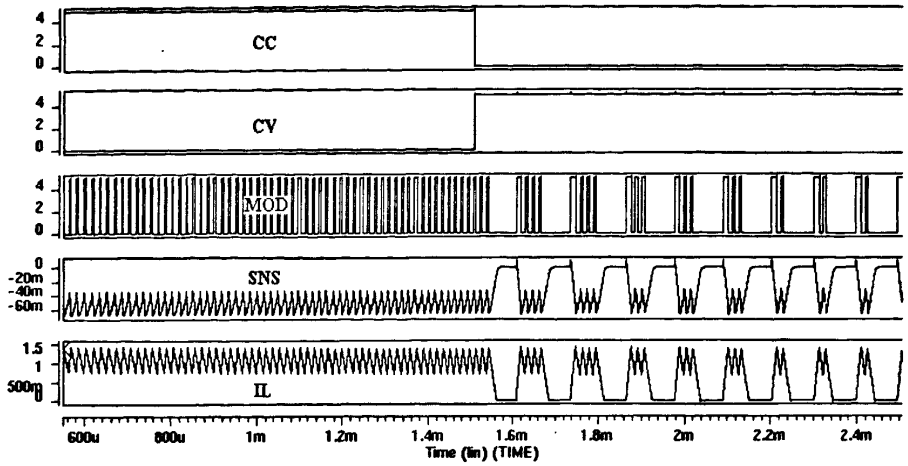


图 6.7 锂离子电池充电后仿真波形图

图 6.7 为锂离子电池充电后仿真波形。图中 CC、CV 分别为恒流充电控制信号和恒压充电控制信号。由图可以看出，锂离子电池恒流充电过程与图 6.6 中镍镉/镍氢电池恒流充电过程相同，不同的是恒流充电结束（电池电压达到最大电压）后，锂离子电池会进入恒压充电阶段。进入恒压充电阶段后，电池的最大充电电流保持不变，但是平均充电电流在不断的减小，直至达到最小充电电流限制阈值后，结束充电。

由以上分析可以得出，XD2006 可以快速安全的为镍镉/镍氢及锂离子电池充电。

结束语

本论文基于充电管理芯片的发展现状,结合西安电子科技大学电路设计研究所科研项目“数模混合系列集成电路关键技术理论研究与设计”,设计了一款多化学可编程的智能充电管理芯片——XD2006。该芯片结构新颖且功能强大,可应用于多节镍镉/镍氢电池以及单节/多节锂离子电池的充电管理。该芯片已经投片并且封装完成,现在正在功能及性能测试阶段。相信本芯片的设计成功会对其它同类芯片的设计有很大的帮助。

本文的研究工作和创新之处在于以下几个方面:

1、全面的分析和研究了镍镉/镍氢电池及锂离子电池的电特性、充电流程及充电终止方式。分析了当前智能充电管理芯片的结构及主要功能。

2、采用了多种方式结束对镍镉/镍氢及锂离子电池的充电。

对镍镉/镍氢电池采用了最高温度检测、最长充电时间检测和 $-\Delta V$ 检测的方法;

对锂离子电池采用了最高温度检测、最长充电时间检测和最小充电电流检测的充电终止方法。

3、采用了高精度的电压基准和电池电压检测电路,从而可以精确的控制锂离子电池的电压。

4、采用了高精度的12位A/D转换电路,实现了对镍镉/镍氢电池的精确的电压检测,有效的防止欠充电和过充电情况的发生。

5、对芯片进行了可测性设计

本论文分析了当前模拟及混合信号集成电路可测性设计的主要方法,根据充电管理芯片的模式较多、测试较难的问题,采用管脚复用技术和内建测试电路对XD2006进行了可测性设计。该测试方案在完成芯片所有功能和性能测试的基础上,减小了测试的难度,大大缩短了测试所需的时间,节省了测试成本。

6、对于不同的电路采用了灵活多变的设计方法。

其中包括模拟电路设计、利用门电路搭建数字逻辑和时序电路以及通过高级语言Verilog HDL进行设计。

7、在完成模拟集成电路版图设计的基础上利用自动布局布线实现了数字电路版图的设计。

论文诠释了数模混合集成电路芯片中整体布局所要考虑的方面,分析了模拟IC版图设计要考虑的关键因素,介绍了自动布局布线的流程。

虽然XD2006芯片的设计工作已经完成,但是由于作者能力和时间的限制,

本论文的研究工作还不够完善，还有许多有待改进的地方。在上述工作基础上还可以进行更深入、更有意义的研究，并关注充电管理芯片的一些热点研究问题，包括：

1、 由于充电过程仅对镍电和锂电进行识别，因此无法区别镍镉和镍氢电池，所以对镍镉电池存在“记忆效应”的问题我们还无法解决。

2、 外围电路较为复杂，整个充电控制电路板面积较大。如果将大部分的外围器件集成到芯片内部，那么将会大大缩小外围电路的复杂度，但同时又会增加芯片的成本，而且芯片的散热会成为很大的问题。

总之，充电管理芯片的设计是一个多种因素组合及折衷的结果，我们能够做的就是在控制成本且保证性能的基础上努力使其功能更加强大更加完善。

致谢

值此论文完成之际，谨向给予过我指导、关心和帮助的人们致以最衷心的感谢。

首先深深地感谢我的导师来新泉教授，在这两年多的学习和生活中他给予了我无微不至的关怀。在工作和学习方面，来老师一直以严谨的治学态度和渊博的知识对我严格要求和谆谆教诲，来老师创造的宽松民主的学术氛围、团结和谐的工作环境也极大地激发了我的创新意识和进取精神。尤其本论文从选题、论证、研究到最后完成，自始至终无不凝聚着来老师的心血。在此，谨向来老师致以最衷心的感谢。

感谢我的父母和家人。没有他们对我无微不至的照顾，没有他们对我的督促和鼓励，没有他们的无私奉献，就没有今天的我。他们是我人生舞台上的良师益友，更是我一路走来不断求学上进的力量源泉！

感谢王松林老师、白凤莲老师、曹玉老师以及李先锐老师在平日的学习和工作中给予的关心和帮助。

感谢设计组中的各位同学：陈富吉、孙作治、王红义、董贤辉、周丽霞、高雪莉、张乔珍、贾云斌、郭建平、余维学、李刚、袁冰、王轶、梁涛、韩晓斌、薛荣华在学习和生活上所给予的无私帮助。

感谢西电电路 CAD 所的诸位同学陈杰生、刘刚、张杰、曹辉、陈炜、马凯、刘鸿雁、王建平、郭晓峰以及众多师弟师妹们所给予的帮助。

最后，感谢西电 CAD 所和西安德恒科技有限公司，为我们提供了良好的工作环境和生活学习上的支持。

参考文献

- [1] 路秋生. 常用充电器电路与应用. 北京: 机械工业出版社, 2005, pp. 12-19
- [2] 王国华, 王鸿麟, 羊彦等. 便携电子设备电源管理技术. 西安: 西安电子科技大学出版社, 2004, pp. 134-150
- [3] Khosrow Khy Vjeh. 便携式应用中的充电技术. 电子设计技术. 2003 年第 12 期
- [4] David Ginder, Jim Stone, Art De Mint. 锂离子电池促进便携式产品的发展. 便携产品设计, 2005
- [5] Bruno Kranzen. 充电器 IC 设计需要系统级考虑. 电子设计技术. 2003 年第 9 期
- [6] Bo Zhang. Power Semiconductor Devices and Smart Power ICs. 第二版. 2001
- [7] David Bell. Simple Charger Targets Lithium-ion Batteries. Linear Technology Corp. 1999.9
- [8] Robert B. Northrop. Analog Electronic Circuits. 1989
- [9] Vincent Biancomano. Battery management ICs buy more operating time. 2001.11
- [10] Nagaraj, Krishnaswamy. Band voltage reference generator. United States Patent 5512817, 2001
- [11] 毕查德·拉扎维著. 陈贵灿, 程军, 张瑞智译. 模拟 CMOS 集成电路设计. 西安: 西安交通大学出版社. Inc. 2003. pp.239-306, pp.494-592.
- [12] Phillip E. Allen, Douglas R. Holberg. CMOS Analog Circuit Design. Oxford University Press, Inc. 2002. pp. 477-488.
- [13] Paul R. Gray, Paul J. Hurst, Robert G. Meyer. Analysis and Design of Analog Integrated Circuits. Fourth Edition. New York: John Wiley & Sons, Inc. 2001.
- [14] EUTECHX Division 2. XD2006 Design Note. 2005
- [15] Petr Kadanka, Rosnov pod Radhostem, Czechoslovakia. LOW RIPPLE VOLTAGE REFERENCE CIRCUIT. United States Patent, 1997
- [16] 邱关源. 电路 第四版. 北京: 高等教育出版社. 1999
- [17] 孙肖子, 张畴先, 谈文心等. 电子线路基础. 西安电子科技大学出版社. 1998
- [18] Omid Oliaei, Patrick Clement, Philippe Gorisse. A 5-mW sigma-Delta Modulator With 84-dB Dynamic Range for GSM/EDGE. IEEE JOURNAL OF SOLID STATE CIRCUITS, VOL.37, NO.1, JANUARY 2003
- [19] Brian P. Brandt, Drew E. Wingard, Bruce A. Wooley. Second-Order Sigma-delta Modulation for digital-audio Signal Acquisition. IEEE JOURNAL OF SOLID STATE CIRCUITS, VOL.26, NO.4, APRIL 1991

- [20] L.Wang, S.H.K. Embabi, and E.Sanchez-Sinencio, "1.5-V 5.0-MHz switched capacitor circuits in 1.2- μ m CMOS without voltage bootstrapper," IEEE Custom Integrated Circuits Conf, May 2001, pp.17~20.
- [21] 蔡跃明, 沈永朝, 吴伯修. 过采样 $\Sigma\Delta$ 转换技术. 电子科学学刊, 第17卷第5期, 1995年9月
- [22] 雷绍充, 邵志标, 梁峰. VLSI 测试方法学和可测性设计. 北京: 电子工业出版社, 2005
- [23] 宋玉兴, 任长明. 超大规模集成电路设计. 北京: 中国电力出版社. 2004
- [24] 朱正涌. 半导体集成电路. 北京: 清华大学出版社, 2001
- [25] 王红义, 来新泉, 李玉山. 一种DC-DC芯片内建可测性设计. 半导体学报, 2005
- [26] 钟锐, 魏同立. 模拟及混合信号芯片的可测性设计. 东南大学学报, Vol 33, NO.3, May, 2003
- [27] Meixner A, Maly W. "Fault modeling for the testing of mixed integrated circuit". Int Test conference, 1991
- [28] 王新峰, 邱静, 刘冠军. 模拟和混合信号BIT技术. 测控技术, 2004年第23卷第6期.
- [29] Agrawal V.D. Design of mixed signal systems for testability[J]. VLSI Journal, 1998, 141~150
- [30] Vinnakota B. Analog and Mixed signal test[M]. New York: Prentice Hall PTR, 1998, 65~66
- [31] Toner M F. MADBIST a scheme for built in self-test of mixed signal analog digital integrated circuits. Montreal: McGill University, 1995
- [32] Ohletz M.J. Hybrid built in self test(HBIST) for mixed analog/digital integrated circuits. In: Proc European Test Conference. 1991. 307~316
- [33] 李玉山, 来新泉, 贾新章. 电子系统集成设计技术. 北京: 电子工业出版社, 2002
- [34] 贾新章, 郝跃. 微电子技术概论. 西安: 西安电子科技大学出版社. 高等学校工科电子类规划教材
- [35] 蔡懿慈, 周强. 超大规模集成电路设计导论. 北京: 清华大学出版社. 2005
- [36] 王志功, 朱恩. VLSI设计. 北京: 电子工业出版社. 2005

在读期间研究成果

参加科研情况:

- 1、参加西安电子科技大学电路设计研究所科研项目“数模混合系列集成电路关键技术理论与设计”。本人完成了一款多化学可编程的智能充电管理芯片的系统设计、电路设计以及版图的设计实现，已在某国外工艺线上投片，目前正在测试中。
- 2、在学期间，主导了一款 BCD 工艺的宽电源多化学可编程的充电控制芯片的前期电路设计与仿真验证。
- 3、在进行上述科研项目的时候，参与了上述芯片的设计报告和仿真报告的撰写。
- 4、参加西安电子科技大学电路 CAD 研究所重点科研项目“电源管理类系列集成电路设计”。本人主要负责充电管理芯片的设计与理论研究。

发表论文情况:

- 1、Lai Xinquan, Geng Weisheng, Chen Fuji, Dong Xianhui. A Novel Design of Power Supply Voltage Selector. The 6th International Conference on ASIC Proceeding. Shanghai, China. 2005.10.