

## 独创性声明

本人郑重声明：所呈交的学位论文，是本人在导师的指导下，独立进行研究工作所得的成果。除文中已经注明引用的内容以外，本论文不包括任何其他个人或集体已经发表或撰写过的作品成果。对本文的研究作出重要贡献的个人和集体，均已在文中以明确方式标明。本人完全意识到本声明的法律结果由本人承担。

学位论文作者签名：

日期：        年    月    日



Y1809888

分类号 TN433、TN791-2

密级 机密

UDC 621.3

编号: 10299010532

## 学 位 论 文

高速 BiCMOS 模数转换器的设计与仿真

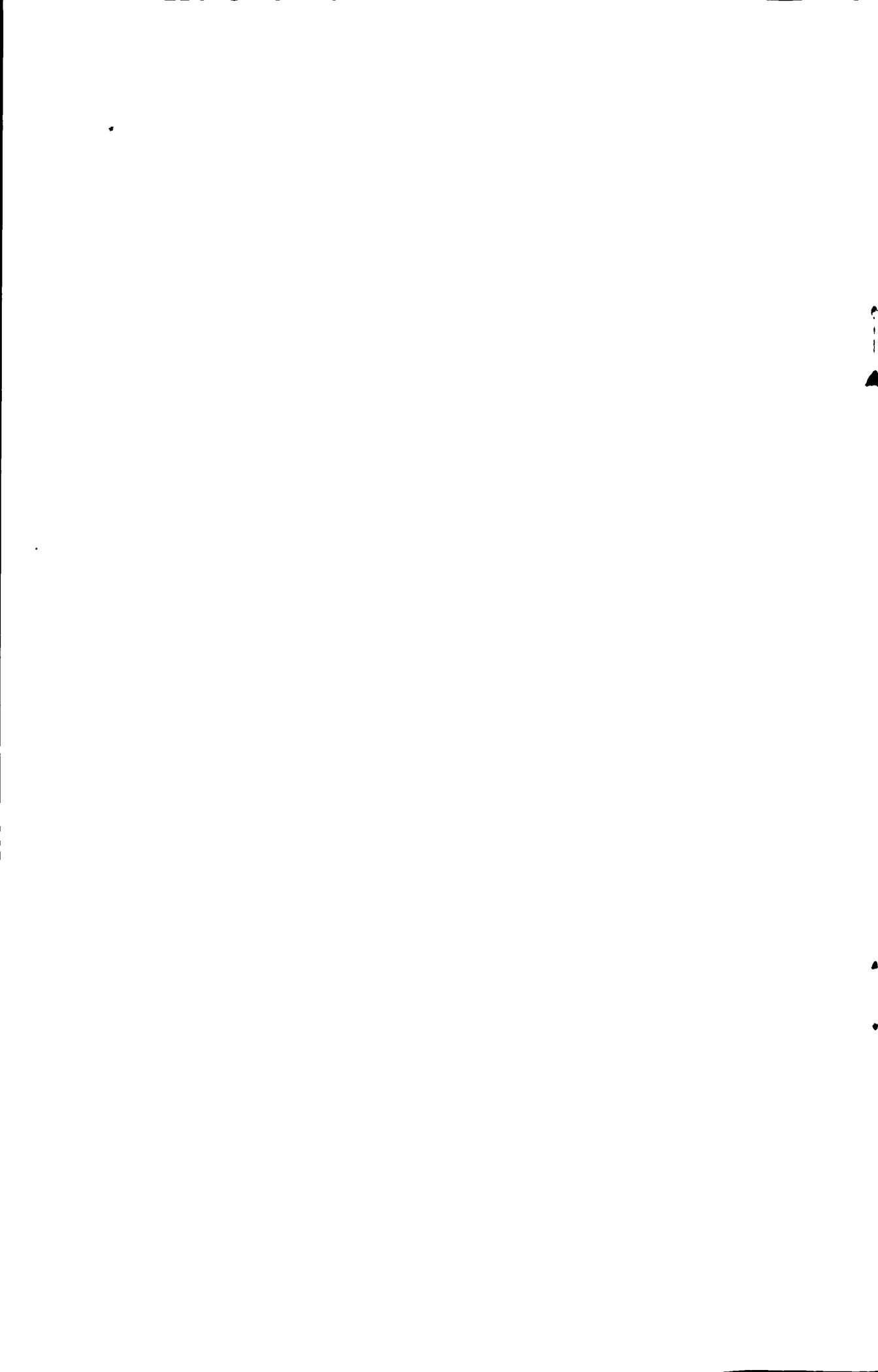
DESIGN AND SIMULATION OF HIGH-SPEED BICMOS

ANALOG-TO-DIGITAL CONVERTER

专业名称: 农业电气化与自动化

指导教师: 成 立 教授

作者姓名: 王 振 宇



## 摘 要

由于数字技术处理信号具有模拟技术无法比拟的突出优点, 数字系统在诸如计算机、通信、电子测量、工业控制、视频和音频处理等众多领域得到了日益广泛的应用, 这对作为模拟系统与数字系统接口的模数转换器 (Analog to Digital Converter, 简称 ADC) 提出了更高的要求, 主要体现在高速、高分辨率及低功耗等性能指标上。

BiCMOS (Bipolar Complementary Metal-Oxide-Semiconductor) 技术将双极器件与 CMOS 器件有效结合, 既保持了 CMOS 电路的低功耗和高集成度的优点, 又获得了与双极电路相媲美的高速性能和强驱动能力, 因此, 近年来此技术正日益受到 IC 界的重视。

本文设计的 ADC 采用先进的 BiCMOS 技术及每级 1.5 位子 ADC 及 DAC 的流水线结构, 并运用冗余数字校正技术, 完全纠正了由各级子 ADC 及 DAC 等电路组件失配可能引起的线性失调及非线性误差, 从而降低了子 ADC 及 DAC 的精度要求。本文最后对 ADC 的各子电路模块及全电路进行了逐一、反复的仿真试验, 模拟结果表明, 所设计的 ADC 的采样频率可以达到 20MHz, 电源电压为 3.3V 时功耗约为 156mW, 有效分辨率为 10 位, 总体上实现了高速、高精度、低功耗地完成模拟/数字信号转换的设计目标。

根据 ADC 电路的性能要求, 结合目前集成电路的工艺水平, 简要地提出了实现本文设计模数转换器的 BiCMOS 工艺设计要点。

**关键词:** BiCMOS 技术, 模数转换器, 流水线结构

**中图分类号:** TN431~TN433, TN791~TN792

## ABSTRACT

Because signal processing with digital technology has many outstanding merits comparing with that with analogue technology; therefore, digital system has widely applied in computer, communication, electric measure, industrial control, video and audio processing and such fields. It brought forward higher request to analog to digital converter(ADC), which is used interface between analogue system and digital system, including qualifications of high-speed, high-resolution, low-power, and so on.

BiCMOS (Bipolar Complementary Metal-Oxide-Semiconductor) technology combines bipolar device with CMOS device effectively, so it not only holds CMOS circuit's virtues of low power, high integration density, but also obtain bipolar circuit's merits of high speed strong driving power. So people are increasingly attaching much importance to the technology in recent years.

The ADC designed in this dissertation adopts advanced BiCMOS technology, pipeline structure of 1.5-bit per stage in sub-ADC and sub-DAC, and completely corrects linearity maladjustment and non-linearity maladjustment probably caused by mismatch in circuits. Consequently required precisions of sub-ADC and sub-DAC are reduced. Finally, ADC's each circuit module and full circuit have been simulated again and again in this dissertation. Simulation result shows that the designed ADC's sample frequency has reached 20 MHz, its power consumption is 156mW under 3.3V-power supply, and its effective resolution is 10 bit. Design objective of converting analog signal to digital signal are also performed in high speed, high accuracy and low power as a whole.

According to performance index in the pipeline ADC circuit and existing technological level of IC, technological design points used to the ADC are concisely proposed in this dissertation.

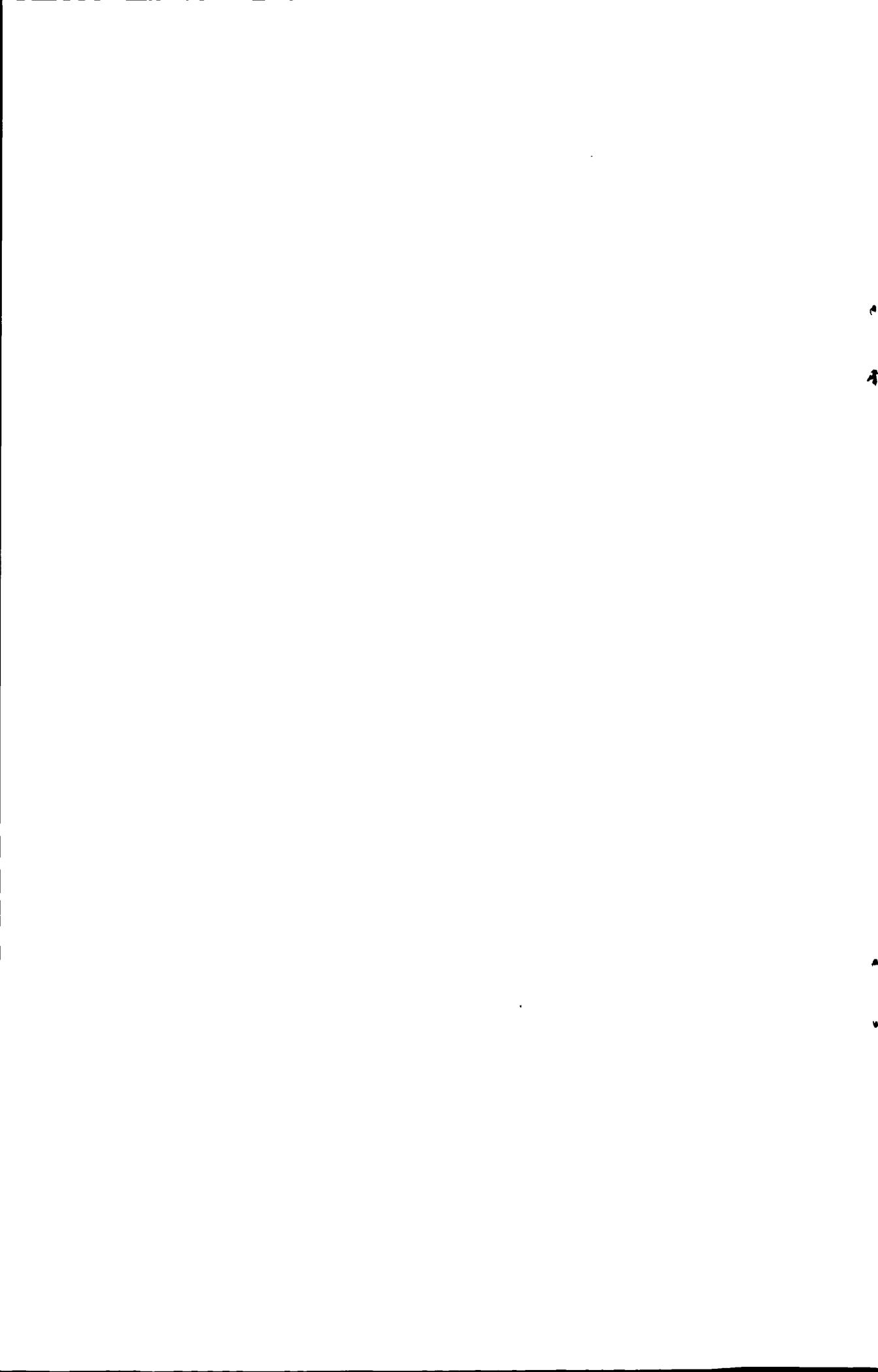
**KEY WORDS: BiCMOS technology, analog to digital (ADC), pipeline structure**

# 目 录

摘要.....	I
ABSTRACT.....	II
目录.....	III
<b>第 1 章 绪论</b> .....	1
1.1 BiCMOS 技术研究进展.....	1
1.2 模数转换器的现状及发展趋势.....	3
1.3 论文研究的意义.....	4
1.4 本文研究的主要内容及论文章节的安排.....	5
<b>第 2 章 BiCMOS 技术及其逻辑电路设计</b> .....	6
2.1 BiCMOS 基本结构.....	6
2.1.1 BiCMOS 电路结构.....	6
2.1.2 BiCMOS 工艺技术.....	7
2.2 BiCMOS 与 CMOS 器件的主要性能比较.....	8
2.2.1 负载能力.....	8
2.2.2 延迟时间.....	8
2.2.3 集成度及功耗.....	8
2.3 BiCMOS 数字逻辑门电路设计.....	9
2.3.1 BiCMOS 反相器设计.....	9
2.3.2 BiCMOS 与非门.....	12
2.3.3 全摆幅 BiCMOS 逻辑门设计.....	13
2.3.4 BiCMOS 三态门.....	16
2.4 本章小结.....	16
<b>第 3 章 模数转换技术及高速模数转换器(ADC)简述</b> .....	17
3.1 模数转换的基本原理.....	17
3.1.1 信号采样理论.....	17
3.1.2 采样与保持(S/H).....	17
3.1.3 量化.....	19
3.1.4 编码.....	19
3.2 A/D 转换器的主要性能指标.....	20
3.2.1 静态特性参数.....	21
3.2.2 动态特性参数.....	23
3.3 高速模数转换器主要结构及比较.....	25
3.3.1 全并行(Flash)模数转换器.....	25
3.3.2 分级式模数转换器.....	26
3.3.3 折叠插入式模数转换器.....	27

3.3.4 流水线模数转换器.....	28
3.3.5 高速 ADC 结构的比较.....	30
<b>第 4 章 BiCMOS 流水线 ADC 总体方案设计.....</b>	<b>31</b>
4.1 1.5 位/级流水线 ADC 结构.....	31
4.2 系统误差来源及分析.....	32
4.3 数字校正原理及校正方案.....	34
<b>第 5 章 ADC 单元电路的设计.....</b>	<b>38</b>
5.1 BiCMOS 运算放大器.....	38
5.1.1 运放的主要性能要求.....	38
5.1.2 运放的结构选择.....	39
5.1.3 运放的实现电路和参数确定.....	40
5.2 CMOS 开关.....	44
5.2.1 CMOS 开关(传输门).....	44
5.2.2 改进型 CMOS 开关.....	45
5.3 采样保持(S/H)电路.....	46
5.3.1 S/H 电路的结构及工作原理.....	46
5.3.2 节点的沟道电荷注入分析.....	48
5.3.3 CMOS 开关的尺寸设计.....	48
5.3.4 采样精度分析.....	49
5.3.5 采样保持电路速度分析.....	50
5.3.6 采样保持放大器增益的计算.....	51
5.4 级间增益电路.....	52
5.5 2 位子 ADC.....	54
5.5.1 比较电路设计.....	54
5.5.2 数字量变换电路.....	56
5.6 2 位子 DAC.....	56
5.7 数字延迟电路.....	57
5.7.1 动态移位锁存器.....	57
5.7.2 各级延迟的电路实现.....	58
5.8 数字校正电路.....	59
5.9 其它电路设计.....	60
5.9.1 两相不交迭时钟信号的产生.....	61
5.9.2 输入保护电路.....	61
5.9.3 BiCMOS 三态输出电路.....	62
5.10 本章小结.....	62
<b>第 6 章 BJT 与 MOS 器件模型参数的分析与选取.....</b>	<b>63</b>
6.1 双极型管模型参数的分析与选取.....	63
6.1.1 影响模拟电路延时性能的 BJT 主要参数分析.....	63
6.1.2 影响数字电路延时性能的 BJT 主要参数分析.....	65
6.2 BJT 主要参数的选取.....	66

6.3 MOS 管主要模型参数的选取 .....	66
<b>第 7 章 模数转换器的仿真及功能验证</b> .....	<b>68</b>
7.1 仿真工具选择.....	68
7.2 各部分功能单元的仿真.....	68
7.2.1 S/H 电路.....	68
7.2.2 运算放大器.....	69
7.2.3 级间增益电路.....	70
7.2.4 比较器电路.....	70
7.2.5 子 ADC 及子 DAC.....	71
7.2.6 数字延迟电路.....	71
7.3 全电路模拟.....	72
<b>第 8 章 BiCMOS 工艺设计要点</b> .....	<b>73</b>
8.1 BiCMOS 器件结构及其参数.....	73
8.2 BiCMOS 工艺流程中的几项制作技术.....	74
8.2.1 整体工艺流程.....	74
8.2.2 双阱 CMOS 工艺技术要点.....	74
8.2.3 MOS 器件衬底偏置要点.....	74
8.2.4 BiCMOS 工艺上的特殊考虑.....	74
<b>第 9 章 结论与展望</b> .....	<b>76</b>
9.1 论文主要进行的研究工作.....	76
9.2 结论与讨论.....	76
9.3 今后拟进一步开展的研究工作.....	77
致谢.....	79
参考文献.....	80
附录.....	82
本文作者硕士生期间参加科研工作及论文发表的情况 .....	93



# 第 1 章 绪 论

## 1.1 BiCMOS 技术的研究进展

传统的双极型晶体管 (Bipolar Junction Transistor, 简称 BJT) 器件具有高速、电流驱动能力强、低噪声和低失调等优点, 十分适宜于高速运用的场合, 但功耗和尺寸大的缺点阻碍了它在超大规模集成电路 (VLSI) 中的应用; MOS 器件自 70 年代诞生后就以其低功耗、高集成度的突出优点逐步取代 BJT, MOS 尤其是 CMOS 技术因此而得到迅速发展并成为集成电路 (IC) 制造的主流工艺。但 MOS 管跨导小、驱动能力差, 因此 CMOS 电路的工作速度一般比双极型电路低, 在需要高速运行的场合, 往往只能以增大功耗及器件尺寸为代价选用双极型电路。

那么能否设计出一种集双极型与 CMOS 器件各自优点于一身的新型电路结构呢? 这就是所谓的 BiCMOS (Bipolar Complementary Metal-Oxide-Semiconductor, 双极互补金属氧化物半导体兼容电路) 技术, 简单地说, 就是把双极型器件与 CMOS 器件同时集成在同一块 IC 芯片上, 这种电路结构集中了双极器件的高速、高跨导、驱动能力强和 CMOS 器件功耗低、集成度高的优点, 因此其综合性能明显超越了单一工艺电路, 这已经被二十多年来的 BiCMOS 电路设计和开发的理论与实践所证实。图 1.1 对分别以双极、CMOS、BiCMOS 技术构成的逻辑电路的主要性能做了定性比较<sup>[1]</sup>, 显然, BiCMOS 对电路的性能空间作了完美地折衷。

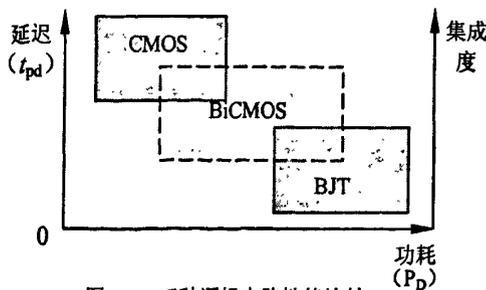


图 1.1 三种逻辑电路性能比较

早在二十世纪 70 年代, 人们就已经有了将双极和 CMOS 器件组合的想法, 最初的方案是将双极与 CMOS 器件按各自的工艺分别制作并通过单元间的互连构成, 尽管是在同一块芯片上, 但受到工艺、互连等诸多因素的影响, 集成度与

速度性能的提高十分有限。后来人们又提出了在 CMOS 工艺基础上增加 1~2 张掩模版, 在 CMOS 结构中集成双极器件, 这使当时主要采用 CMOS 工艺的数字电路性能有了较大提高, 代表性的器件有美国无线电公司分别于 1972 年和 1974 年开发的铝栅 BiCMOS 运算放大器 TA6465 及 CA3130, 以及后来日立公司 1984 年发表的 BiCMOS 门阵列, 并逐步形成比较规范的 BiCMOS 工艺<sup>[2]</sup>。但是, 由于一方面当时双极与 CMOS 两种技术在工艺和设备上的差异较大, 组合难度大, 成本很高; 另一方面那时电路中高电压盛行, 且人们对于高速与低功耗的性能要求并不十分迫切, 因此, BiCMOS 并未就此得到迅速发展并成为 IC 制造的主流工艺。

进入二十世纪 90 年代以来, 数字计算机、高速通信, 尤其是模/数混合信号应用领域的飞速发展, 对电路的高速性能要求大大提高, 纯 CMOS 电路日益暴露出它的缺点。例如在高速应用的场合, 对于纯 CMOS 电路, 为了在小尺寸条件下实现大电流驱动, 必须要求进一步减小栅氧化层厚度  $t_{ox}$ , 以提高器件的跨导

$$[g_m = \mu_n \frac{\epsilon_{ox}}{t_{ox}} \frac{W}{L} (u_{GS} - U_{TN})],$$

但这会导致沟道电流密度大为增加 (10~100) A/cm<sup>2</sup>,

从而使器件可靠性变差, 加上短沟道效应和寄生参数的影响, 器件截止频率也下降

$$(f_{max} = \frac{f_T}{\sqrt{\frac{r_g + r_e}{r_o} + 2\pi f_T r_g C_{gd}}}).$$

相反, 如果采用双极技术则可以比较容易地解决

上述问题。同时, 经过多年的并行发展, 双极与 CMOS 技术的工艺和设备复杂程度都大为提高, 两者之间界限变得趋于模糊, 融合两种技术的条件已十分成熟, 所以 BiCMOS 技术重新得到重视并得到迅速发展完全是水到渠成、大势所趋<sup>[3]</sup>。

目前, 国外许多公司 (IBM、Intel、TI 等) 已在高密度存储器 (SRAM、DRAM)、微处理器 (CPU)、逻辑电路、专用集成电路 (ASIC) 中开始采用 BiCMOS 技术。这一阶段的 BiCMOS 电路在功能与性能的提高上已今非昔比, 尤其在高端的开发中已融合了最先进的双极技术, 如 SiGe、SOI (绝缘材料衬底上的硅)、HBT (异质结), 多晶硅发射极、自对准技术等, 且工艺特征线宽已达到亚半微米 (0.5 $\mu$ m ~ 0.35 $\mu$ m)。飞利浦半导体公司用 0.25 $\mu$ m 全硅 BiCMOS 工艺开发的 QUBiC4 RF 芯片具有很高的性价比及频耗比, 它采用的多晶硅双极技术使双极晶体管具有 90GHz 的截止频率, 芯片可应用于 2~5GHz 的低耗高频无线通信领域。Intel 公司的 Pentimn Pro 芯片采用了 0.35 $\mu$ m 的 BiCMOS 工艺。

可以说, 迅速崛起的 BiCMOS 技术已经成为当今高速、高集成度硅基 IC 设

计又一个重要的技术平台。但是,它的发展也面临着一些问题。例如,如何在低电压和低功耗设计中提高动态范围?如何扩展 BiCMOS 技术在数/模混合信号领域的应用?本文试图在这些方面作出一些有益的探讨。

## 1.2 模数转换器的现状及其发展趋势

随着超大规模集成电子技术的发展,数字信号处理系统(DSP)的处理速度越来越高、功能越来越强,因此许多模拟信号系统正在寻求采用数字技术方法进行数据处理工作。但是由于数字系统传送和处理的是不连续的数字信号,而自然界的实际信号,如语音信号、传感器信号、雷达回波信号等大多是连续变化的自然模拟量,此模拟量转换为电信号模拟量后,需经模/数转换变成数字信号方可输入到数字系统中进行处理和控制在模拟世界和数字处理系统之间,必然存在着接口部分—模数转换器(Analog to Digital Converter,简称ADC),也就是将模拟信号转换成数字信号的接口电路,它的功能是将来自外界的模拟输入信号转换为与之相对应的N位二进制数字代码。

与其他电子设备的一样,模数转换器的发展也经历了电子管-晶体管-集成电路三个阶段。上个世纪50年代,在美国波士顿展出的第一台电子管ADC,重达68千克,功率约为500W,采样速率50kSPs,精度0.05%,它被认为是模数转换器的先驱<sup>[4]</sup>。60年代初,转换技术的重大进展是采用晶体管作为有源元件,大大减轻了重量,继而又出现了用薄膜、厚膜工艺制成的8位ADC。70年代初,当解决了在硅片上直接集成电阻网络难题后,真正意义上的集成模数转换器诞生了。从此,伴随着各种新技术、新工艺的出现,ADC的发展开始步入大规模集成的时代,到80年代左右,可供选择的ADC产品已达数十种之多,而以转换器为中心的各种配套产品如采样保持电路、模拟多路转换器、模拟开关、精密基准电源等更是品种繁多。集成模数转换器发展至今,一个尤其不容忽视的进展是实现了与微处理器及PC机的兼容,与微机兼容的转换器设有微机指令控制的内部逻辑电路,使转换器在微机指令的控制下进行转换。

就制造工艺而言,早期的ADC主要运用全双极工艺,并采用了集成注入式逻辑(I<sup>2</sup>L)和射极耦合逻辑(ECL)等高速结构。70年代开始利用全CMOS工艺开发产品日见增多,主要以全CMOS和全NMOS的为主。近年来,因基于CMOS工艺制作的电路集成度远高于双极工艺制作的电路,故CMOS工艺已经在单片集成ADC中占据了主导地位。目前,为进一步提高转换速度,国外一些IC制造商

开始尝试研发基于 BiCMOS 工艺的 ADC。BiCMOS 技术的突出优点可使 ADC 获得更优异的转换性能, 因此必将成为推动高速模数转换技术发展的强大动力。

伴随着 IC 设计技术、工艺制造技术发展起来的 ADC 技术取得了长足的进步, 但就其性能特点来看, 无论何种电路结构的 ADC, 若要提高转换速度, 就要以相对较低的分辨率和较大的功耗为代价, 而要获得较高的分辨率和精度, 则必须牺牲一定的速度, 过于强调低功耗, 就很难实现高的分辨率和速度。因此在 ADC 系统设计中必须在速度-分辨率-功耗之间作出适当的权衡。以此为标准可以将现有的各种 ADC 划分为两大类型: 其一为高精度型 ADC, 如逐次逼近型、积分型、 $\Delta-\Sigma$  型等, 此类产品的最高分辨率可达 24 位, 但它们的转换速度一般较低; 其二为高速型 ADC, 如全并行 (又称快闪式, Flash)、分量程型 (如二步式)、流水线型、折叠插入式等, 此类产品的最高采样速率可达 1GHz 以上, 但同时可实现的分辨率一般在 8 位以下, 而且功耗极大。本文设计的流水线型 ADC 侧重于获得较高的转换速度, 并同时适当兼顾分辨率和功耗。

国内从上个世纪 70 年代开始研制转换器 (ADC 及 DAC), 发展较缓慢, 但近年来这项工作正在不断受到重视, 尤其在单片、混合及模块集成技术方面都投入了一定的研制力量, 已研制出 8、10、12、14 和 16 位的 ADC 产品, 典型的技术水平为: 8 位 ADC 的转换时间  $\leq 400\text{nS}$ , 10 位 ADC 的转换时间  $\leq 25\mu\text{s}$ , 12~16 位 ADC 的转换速度均已达到  $\mu\text{s}$  数量级。但与国外同类 ADC 相比, 在产品种类及性能上还存在很大的差距, 所以国内 ADC 的研发任重而道远。

综合国内外转换器研究、开发情况可以看出, ADC 正朝着高分辨率、高转换速度及低电源电压、低功耗、单片化方向发展。主流发展趋势是以硅基为主导实现单片集成制造; 以 CMOS 及 BiCMOS 工艺为技术平台, 既可以适应混合信号处理的要求又满足了与 MOS 电路接口需要, 同时积极采用 SOI、GeSi、GaAs 等先进的半导体制造技术, 努力使特征线宽达到亚半微米 ( $0.5\mu\text{m} \sim 0.35\mu\text{m}$ ) 的水平; 将以市场需求较大的 8~10 位中高速、低功耗 ADC 作为主导发展的产品。

### 1.3 论文研究的意义

随着微电子技术、信息通讯技术的高速发展, 基于数字信号处理的各种数字系统应用日益广泛, 且工作速度越来越高、功能越来越强、数据处理量越来越大, 与之相适应, 必然要求作为数字系统接口的转换器也具有高速、高精度的性能。

传统的全双极工艺无法满足低功耗及高集成度要求, 为了降低系统成本、功

耗及缩小体积以满足电子系统小型化、绿色化发展趋势,必须采用 CMOS 或 BiCMOS 工艺,考虑到全 CMOS 电路的速度比 BiCMOS 电路低,而 BiCMOS 电路除了比全 CMOS 电路功耗略大外,其他全 CMOS 电路性能优点它都具备,而且能与各种模拟、数字系统完全兼容,输入输出接口(I/O)设计灵活,因此采用 BiCMOS 工艺更为理想。本文在 BiCMOS ADC 设计中的指导思想是将逻辑处理能力较强的 CMOS 结构用于逻辑数字处理,而在输出部分采用双极型器件。

尽管目前国外已有一些公司及研究机构正在进行基于 BiCMOS 技术的转换器研究与开发,但国内却还没有开展这方面工作,运用此项新技术对一些传统电路结构进行适当改进和提高极具积极意义。

流水线方式是目前高速 ADC 设计中一种比较先进、高效的结构形式,与目前高速 ADC 普遍采用的全并行结构相比,具有内部元件少,功耗低且不会进入亚稳态的优点,运用先进的数字校正技术,可用它来设计出 8~12 位分辨率、(10~100)MSPs 采样速率的模数转换器,这与今后高速 ADC 发展趋势和市场需求十分吻合。因此采用这种结构进行设计比较合理。

### 1.4 本文研究的主要内容及论文的章节安排

本文设计所依托的基金课题是江苏省高校自然科学研究项目:高速、低耗、低电源电压 BiCMOS 电路的研究(02KJB51005)。在进行研究、设计时充分利用了该课题的软硬件资源并借鉴了已取得的科研成果。

在本文中,利用先进的  $0.8\mu\text{m}$  BiCMOS 技术设计了一个 10 位、20MSPs、9 级流水线结构 ADC,这种转换器可适用于视频信号处理及便携式通信领域。

论文主要内容安排如下:

第 1~3 章概述了 BiCMOS 技术要点和 ADC 的基本原理及其主要参数,设计并仿真了几种 BiCMOS 逻辑电路,还对目前流行的几类高速 ADC 作了分析比较;

第 4~5 章论述了 BiCMOS 流水线 ADC 从总体结构到各个组成部分的电路实现,还着重分析了流水线结构的系统误差产生并提出了数字校正的思路;

第 6~7 章确定了仿真用的器件参数模型,并对各单元电路及系统进行了仿真;

第 8 章简述了拟采用 BiCMOS 技术的工艺要点;

第 9 章是对论文工作的总结。

## 第 2 章 BiCMOS 技术及其逻辑电路设计

BiCMOS 是将 CMOS 和双极器件同时制备在同一块 IC 芯片上的技术, 其指导思想是以 CMOS 器件为主要单元电路, 而在要求驱动大电容负载之处加入双极器件, 因此 BiCMOS 电路既具有 CMOS 电路高集成度、低功耗的优点, 又获得了双极电路的高速、大电流驱动能力, 其功能和性能都有了显著地提高。

### 2.1 BiCMOS 基本结构

#### 2.1.1 BiCMOS 电路结构

通常, BiCMOS 电路结构可分成两部分<sup>[5]</sup>, 即 CMOS 部分和双极型晶体管 (BJT) 输出部分, 其中 CMOS 部分负责将高、低电平驱动控制信号送到相应输出管基极, 由它驱动后级负载, 如图 2.1 所示。图中  $C_L$  为负载电容 (pF 数量级)。

图 2.2 给出了 2 输入端 BiCMOS 与非门电路的典型结构<sup>[6]</sup>。其中 Z 表示阻性元件 (可以是电阻或 MOS 器件), 其作用主要是在相应的双极型晶体管截止时抽

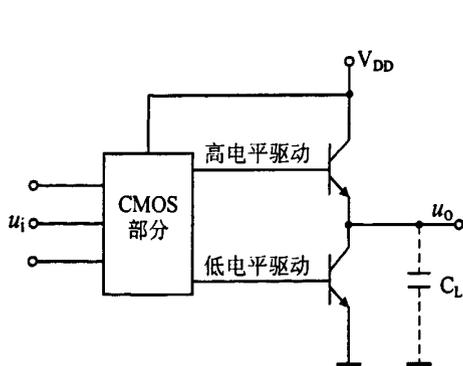


图 2.1 基本 BiCMOS 电路结构

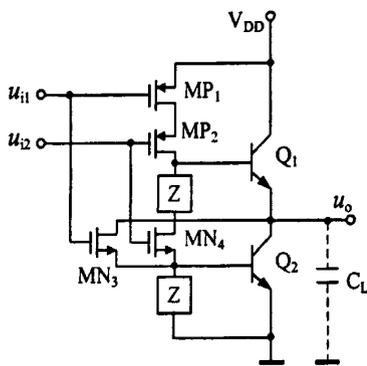


图 2.2 2 输入端 BiCMOS 与非门电路结构

取其基区电荷, 大大减少了基区电荷存储时间, 从而提高状态转换速度并降低功耗。该与非门一方面通过上拉管  $Q_1$  (接成射极输出器) 驱动负载, 由于输出电阻小, 电路具有很高的电流驱动能力, 而且由于 BJT 的大跨导特性, 上拉管  $Q_1$  与下拉管  $Q_2$  进入导通和截止时间均极短, 内部逻辑摆幅小; 另一方面, 电路中两管轮番导通, 其电流与 CMOS 门电路一样, 只在导通瞬间流动, 故静态功耗约为

零，电路具有低功耗特性。

### 2.1.2 BiCMOS 工艺技术

如图 2.3 所示<sup>[7, 8]</sup>，该工艺以典型外延双阱 CMOS 工艺为基础，在 N 阱内增加了 N<sup>+</sup>埋层和集电极接触深 N<sup>+</sup>注入，以减少双极器件集电极串联电阻阻值（可降到几十 Ω 上下），从而降低饱和管压降以及增强 CMOS 的抗闩锁性能（即提高 Latch-up 触发电压）；用 P<sup>+</sup>型注入制作基区并用作隔离；发射区采取多晶硅掺杂形式，与 CMOS 器件的栅区掺杂形式一致，形成多晶硅双极管。

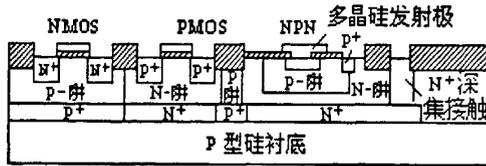


图 2.3 0.8μm 高速 BiCMOS 器件剖面结构

在工序安排上将双极器件基区与 PMOS 管的漏源区同时形成，发射区则与 NMOS 管漏源区同时制成。因此该 BiCMOS 制备工艺无需增加其它重要工序（仅比标准 CMOS 工艺多 4 个掩模，即 N<sup>+</sup>埋层、深 N<sup>+</sup>接触区、P 基区和发射区）。此高速 BiCMOS 工艺流程与典型的 CMOS 和双极工艺流程比较情况见表 2.1<sup>[9]</sup>。

表 2.1 CMOS、双极和 BiCMOS 工艺流程比较

CMOS	BiCMOS	双极
阱	埋层	埋层
隔离	外延	外延
场调节	阱	隔离
栅极二氧化硅	隔离	场调节
多晶硅	深 n+	深 n+
LDD	栅极二氧化硅	电阻
P+源极/漏极	多晶硅	
N+源极/漏极	LDD	
	内基极	内基极
	P+源极/漏极	外基极
	N+源极/漏极	发射极
接触	接触	接触
金属 1	金属 1	金属 1
过孔	过孔	过孔
金属 2	金属 2	金属 2
钝化	钝化	钝化

注：表中所有工艺流程均采用 LDD (lightly doped drain)、MOSFETs、双阱和两层金属结构

BiCMOS 工艺由于在工序安排及其参数选取上充分兼顾了 CMOS 和双极两种器件的优点，因而性能比纯 CMOS 或纯双极型电路有了较大的提高。

## 2.2 BiCMOS 与 CMOS 器件的主要性能比较<sup>[6]</sup>

### 2.2.1 负载能力

BiCMOS 电路以 MOS 器件为主体在输出部分加入双极型器件, 因此而实现了大负载驱动能力, 这种优点的获得完全是由双极型器件的大跨导特性决定的。通常, 双极器件的跨导比 MOS 器件大得多。因为根据双极型器件的跨导表达式

$$g_{mb} = \frac{I_E}{kT/q} \quad (2-1)$$

式 (2-1) 中,  $I_E$  是发射极电流,  $kT/q$  是温度电压当量。

MOS 器件在饱和区的跨导表达式为

$$g_{mM} = \mu_{eff} C_{ox} \frac{W}{L} (u_{gs} - U_{th}) \quad (2-2)$$

式 (2-2) 中,  $\mu_{eff}$  为载流子表面迁移率,  $C_{ox}$  为单位面积栅介质电容,  $W/L$  为宽长比,  $u_{gs}$  为栅源电压,  $U_{th}$  为开启电压。

比较上述两式可以看出, 由于在  $g_{mb}$  式中,  $kT/q$  (温度电压当量, 室温下只有 26mV) 是个小量, 所以相同硅单晶的  $g_{mb}$  比  $g_{mM}$  大上百倍之多。由此可见, 在大电容负载应用场合, BiCMOS 电路比纯 CMOS 电路的驱动能力要强得多。

### 2.2.2 延迟时间

因双极型器件的大跨导特性, 在大负载条件下它能实现大电流驱动; 同时对于大电容负载, 双极器件的导通延迟比负载延迟小得多。因此 BiCMOS 器件速度性能比纯 CMOS 器件优越, 即在同样电容负载下 BiCMOS 电路的速度更高。以 BiCMOS 和 CMOS 构成的反相器为例, 两者延迟与负载电容大小关系如图 2.4<sup>[6]</sup> 所示。 $C_{Lo}$  是两种电路具有相同速度时的负载电容临界值, 即当负载电容大于  $C_{Lo}$  时, 前者可获得更小的延迟时间参数。

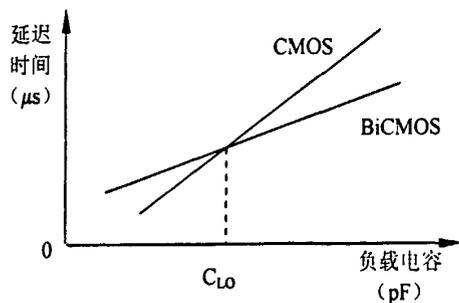


图 2.4 BiCMOS 和 CMOS 电路延迟时间与负载大小的比较

### 2.2.3 集成度及功耗

虽然双极器件的加入会增加芯片面积, 如对 BiCMOS 逻辑门单元将增加 20% 的面积, 但考虑到驱动负载能力的加强, 其实际集成度比纯 CMOS 将有所增加。

BiCMOS 与 CMOS 一样，其静态功耗近似为零。但在动态工作时，由于其电流驱动能力驱使状态转换的电流峰值时间很短，内部逻辑摆幅小，故具有比 CMOS 更低的瞬态功耗，在同样条件下，BiCMOS 电路的系统平均功耗将会大为降低。

### 2.3 BiCMOS 数字逻辑门电路设计

由于 BiCMOS 逻辑门是设计其他 BiCMOS 集成电路的基础单元电路，本节将先对几种主要逻辑门采用 BiCMOS 技术进行了重新设计、分析和仿真。本节的电路中的 BJT 与 MOS 管仿真参数均采用第 6 章表 6.1~6.2 中所列值，负载电容  $C_L$  为 10pF， $V_{DD}=3.0V$ ，MOS 管的沟道长度均注于图中，传输延迟的测试信号源为 20MHz，上升、下降时间均为 0.8ns 的脉冲波，测试方法见图 2.5 所示<sup>[10]</sup>。

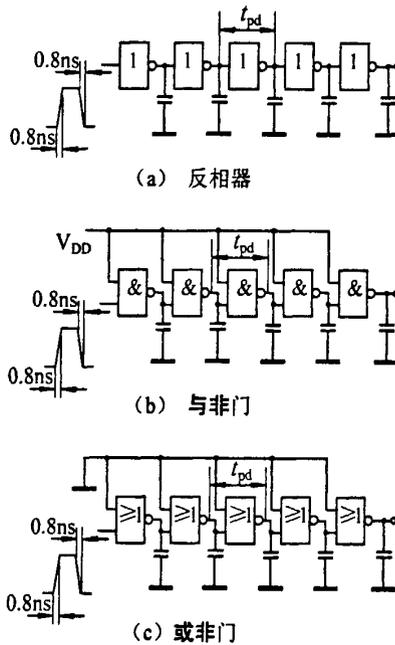


图 2.5 逻辑门电路的延迟测试方法

#### 2.3.1 BiCMOS 反相器设计

##### 2.3.1.1 CMOS 反相器

目前广泛使用的逻辑电路的一般结构如图 2.6 所示，它们具有结构简单、功耗小、占用芯片面积小的优点，特别适合于 VLSI 设计。但另一方面，它的速度不高，因此在要求高速应用的场合受到了限制。

##### 2.3.1.2 BiCMOS 反相器

###### (1) 基本 BiCMOS 逻辑门

图 2.7 是基本 BiCMOS 反相器电路, 此电路利用 CMOS 逻辑门组成, 并采用混合单、双极器件对负载电容充电, 一对互补的 MOS 管 MP 和 MN 构成了 CMOS 反相器, 而另一对 NPN 型 BJT 器件 VT<sub>1</sub> 和 VT<sub>2</sub> 构成了上拉/下拉推挽式输出级。现分析负载电容为 C<sub>L</sub> 时电路的工作原理。

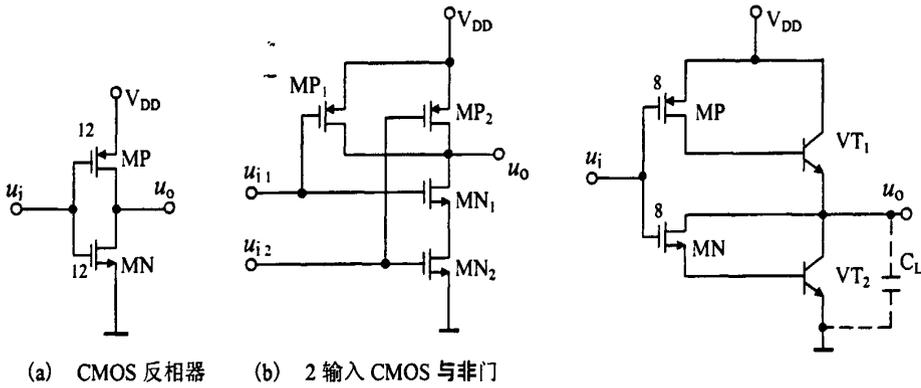


图 2.6 基本 CMOS 逻辑电路

图 2.7 基本 BiCMOS 反相器电路

在逻辑 0 输入下, MN 管截止, 而 MP 管工作在导通状态。由于 MN 管中没有导电沟道形成, 流过 VT<sub>2</sub> 管的基极电流为零, 所以 VT<sub>2</sub> 管截止。电源电压 V<sub>DD</sub> 通过 MP 管的低阻抗导电沟道提供对 VT<sub>1</sub> 管的驱动。因为有很大的基极驱动作用, 故 VT<sub>1</sub> 管工作在放大区, 它能产生很大的射极电流 [基极电流的 (1+β) 倍, β 为 BJT 器件的共射电流增益], 使负载电容 C<sub>L</sub> 快速充电。因此, 输出高电平为 U<sub>OH</sub> ≈ V<sub>DD</sub> - u<sub>BE</sub>, 式中 u<sub>BE</sub> 是 BJT 器件 VT<sub>1</sub> 的基极-发射极电压。

当输入跳变为逻辑 1 时, MP 管截止, 而 MN 管导通。此时负载电容 C<sub>L</sub> 通过 MN 管形成的低阻抗导电沟道放电, 并为 VT<sub>2</sub> 管提供基极电流, VT<sub>2</sub> 管导通, 这引起 C<sub>L</sub> 大量放电。然而, 当输出电压 u<sub>o</sub> 降低到 VT<sub>2</sub> 管的基极-发射极截止电压时, 负载电容 C<sub>L</sub> 不再放电。因此, 输出低电平 U<sub>OL</sub> ≈ u<sub>BE</sub>。

综上所述, 图 2.7 所示基本 BiCMOS 反相器中输出摆幅约为 U<sub>OH</sub> ≈ V<sub>DD</sub> - 2u<sub>BE</sub>。此电路可通过移位电路 (无源电阻或自举电路环节) 补偿来实现全摆幅 (见 2.3 中的设计)。该反相器中的 MOS 管参数完全一致, 当其导通时被用来提供 VT<sub>1</sub> 管和 VT<sub>2</sub> 管相等的基极驱动电流。因此利用与 VT<sub>1</sub> 管和 VT<sub>2</sub> 管相匹配的 MOS 管, 所设计的电流值可达到适当的数值, 这样电路由充放电所引起的传输延迟时间不但对称相等, 而且有所减小。

图 2.8 给出了基本 BiCMOS 反相器的电压传输特性, 图中 VT<sub>2</sub> 管储存的基区电荷 (与 MN 管的体效应有关), 输入电压 u<sub>i</sub> 应比 MN 管的开启电压高, 这样才能使 U<sub>OH</sub> 降为 U<sub>OL</sub>, 如果 u<sub>i</sub> 更高可得到相同的结论。由于该电路与 CMOS 电路有着

颇为相似的电压传输特性，所以噪声容限仅略低于 $(\frac{1}{2}V_{DD})$ ，这对提高系统的抗干扰能力十分有利；从波形图也可清楚地看出，这种反相器未能实现全摆幅输出。

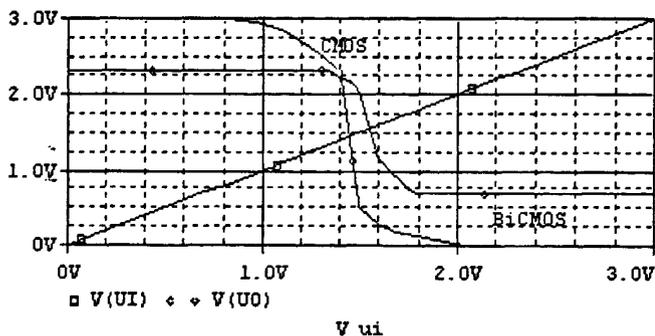


图 2.8 BiCMOS 与 CMOS 电压传输特性

(2) 标准 BiCMOS 反相器

图 2.7 基本 BiCMOS 反相器中 MOS 器件为  $VT_1$  管或  $VT_2$  管提供了充放电路径，这些路径将使一个 BJT 器件导通，而另一个 BJT 器件截止，但因缺少快速充放电回路，故速度的提高相当有限。图 2.9 是带附加 NMOS 管的标准 BiCMOS 反相器<sup>[11]</sup>，其中 NMOS 管  $MN_4$  用来充当  $VT_2$  管基极快速放电路径，而  $MP_1$  管和  $MN_3$  管的作用

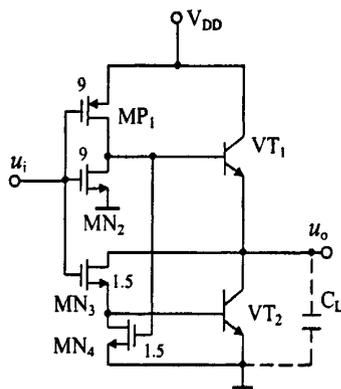


图 2.9 带附加 NMOS 管的标准 BiCMOS 反相器电路

相当于基本反相器中 MOS 对管，电路工作时  $MP_1$  管和  $MN_3$  管以及  $MN_2$  管、 $MN_4$  管轮流通断，为  $VT_1$  和  $VT_2$  管的基区电荷提供低阻释放回路。例如，在逻辑 0 输入下，由于  $MP_1$  管导通， $VT_1$  管的基极电压约为  $V_{DD}$ ，所以  $MN_4$  管处于  $u_{gs} > U_{th4}$  ( $U_{th4}$  为  $MN_4$  管的开启电压) 状态， $MN_4$  管导通， $VT_2$  管基极存储电荷被迅速释放到地电位。同理， $MN_2$  管则在输入反相瞬间使  $VT_1$  管基区存储的电荷通过该 NMOS 管迅速放电。可见，相对于图 2.7 标准 BiCMOS 反相器的延迟及输出摆幅性能均有了大的改善。图 2.10 是其的  $u_i$ 、 $u_o$  仿真波形。

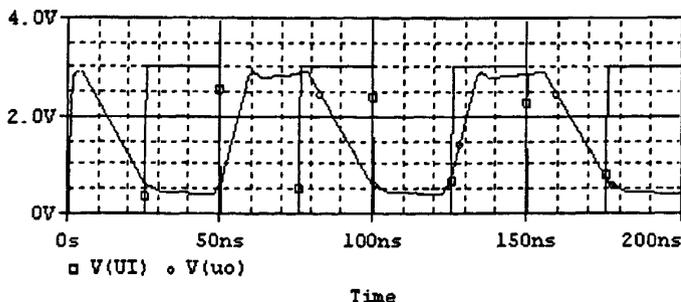


图 2.10 标准 BiCMOS 输入输出波形

### 2.3.2 BiCMOS 与非门

遵循相同的设计思路，对图 2.8 所示反相器作一些修改就可获得 BiCMOS 与非门和或非门。图 2.11、2.12 给出了一种 2 输入 BiCMOS 与非门和或非门电路。

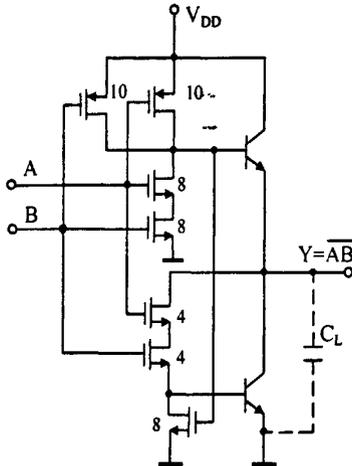


图 2.11 2 输入 BiCMOS 与非门电路

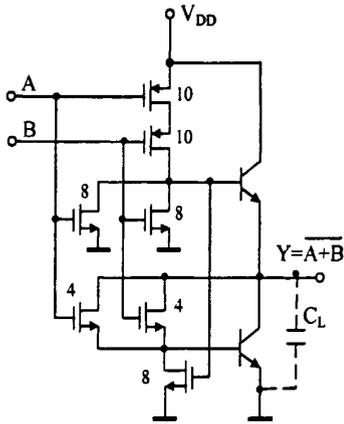


图 2.12 2 输入 BiCMOS 或非门电路

现将对以上各个逻辑电路性能进行的仿真测试结果列于表 2.2 中。

表 2.2 几种逻辑电路性能 ( $V_{DD}=3.0V$ ,  $C_L=1.0pF$ )

电路名称	传输延迟 (ns)	功耗 ( $\mu W$ )	输出电流 (mA)		静态电流 ( $\mu A$ )	输出摆幅 (V)	噪声容限 (V)	
			$I_{OL}$	$I_{OH}$			$U_{NL}$	$U_{NH}$
CMOS 反相器	12.77	121.12	0.51	0.43	5.25	2.97	0.9	1.2
基本 BiCMOS 反相器	3.98	192.23	17.45	15.23	12.20	1.95	0.6	0.8
标准 BiCMOS 反相器	3.85	208.14	22.10	19.52	10.42	2.60	0.8	1.0
2 输入 BiCMOS 与非门	4.03	242.53	15.23	14.12	25.95	未测	未测	未测
2 输入 BiCMOS 或非门	4.15	231.89	16.35	15.43	31.13	未测	未测	未测

进一步研究电源电压及负载电容对 BiCMOS 电路延迟时间的影响，以 2 输入 BiCMOS 与非门电路为例将测试结果绘于图 2.13、2.14 中。

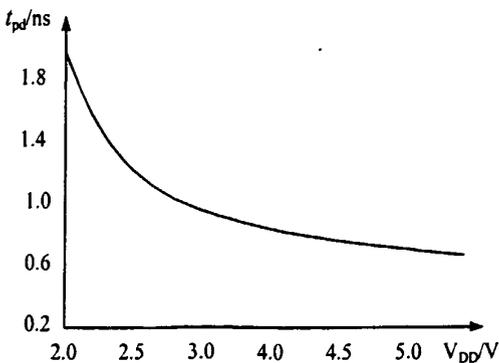


图 2.13 传输延迟与电源电压的关系 ( $C_L=1.0pF$ )

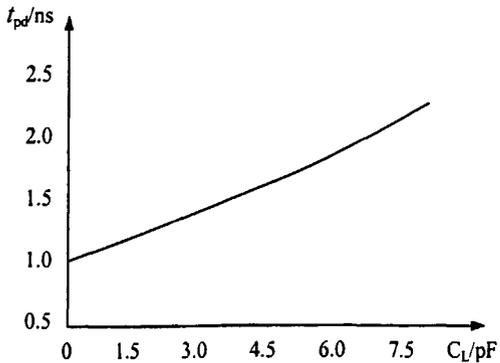


图 2.14 传输延迟与负载电容的关系 ( $V_{DD}=3.0V$ )

### 2.3.3 全摆幅 BiCMOS 逻辑门设计

以上设计的 BiCMOS 逻辑门虽然实现了高速、低耗的性能,但电路的输出摆幅均为  $V_{DD}-2u_{BE}$ , 降低了噪声容限,使后级电路的开关速度降低,尤其在电源电压降到 3V 以下时可能导致电路无法工作。为此对上述电路重新进行了设计,使它们在低电压时也能实现全摆幅输出。

#### 2.3.3.1 利用分流网络实现全摆幅输出

利用反馈网络抑制深饱和思想设计的一种高速全摆幅电路反相器<sup>[10, 12]</sup>,其结构如图 2.15 所示。当输入为逻辑电平 1 时,  $MN_2$  管和  $MN_3$  管导通,而  $MN_4$  管和  $MP_1$  管截止。由  $MN_3$  管的漏源电流为  $VT_2$  管的基区充电,使其导通,并使  $MN_6$  管开启。这样,  $MN_6$  管和  $VT_2$  管同时为输出提供下拉电流,加快了放电速度。 $MN_6$  作为  $VT_2$  管的一个 C-E 极间分流网络,可将输出电压拉至 0V。另一方面,  $MN_2$  管的导通可以为  $VT_1$  管的基极贮存电荷

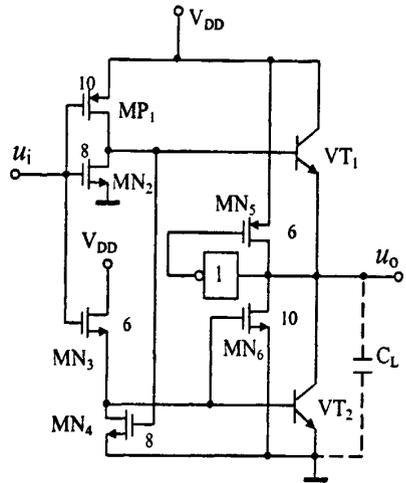


图 2.15 带反馈分流网络的 BiCMOS 全摆幅反相器

提供放电回路,使  $VT_1$  管迅速截止,避免影响下拉速度。当输入为逻辑电平为 0 时,  $MP_1$  管和  $MN_4$  管导通,而  $MN_2$  管和  $MN_3$  管截止。 $MP_1$  管的导通促使  $VT_1$  管开启,使输出电压上升。这时,作为反馈网络的 CMOS 反相器。其输出电平为 0,使  $MN_5$  管开启。 $MP_5$  管作为  $VT_1$  管的 C-E 极间分流网络,最终使输出电压上拉到电源电压  $V_{DD}$ 。同样,  $MN_4$  管的导通用于  $VT_2$  管的基极贮存电荷放电,使其迅速截止。这样,该电路结构实现了快速、全摆幅输出。而且此电路还避免了  $VT_1$  和  $VT_2$  双极管的同时导通,即在下拉部分  $VT_2$  管工作时,  $MN_2$  管上拉部分的  $VT_1$  管快速关闭;而在上拉部分  $VT_1$  管工作时,  $MN_4$  管使下拉部分  $VT_2$  管快速关闭,从而提高了电路的工作速度,降低了瞬态功耗,且可以实现多输入扩展。

下面对其速度和功耗进行模拟验证,在工作频率 50 MHz、 $C_L=10\text{pF}$ 、 $V_{DD}=2.2\text{V}$  时,电路功耗为  $223\mu\text{W}$ ,传输延迟为 1.75ns,图 2.16 是在该脉冲源作用下的 CMOS 电路与图 2.15 BiCMOS 全摆幅电路的瞬态响应比较。

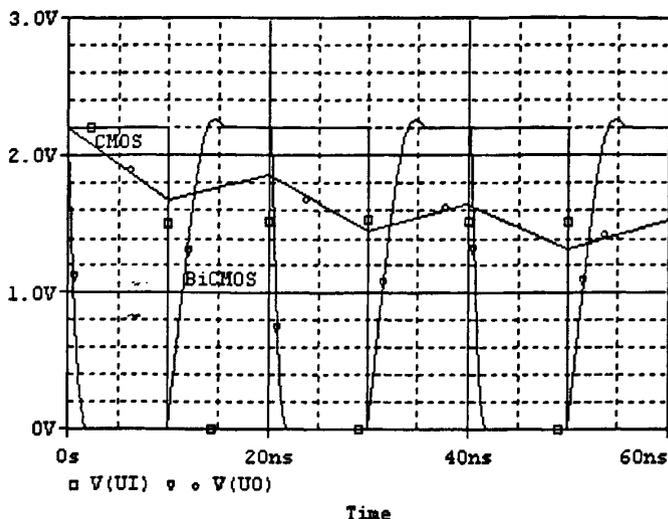


图 2.16 反馈分流全摆幅反相器瞬态响应

### 2.3.3.2 利用瞬间饱和技术实现全摆幅输出

图 2.17 的 BiCMOS 反相器采用了瞬间饱和技术<sup>[13, 11]</sup>, 较好地解决了低压与高速的矛盾。如图所示,  $MP_1$ 、 $MP_2$ 、 $MP_3$  管的源极并未接到输出端, 而是直接连到  $V_{DD}$ , 以提供较大的驱动电流。从而使  $VT_1$ 、 $VT_2$  管加快饱和导通。 $MP_4$  管用于  $u_o$  降到地电位时, 迅速切断  $VT_2$  管基极电流, 因此  $U_{OL}$  可小到 0V, 而与  $C_L$  无关。同时, 输出高电平  $U_{OH}$  接近  $V_{DD}$ , 故该电路实现了全摆幅输出。图 2.18 瞬间饱和式全摆幅反相器  $u_o$  瞬态响应波形。

该 BiCMOS 反相器的主要缺点是: 要求高质量、完全互补的 BiCMOS 工艺技术, 以实现上、下拉部分输出波形的对称性, 占用了更多的面积, 增加制造成本。

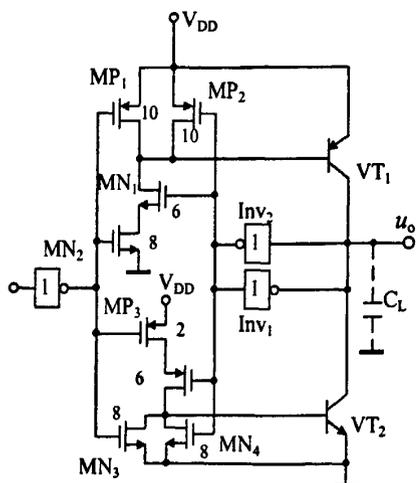


图 2.17 瞬间饱和式全摆幅 BiCMOS 反相器

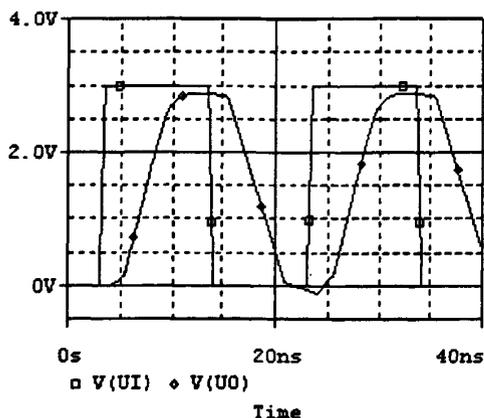


图 2.18 瞬间饱和式全摆幅反相器瞬态波形

2.3.3.3 自举式 BiCMOS 反相器

将图 2.17 中 BiCMOS 反相器的 PNP 管上拉部分电路用 NPN 管电容自举式上拉电路代替, 就构成了自举式 BiCMOS 反相器<sup>[14, 11]</sup>, 如图 2.19 所示。该反相器的工作原理如下: 当  $u_i$  正跳变瞬间,  $MP_1$  管导通, 自举电容  $C$  被充电至  $V_{DD}$ ,  $u_B$ 、 $u_C$  均为  $0V$ , 此瞬间前导通的  $VT_1$  管基区电荷经此刻导通的  $MN_1$  管放电, 而  $MP_2$  管截止, 阻塞驱动  $VT_1$  管基极, 使  $VT_1$

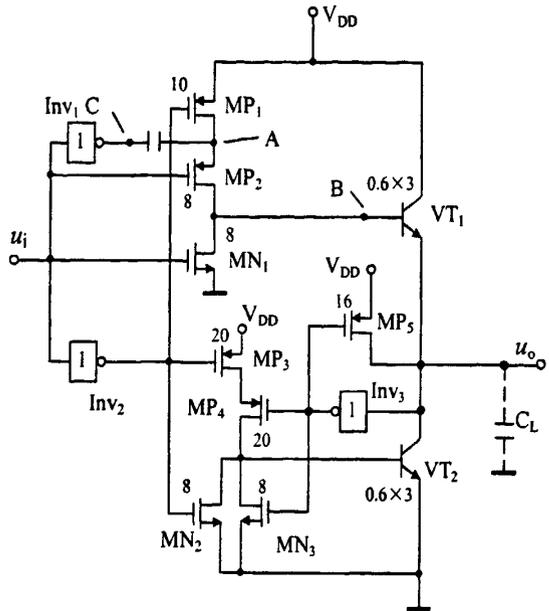


图 2.19 电容自举式全摆幅 BiCMOS 反相器

管可靠截止。与此同时,  $MP_3$  管导通, 而  $MN_2$  管截止。由于  $u_i$  正跳变前  $u_o$  处于高电平, 所以经 CMOS 反馈门, 使  $MP_4$  管也导通, 而  $MN_3$  管截止, 此刻  $V_{DD}$  经  $MP_3$  管、 $MP_4$  管驱动  $VT_2$  管, 使其迅速饱和导通, 故  $u_i$  接近于  $0V$ 。接着  $u_o$  又经反馈门使  $MP_4$  管截止,  $MN_3$  管导通, 为  $VT_2$  管提供基区电荷快速释放回路, 同时也避免了下一上拉瞬间短路电流流过  $VT_1$  管、 $VT_2$  管; 当  $u_i$  负跳变瞬间,  $MP_2$  管导通, 而  $MN_1$  管截止,  $C$  点电位由低电平变为高电平,  $VT_1$  管基极电位经  $C$  抬高到超过  $V_{DD}$ ,  $u_o$  经此刻导通并迅速饱和的  $VT_1$  管快速充电到  $V_{DD}$ , 因  $MP_2$  管导通,  $u_o$  此刻保持约等于  $V_{DD}$  的高电平, 从而实现了低压 ( $V_{DD, max} \approx 1.5V$ )、高速、全摆幅运行。这种电路设计不增加工艺上的复杂性, 电路也较为简单。

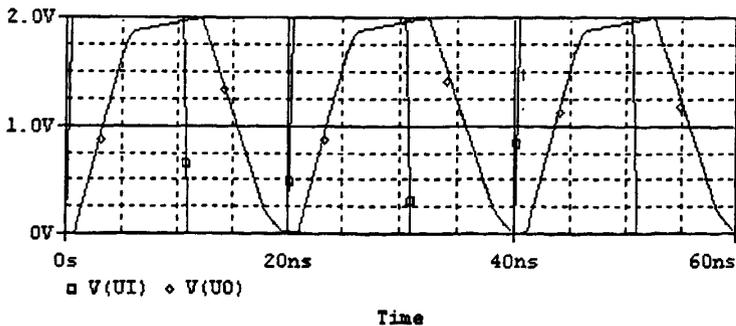


图 2.20 电容自举式全摆幅反相器瞬态波形



# 第3章 模数转换技术及高速模数转换器(ADC)简述

## 3.1 模数转换的基本原理

ADC 的作用是将一个连续的模拟输入信号转换为数字输出信号,即数字系统所能接收的一个  $n$  位二进制数。大多数类型的 ADC 包括三个基本功能:采样、量化和编码。采样过程是将模拟信号在时间上离散化,使之成为采样信号;量化将采样信号的幅度离散化使之成为数字信号;编码则将数字信号最终表示成数字系统所能接受的形式。当然,由于器件的实现方法不同,各种 ADC 的工作过程会有所区别,因此如何实现这三个功能就决定了 ADC 的形式和性能。

### 3.1.1 信号采样理论

对一个连续信号以一定的时间间隔取其瞬时值,称为采样。根据 Nyquist 采样定理,如果对某一时间连续信号(模拟信号)进行采样,当采样速率达到一定数值时,那么,根据这些采样值就能准确地确定原信号。严密地说, Nyquist 采样定理可表述如下:

**Nyquist 采样定理** 设有一个频率带限信号  $x(t)$ ,其频带限制在  $(0, f_H)$  内,如果以不小于  $f_s=2f_H$  的采样速率对  $x(t)$  进行等间隔采样,得到时间离散的采样信号  $x(n)=x(nT_s)$  (其中  $T_s=1/f_s$  称为采样间隔),则原信号  $x(t)$  将被所得到的采样值  $x(n)$  完全地确定。

### 3.1.2 采样与保持(S/H)

ADC 在对模拟信号进行转换时,需要占用一定的时间来完成采样、量化和编码工作,且其转换时间  $T_{conv}$  取决于转换方法、结构和位数等多种因素。如果在 ADC 的转换时间  $T_{conv}$  内,输入模拟信号仍在变化,此时进行量化会产生一定的误差。考察模拟输入信号为正弦波  $u = u_{FS} \times \sin 2\pi ft$  的情

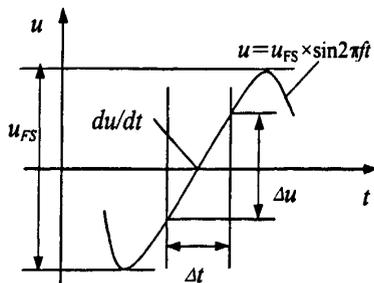


图 3.1 输入信号波形

况,如图 2 所示。如果在 ADC 的转换时间  $T_{conv}$  内,信号电压最大变化速率发生在过零处,则信号变化速率为

$$\left. \frac{du}{dt} \right|_{t=0} \approx 2\pi f u_{FS} \approx \left. \frac{\Delta u}{\Delta t} \right|_{t=0} \quad (3-1)$$

可能出现的误差为  $\Delta u \approx T_{conv} \left. \frac{du}{dt} \right|_{t=0}$

因此可以得到 
$$\frac{\Delta u}{u_{FS}} \approx 2\pi f T_{conv} \quad (3-2)$$

式(3-2)中,  $f$  为输入正弦波信号频率。

如要求在  $T_{conv}$  内输入模拟信号变化所带来的误差不超过 1LSB,即误差  $\Delta u$  小于量化电平  $Q$ ,而  $Q = u_{FS}/2^n = 1\text{LSB}$ ,ADC 能转换的最大正弦波信号频率为

$$f_{\max} = \frac{1}{2^{n+1} \pi T_{conv}} \text{(Hz)} \quad (3-3)$$

式(3-3)中,  $n$  为 ADC 的分辨率。

如果在 ADC 前面加一个采样/保持放大器 (SHA),则可大大减小  $T_{conv}$  的影响。这相当于在 ADC 的转换时间内开了一个窄的窗孔,在此窗孔开启的瞬间内将模拟信号快速采样进来,此窗孔称为孔径时间 (Aperture Time)  $T_a$ 。如果在孔径时间内输入模拟信号在变化,也会引入一定的误差,称为孔径误差。对于带 SHA 的 ADC,此时可以数字化的最大正弦波信号频率为

$$f_{\max} = \frac{1}{2^{n+1} \pi T_a} \text{(Hz)} \quad (3-4)$$

通常,  $T_a$  远小于  $T_{conv}$ ,因此在 ADC 前面加 SHA 能显著改善其处理动态信号的能力,解决了 ADC 转换时间较长与分辨率要求较短的孔径时间的矛盾,提高了系统的性能。其实质是把转换分为两步进行:SHA 先完成模拟信号的离散化,接着 ADC 进行离散信号的量化,最终获得量化的数字信号。现在许多高性能 ADC 把 SHA 和 ADC 组合在一起,构成所谓的“采样 ADC”,既可避免因互连线和封装引起的寄生效应,提高转换速率,又减小了体积,减轻了重量,降低了成本,而更重要的是简化了应用。

图 3.2(a) 显示了采样/保持电路的工作原理。 $u_i$  为输入信号,  $u_o$  为输出信号,  $\Phi$  为采样/保持模拟控制开关。当开关闭合时,输入信号将连接至保持电容,而的输出将跟踪输入。当开关开启时,输入信号将与保持电容断开。

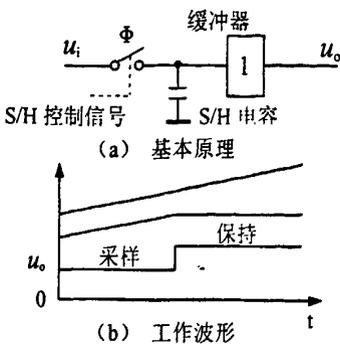


图 3.2 S/H 电路原理

图 3.2(b) 示出了 S/H 的工作波形, S/H 输入连接一个缓慢上升的信号, 当控制信号低电平时(采样模式), 输出将跟踪输入; 随着控制信号变为高低电平时(保持模式), 输出将与输入端断开, 其信号值将保持在 S/H 切换至保持模式时的输入值。当电路再次闭合, 电容迅速充电, 输出再次跟踪输入。S/H 在 ADC 转换开始前切换至保持模式, 而当转换结束后切回至采样模式, 在理想条件下,

保持电容无漏电现象且缓冲放大器具有无穷大的输入阻抗, 因此输出将保持恒定。但在实际应用中, 保持电容会漏电, 而且缓冲放大器的输入阻抗是有限的, 因而输出将随着电容放电产生缓慢的漂移。S/H 电路在保持模式下的输出性能取决于保持电容的品质、缓冲放大器(主要是输入阻抗)的特性和采样/保持开关(实际的模拟开关在开路时总会有漏电)的性能。

### 3.1.3 量化

模拟信号  $x(t)$  经过采样后变成了时域离散的信号  $x(nT)$ , 但其采样值仍是连续变化的。如果用有限个离散的电平值来表示这些采样值, 就可以把幅度连续的信号, 变成幅度离散的信号了, 这就是所谓的量化。通常这有限个离散的电平值取最小量化电平 (LSB) 的整数倍。

量化的方式有两种, 一种是只舍不入, 另一种是有舍有入, 如图 3.3 所示(以 8 位 ADC 为例)。

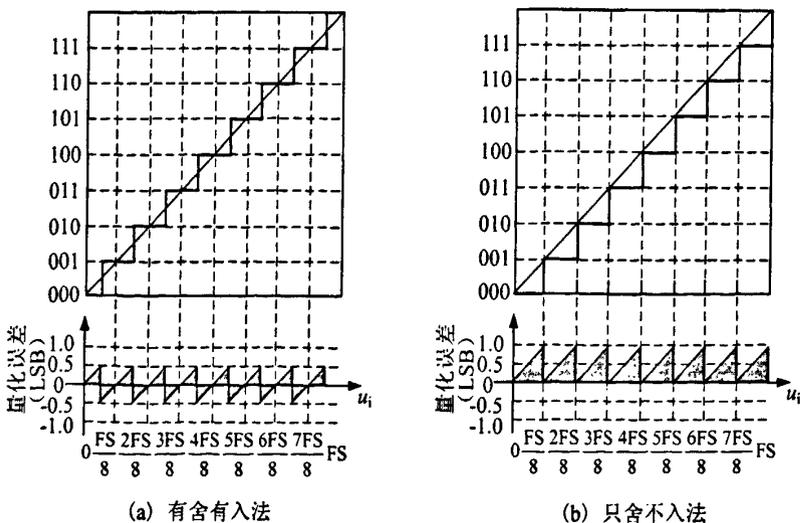


图 3.3 ADC 的量化方式

上述两种量化方式的输入-输出关系见表 3.1。显然，前者的最大量化误差为 1LSB；而后者的最大量化误差为±1/2LSB。为减小量化误差，本文设计采用有舍有入的量化方式对信号进行量化。

表 3.1 两种量化方式的输入-输出关系

有舍有入量化方式		只舍不入量化方式	
输入	输出	输入	输出
$0 \leq u_i < \frac{1}{8} FS$	000	$0 \leq u_i < \frac{1}{2} FS$	000
$\frac{1}{8} FS \leq u_i < \frac{2}{8} FS$	001	$\frac{1}{2} FS \leq u_i < \frac{3}{2} FS$	001
...	...	...	...
$\frac{7}{8} FS \leq u_i < 1FS$	111	$\frac{13}{2} \leq u_i < \frac{15}{2} FS$	111

### 3.1.4 编码

量化电平的个数为 2 的 n 次幂，因此每个量化的离散电平就可以用一个 n 位的二进制数码来表示，这个过程称为编码。编码的方式很多，有二进制单极性码，偏移码，1 的补码，2 的补码等等。

对于单极性二进制码，如输入信号在  $[0, U_{FS}]$  内，编码位数为 n 位，则码字及其所表示的电压之间有如下关系：

$$u = U_{FS} \sum_{i=1}^n \frac{a_i}{2^i} \quad (3-5)$$

式(3-5)中， $a_i$  为二进制数 0 或 1。由上式可以看出，编码位数 n 越大，码字所表示的电压值越接近于  $U_{FS}$ 。对于有限的编码位数 n，其能表示的最大电压总小于  $U_{FS}$ 。令  $a_i=1$  时，可得到最大输入电压与编码位数之间的关系：

$$u_{max} = U_{FS} (1 - \frac{1}{2^n}) \quad (3-6)$$

例如，在 0~10V 之间工作的 12 位 ADC，其数码在最大和最小时所表示电压为：

$$u_{max} \text{ 时，编码为 } 111111111111 = +9.9976V;$$

$$u_{min} \text{ 时，编码为 } 000000000000 = 0V$$

## 3.2 A/D 转换器的主要性能指标

ADC 的性能参数可分为静态特性和动态特性。其中静态特性与时间无关，如失调误差、增益误差、非线性误差等。动态特性主要是转换时间和转换速率。

### 3.2.1 静态特性参数

#### 3.2.1.1 分辨率

模数转换器的分辨率是指转换器能够分辨最小量化信号的能力。它有数字分辨率和模拟分辨率之分。模拟分辨率是指转换器能分辨模拟输入信号的最小增量，它等于1LSB所代表的模拟量。对于一个N位ADC，该值为 $1/2^n U_{FS}$ 。对于10V满量程的模拟输入，8位和10位A/D的分辨率分别是39mV和9.77mV。数字分辨率用数字输出的位数表示分辨率，位数越多，说明量化误差越小，精度越高。一般把8位以下的ADC归为低分辨率，9~12位为中分辨率，13位以上为高分辨率。

#### 3.2.1.2 精度

ADC的精度是转换器的输出值与设计值的最大偏差，用ADC标称满度输出的百分数“%FSR”表示，它反映转换结果接近理想状态的程度，用LSB的倍数或分数表示，例如精度是1LSB、(1/4)LSB等。影响精度的因素不但有量化误差还有非理想条件引起的其他误差，如增益误差失码、偏移误差及性能误差等。但分辨率并不意味着精度，ADC的分辨率往往高于精度。

#### 3.2.1.3 失码

当模拟输入量增加时，若ADC输出的某一代码宽度太窄以至消失的程度，ADC将不会输出该码，而出现下一数字码，称此码为“被遗漏的代码”。失码是由其内部D/A转换器的非单调转换造成的，且无法用软件、硬件技术恢复。为保证不失码，要求每一种码组合在模拟输入电平增加时，能以单调增加的顺序出现。

#### 3.2.1.4 误差

ADC的理想线性转换关系如图3.4所示，它是一条端点为坐标原点和满刻度

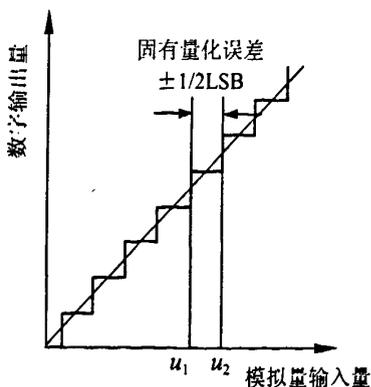


图 3.4 理想 ADC 的转换关系

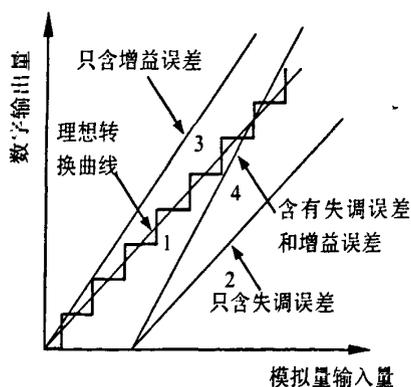


图 3.5 失调误差及增益误差

点的线段。由于 ADC 采用的是等间隔量化电平,即将模拟量以量化电平的大小进行数字编码,其数字量的大小与输入模拟量成线性关系,故理想 ADC 传输特性台阶中点的连线,应该是一条倾角为  $45^\circ$  且通过原点的直线。如果实际的传输特性曲线与此直线偏离,则说明该 ADC 存在某些转换误差。

通常,若台阶中点的连线不通过坐标原点,则存在失调误差。若连线的倾角不是  $45^\circ$ ,则存在增益误差。若台阶中点的连线不是直线则该 ADC 有非线性误差。

### ① 量化误差

ADC 将采样得到的幅度离散的模拟量转换成幅度离散的数字量,由于数字量表示的离散性(即分辨率不可能无限高),对于一定范围内连续变化的模拟量只能反映为一个相应的数字编码,因而必然存在  $\pm 1/2\text{LSB}$  的误差,这个误差称为量化误差。如图 3.4 中,处于  $\pm 1/2\text{LSB}$  的误差范围内  $u_1 \sim u_2$  之间的模拟量均产生相同的数字量,所以即使没有任何线性和非线性误差,也一定含有  $\pm 1/2\text{LSB}$  的量化误差。可见量化误差是 ADC 分辨率有限带来的原理性误差,是无法进行校正的。因此当量化误差成为 ADC 影响精度的主要因素时,提高分辨率是不可避免的。

### ② 失调误差

失调误差是指实际 ADC 在零输入时的输出数码值。在一个只含有失调误差(又称零点误差)的 ADC 中,其转换函数将是一条与理想函数曲线平行的但起点不在坐标原点的直线,这表明当输入模拟量为零值时,由于转换器内部的各个电路(如输入放大器的失调误差)、电源电压等因素的影响,使得转换的数字量偏离零值(可能在理想函数之上,也可能在其下),它与理想转换函数之间总是相差一个固定的量,如图 3.5 中的曲线 2 所示。

### ③ 增益误差

在失调误差为零时,增益误差定义为实际 ADC 的输出特性曲线与理想直线之间的差,在数值上以满度时的偏差表示。在一个只有增益误差的 ADC 中,其转换函数则是一条通过坐标原点的但不通过满刻度点的直线,这说明了某种原因(如参考电压、增益电阻值等)使 ADC 实际上的转换函数按比例(决定于增益)偏离了原来的理想关系曲线,如图 3.5 中的曲线 3 所示。

但是,一个实际的 ADC 一般不会只含有某一类的误差,往往同时具有多种误差,图 3.5 中的曲线 4 即是一个包含了失调误差和增益误差的转换函数。

此外,非理想 ADC 中还有微分非线性(DNL)和积分非线性(INL)二种非线性误差。微分非线性误差表示实际量化台阶对应于一个 LSB 的理想值之间相对

偏差的最大绝对值。积分非线性误差表示实际转换曲线与理想直线的最大背离程度,它是所有非线性误差之和。

理论上,只有当失调误差、增益误差和非线性误差三者之和小于 $\pm 1/2\text{LSB}$ 时,再加上系统本身固有的 $\pm 1/\text{LSB}$ 的量化误差,系统的总误差才可能在 $\pm 1\text{LSB}$ 范围内。对于总误差范围在 $\pm 1\text{LSB}$ 内的 $N$ 位ADC,可以称其精度为 $N$ 位。

### 3.2.2 动态特性参数

#### 3.2.2.1 ADC的主要动态性能参数

##### ① 转换时间与转换速率

转换时间是指从转换指令发出到输出完整有效的数字代码所需的时间。它包括:采样开关的切换时间、缓冲放大器的响应时间、采样时间、模数转换时间、存入缓冲寄存器的时间或执行串-并转换所需的时间等。转换速率定义为单位时间内完成转换的次数,因为在相邻的两次转换之间有复位时间,所以转换时间和转换速率之间满足如下关系:

$$\text{转换速率} = 1/(\text{转换时间} + \text{复位时间}) \quad (3-7)$$

##### ② 信噪比(SNR)

SNR是不考虑失真成分的信号与噪声之比,定义为输入信号基波的均方根值( $u_{\text{RMS}}$ )与Nyquist频率以下所有非基波信号的均方根值( $u_{\text{eMS}}$ )之比的对数表达式。即

$$\text{SNR} = 20\lg \frac{u_{\text{RMS}}}{u_{\text{eMS}}} = 6.02N + 1.76(\text{dB}) \quad (3-8)$$

##### ③ 信号与噪声+失真之比(SINAD)

当采样频率和输入信号确定后,SINAD大小反映了模拟输入信号与噪声+失真比率大小(以分贝数表示),它也是衡量ADC动态范围宽窄的一个重要指标。以ADC最大能输出幅度与ADC能够处理的最小输入信号增量之比描述。数学上,SINAD以下列等式表达:

$$\text{SINAD}_{\text{dB}} = 20\lg(A_{\text{信号}}[\text{rms}]/A_{\text{噪声+失真}}[\text{rms}]) \quad (3-9)$$

此处的 $A_{\text{信号}}[\text{rms}]$ 是输出信号的均方根值,而 $A_{\text{噪声+失真}}[\text{rms}]$ 包括所有从直流到低于Nyquist频率的频带范围内所有频谱分量之和的均方根值(基波除外)。

##### ④ 有效位数(ENOB)

由于ADC不能做到完全线性,总会有精度损失,从而影响实际分辨率,降

低了转换位数。对于满量程的正弦输入信号，有效转换位数可通过下式计算：

$$\text{ENOB} = (\text{SINAD} - 1.76) / 6.02 \quad (3-10)$$

### ⑤ 总谐波失真(THD)

当 ADC 对周期信号进行采样时，动态误差和非线性误差都会造成谐波失真(THD)。谐波失真是输出信号 FFT（快速傅里叶变换）中所有谐波分量和的均方根。THD 由下式定义：

$$\text{THD}_{ab} = 20 \lg(\sqrt{\{A_{HD2}[rms]^2 + A_{HD3}[rms]^2 + L + A_{HDN}[rms]^2\}} / A[f_{in}]_{rms}) \quad (3-11)$$

式中的  $A[f_{in}]_{rms}$  基波（即输入信号）的均方根值，而  $A_{HD2}[rms]$  到  $A_{HDN}[rms]$  为输出波形中 2 次到 N 次谐波分量的均方根值。在实际应用中，通常只取对 THD 影响最大的前 3 次谐波分量的均方根值。

#### 3.2.2.2 采样保持器（SHA）的开关特性参数

对于内部带 SHA 的 ADC，一般需给出了反映 SHA 对动态采样影响的参数，称为开关性能参数，主要包括：

##### ① 采集时间(Acquisition Time)

从采样命令开始，到输出电压能在给定的误差带内跟踪输入电压的最小时间称为采集时间，包括开关延迟时间、摆动间隔和给定的输出电压变化的稳定时间，单位是纳秒（ns）或微秒（ $\mu\text{s}$ ）。

##### ② 孔径时间(Aperture Time)

保持命令开始到开关完全打开所需的时间。在这段时间内采样仍在继续，因此保持命令应依据这一时间提前发出，消除其影响。

##### ③ 孔径抖动(Aperture Jitter)

由内部噪声和信号电平开关门限变化引起的孔径时间的不确定性。输入信号的变化率决定了孔径抖动引起的误差，因此孔径抖动决定了可以无差错地被采样的最大输入频率。

##### ④ 下降率(Droop Rate)

下降率表示输入信号与输出信号之间的差异，是输出电压在保持模式期间的漂移。它是由流过存储电容器的泄漏或偏置电流引起的，其极性由器件内泄漏电流或偏置电流源决定，大小为  $I_{DR}/C_H$ 。S/H 电路数据表通常以毫伏的形式表示保持模式下的偏移。

⑤ 馈通(Feedthrough)

由于电子开关无法达到理想状况以及杂散电容的耦合, 输入信号变化部分将出现在输出端中, 即便在保持模式也是如此, 这种状况称为馈通, 单位是 dB。

### 3.3 高速模数转换器主要结构及比较

高速 ADC 是指转换时间  $\leq 1\mu\text{s}$  (或采样频率  $\geq 1\text{MSPS}$ ) 的 ADC, 按具体的结构可分为全并行式、折叠插入式、分级式、流水线式等。下面分别作简单介绍。

#### 3.3.1 全并行模数转换器 (Flash ADC)

全并行 (或称快闪式) ADC 能在同一瞬间完成转换, 是各种转换方式中速度最快的, 目前采样速率最高可达 1GSPS 以上。图 3.6 所示为  $n$  位快闪式模数转换器的原理。它由电阻分压器、比较器、缓冲器及编码器四部分组成<sup>[16, 17]</sup>。转换器内有一对基准电压  $\pm U_{\text{REF}}$ , 模拟输入信号被同时加到  $2^n - 1$  个锁存比较器。每个比较器的参考电压由电阻网络构成的分压器引出, 它比下一个比较器的参考电压高一个最低有效位 LSB ( $=U_{\text{REF}}/2^n$ )。当模拟信号输入时, 凡参考电压比模拟信号低的那些比较器均输出高电平 (逻辑 1), 反之输出低电平 (逻辑 0)。这样得到的数码称之为温度计码。该码被加到译码逻辑电路、然后送到二进制数据输出驱动器上的输出寄存器。

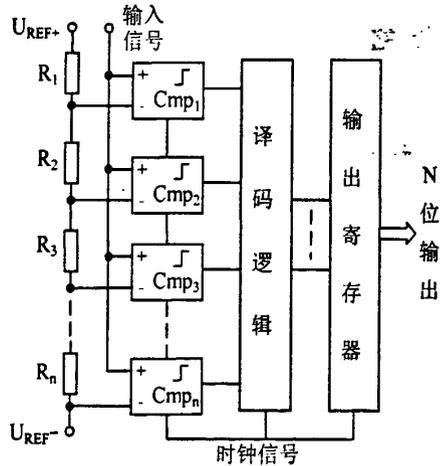


图 3.6 全并行 ADC 结构

这种结构的 ADC 不需要采样保持电路, 所有位的转换同时完成, 其转换时间主要取决于比较器的开关速度、编码器的传输时间延迟等。增加输出代码对转换时间的影响较小, 但随着分辨率的提高, 需要高密度的模拟设计以实现转换所必需的数量很大的精密分压电阻和比较器电路。输出数字增加一位, 精密电阻数量就要增加一倍, 比较器也近似增加一倍。例如,  $n$  位的 ADC 需要  $2^n$  个精密电阻 [每个精密电阻的精度为  $(100/2^n)\%$ ] 和  $2^{n-1}$  个并联比较器。

全并行转换方式中比较器群的输出类似于水银温度计的指示, 0、1 信号的突变只在一串比较器中某一个位置发生。这个突变位置是后续编码电路所需的唯一信息, 至于其他位置比较器的输出为 0 或 1, 则是冗余信息。这种 ADC 在转换过

程中会因为某种原因产生所谓的“气泡”，即在 0、1 突变的上方，比较器的输出本应全为 0，但其中个别比较器错误地输出 1；或者，在突变的下方，本应全为 1，个别比较器错误地输出 0。导致气泡产生的原因包括：1) 某一输入信号与参考电平很接近时，比较器出现中间态 (Metastablestate)；2) 很高的输入信号频率，与比较器中锁存器的建立时间和保持时间产生冲突，导致中间态的产生。在有气泡的情况下直接编码，结果必然是错误的。为此，必须在芯片中增加校正电路，例如模拟平均法 (Analog Averaging) 就是利用各比较器的具体输出值来清除气泡的一种校正方法<sup>[16]</sup>。

全并行结构是各类模数转换转换方式中速度最高的，但它的缺点也是明显的，除了上述提到的亚稳态和“气泡”，还有： $2^{n-1}$  个比较器的输入端并联后作为转换器的信号输入端，增大了输入电容；各位转换中产生的时间上差异，造成所谓的孔径误差，使转换的动态特性变坏；结构重复的并联比较器如果精度不匹配，还会造成静态误差，如会使输入失调电压增大；随着分辨率的提高，大量比较器及电阻网络加大了芯片面积和功耗，为了使芯片功耗降低，就需要减小每个比较器的功耗，其结果将是比较器的带宽减小，最终导致转换器的有效带宽减小。

由于高位全并行方式 ADC 性能上的局限和制作上较低的成品率，在高速高分辨率 ADC 中，已很少采用，这种结构较常用于 8 位及以下的转换器中。

### 3.3.2 分级式模数转换器

分级式 ADC 可由二级 (或以上) 低位 ADC 组成，每级完成一次低分辨率转换，经几级后获得最终精度。实际研发以二级居多，所以又称为二步式 ADC。

图 3.7 所示是一个 8 位二步式 ADC 的原理框图<sup>[16]、[17]</sup>。其转换过程分为两步：第一步是粗略量化。先用并行方式进行高 4 位 (MSB) 的转换，作为转换后的高 4 位输出，同时再把数字输出进行数模转换，恢复成模拟信号值。第二步是进一步精细量化。把原输入信号值与数模转换器 (DAC) 输出的模拟信号值相减，其差值 (剩余量) 再进行低 4 位 (LSB) 的模数转换，然后将上述两级 ADC 的数字输出并联后作为总的输出。

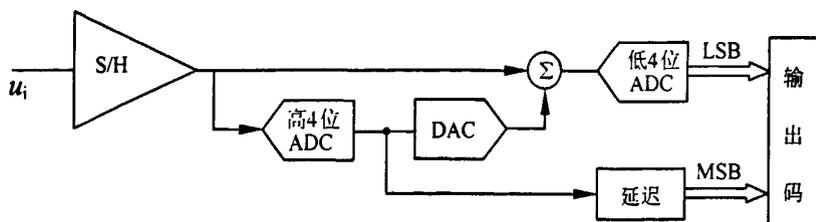


图 3.7 二步式 ADC 结构

从图中看到,只要使用两个4位的ADC就能达到8位的转换要求,所以整个转换器所需要的比较器数目由全并行ADC的 $2^8=256$ 个降为 $2 \times 2^2=32$ 个,降低到原来的四分之一,芯片面积及功率消耗也因此下降。但由于不是同时转换,前端需要有采样保持电路,速度仅为Flash ADC的一半,而且各级内的误差源在分量程点积累造成整个转换器传递函数呈现非线性并产生失码,因此对于10位以上的分量程ADC需要有相应的误差校正电路。

虽然分级式ADC转换速率没有Flash ADC快,但解决了分辨率提高和元件数目剧增的矛盾,在分辨率相同情况下其电路的复杂性和功耗大大低于快闪式。

### 3.3.3 折叠插入式模数转换器

这种转换方式的核心是利用折叠技术来减少ADC中的采样锁存器数量及利用内插技术来减少ADC中的比较器数量,从而在高速、低功耗的情况下实现高分辨率转换。

内插式ADC是利用前置放大器在其临界电压附近的线性特性,在两相邻前置放大器的输出间内插成线性比例的结果,所以可以减低所使用前置放大器的数目,进而减低输入电容。在内插的方法上除了电阻内插以外,还可以采用电流内插或电容内插的方法,它们基本原理是相同的。

折叠式ADC的基本原理是先将输入经过折叠电路的处理,再把折叠过的信号由低位比较器来比较。折叠结构利用一个模拟预处理器对模拟插入信号进行模拟预处理,将输入模拟信号折叠成一组重复出现的锯齿波,锯齿波级数由折叠放大器的折叠系数决定,图3.8是输入信号折叠的转换曲线。转换器的低精度量化部分(MSB)由折叠放大器生成,而锯齿波本身包含了转换器的高精度量化(LSB)信息。由于使用了折叠-插值预处理电路,使比较器的数目大大减少,故系统功耗和面积得以优化。同时,粗、精量化的并行处理免去了多步式及所必需的采样-保持电路与高精度D/A转换器的设计。尽管折叠式ADC与分级式ADC一样也分成高位(MSB)及低位(LSB)两级处理,但后者是将高位比较完成之后才进行低位的比较,而前者则是高位和低位的比较同时进行,因此折叠式与全并行ADC在采样速度上相当接近。

将上述两种技术结合构成折叠插入式ADC是一种新颖的高速低功耗转换器,其速度可以和全并行方式相媲美,图3.9为一个8位折叠结构ADC原理框图<sup>[18]</sup>。模拟预处理器(折叠放大器)通常置于全并行ADC电路中的比较器与采样锁存器

之间。与全并行 ADC 相比，采样锁存器为原来的 1/16，比较器为原来的 1/4。

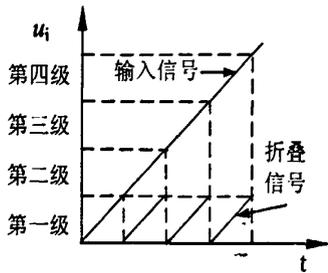


图 3.8 折叠转换曲线

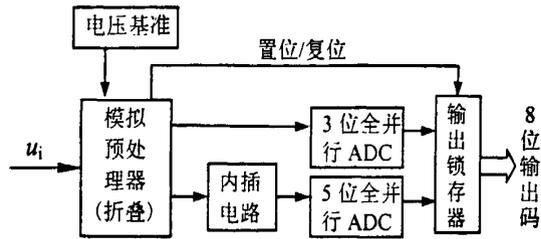


图 3.9 8 位折叠内插 ADC 原理框图

这种结构的 ADC 的动态性能受到过零点精度，随着输入电压和采样频率的增加，动态性变差，误码率上升，也会产生所谓的“气泡”现象。另外，这种结构方式在实现高分辨率时(比如大于 8 位时)，如仍要保持较少的比较器数，折叠和插值电路结构会变得十分复杂，因此目前一般被应用于分辨率在 10 位以下，采样频率在 50~100MSPS 的场合。

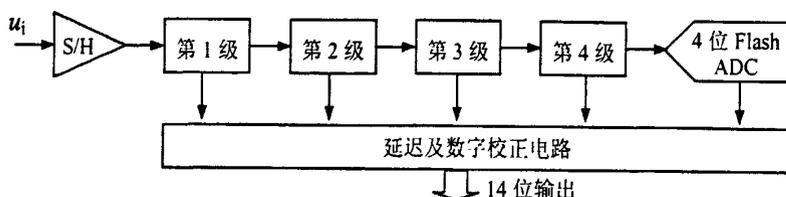
### 3.3.4 流水线模数转换器

流水线型模数转换器(Pipeline ADC)又称为子区式 ADC，它由若干级级联电路组成，每一级包括一个采样保持放大器、一个低分辨率的 ADC 和 DAC 以及一个求和电路，其中求和电路还包括可提供增益的级间放大器。快速精确的 n 位转换器分成几个子区来完成，首级电路的 SHA 对输入信号取样后先由一个 m 位分辨率的粗 ADC 对输入进行量化，接着用一个至少 n 位精度的数模转换器(DAC)产生一个对应于量化结果的模拟量并送至求和电路，求和电路从输入信号中扣除此模拟电平，并将差值精确放大某一固定增益后送交下一级电路处理。经过各级这样的处理后，最后由一个较高精度的 K 位细 ADC 对残余信号进行转换。将上述各级粗、细 ADC 的输出组合起来即构成高精度的 n 位输出。虽然从信号的进入到信号完全被转换需要一段延迟，但是由于每级之间都有采样保持电路对输入信号进行保持，而且在各级信号输出后有可对信号进行存储的数字延迟电路，这就保证了流水线结构的电路在各个时钟周期，每级都可以同时进行信号转换。从而使 ADC 在每个时钟周期都可以输出一组转换结果。因为模拟信号是依次通过由子 ADC、子 DAC 和级间增益电路块组成的流水线的，所以称这种结构的转换器为流水线 ADC。10 位以上流水线型 ADC 流水线各级电路都留有冗余位以纠正重叠错误，故满足以下不等式：

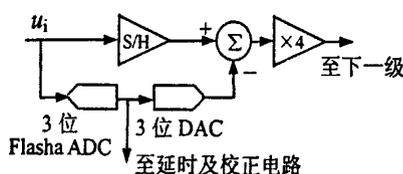
$$l \times m + k > n \quad (3-12)$$

式中,  $I$  为级数,  $m$  为各级中 ADC 的粗分辨率,  $K$  为精细 ADC 的细分辨率, 而  $n$  是流水线 ADC 的总分辨率。

图 3.10(a) 所示为一个 12 位 4 级流水线型 ADC 的原理图<sup>[18, 19]</sup>。虽然每级产生 3 位、但由于级间的增益是 4, 每级(1~4 级)的有效分辨率为 2 位, 额外的位只是用于使下一级 3 位 ADC 有额外的范围进行数字校正。实际上是采用了 1 位重叠校正法, 因此整个 ADC 的有效位数是  $2+2+2+2+4=12$  位。



(a) 功能框图



(b) 每级内部结构

图 3.10 14 位流水线 ADC 基本原理图

从整个转换过程来看, 流水工作方式可以看作是串行的, 但就每一步转换来看, 是并行转换的, 速度较快, 且马上就作转换后的数字码输出。因此, 这种转换方式可以实现很高的转换频率, 即能处理较高的信号频率。在图 3.10(b) 中可以看出, 为了保证下一级的精确转换, 需要将本级转换后剩余的模拟量进行保持, 因此转换器中需要多级高速高精度采样保持电路, 这通常用两步转换法中的 DAC 和模拟量减法器合并来实现。

流水线 ADC 不但简化了电路设计, 还具有如下优点: 每一级的冗余位优化了重叠误差的纠正, 具有良好的线性和低失调; 每一级具有独立的 SHA, 本级保持转换期间, 前一级电路的 SHA 可以释放出来用于处理下一次采样, 因此允许流水线各级同时对多个采样信号进行处理, 从而提高了处理的速度, 典型的为  $T_{conv} < 100ns$ ; 功率消耗低; 很少有比较器进入亚稳态, 从根本上消除了火花码和气泡, 从而大大减少了 ADC 的误差; 多级转换提高了 ADC 的分辨率。当然流水线型 ADC 也有一些缺点: 复杂的基准电路和偏置结构; 输入信号必须穿过数级电路造成流水线延迟; 同步所有输出需要严格的锁存定时; 对工艺缺陷敏感, 对

印刷线路板更为敏感,它们会影响增益的线性、失调及其它参数。这种新型的 ADC 主要应用于对 THD 和 SFDR 及其它频域特性要求较高的通讯系统,对噪声、带宽和瞬态相应速度等时域特性要求较高的 CCD 成像系统,以及对时域和频域参数都要求较高的数据采集系统。目前,国外流水线 ADC 的实验室水平是 10 位、100 MSPs (高速型) 和 16 位、1MSPs(高精度型)。

### 3.3.5 高速 ADC 结构的比较

各种高速 ADC 都有各自的优缺点,表 3.2 是各种高速 ADC 的结构特点。

表 3.2 各种高速 ADC 结构的比较

ADC 结构	比较器数量	参考源数量	输入电容	S/H 电路	误差校正
全并行	最多	较多	大	不需要	不需要
二步式	一般	较多	一般	需要	需要
折叠插入式	一般	一般	一般	不需要	不需要
流水线	最少	最少	最小	需要	需要

由表 2 及 33.1~§ 33.4 所述可以得出:全并行 ADC 结构简单且速度快,比较适合 8 位以下的高速需求,但由于功率和体积的限制,要制造高分辨率闪烁式 ADC 是不现实的。两级 ADC 是介于全并行 ADC 及流水线 ADC 之间,而且另外需要一个采样保持电路。折叠式 ADC 的设计除了可以减少比较器及锁存器的数量外,由于输入信号经过折叠,其动态表现会比较好,但参考电压及输入电容较大,且高位应用时折叠和插值电路结构会变得过于复杂,因此主要适宜于 8 位以下的场合。而流水线结构 ADC 不论在比较器、参考电压的数量还是输入电容都是最少的,1 个 8 位流水线 ADC 的芯片面积、输入电容和功耗分别只有相同位数全并行 ADC 的 1/8、1/7 和 1/3,而且它能兼顾速度和分辨率,经过合理的设计和布局,可制造出(10~18)位、(10~100MSPs)的模数转换器,所以流水线结构是中高等分辨率、高速低功耗 ADC 发展的主要方向。

## 第4章 BiCMOS 流水线 ADC 总体方案设计

本章提出了 10 位流水线模数转换器的总体设计方案,并着重讨论了转换器的误差产生情况并确定了相应的数字校正思路。

### 4.1 1.5 位/级流水线 ADC 结构

合理的结构设计对于 ADC 高性能指标的实现有着举足轻重的影响。本文设计选择每级 1.5 位的流水线结构,其中 1 位为输出,另半位用于数字校正。之所以选择 1.5 位/级主要是考虑以下因素:

(1) 与每级多位结构相比,1.5 位/级的结构减小了级间增益和每级的负载电容,每级转换的带宽加大,因此具有更高的速度和更大的电压校正范围。

(2) 每级多位结构的转换器一般都需要用电阻网络或者是电容网络来产生满足全局转换精度的参考电压,这必然是元件失配造成的各种误差加大。

(3) 为提高转换速度,每级子 ADC 采用全并行结构,若选用每级多位结构,一方面将会使比较器数目会急剧增加,功耗加大;另一方面则要求级间增益提高,这会增加级间增益放大器的稳定时间。

因此必须适当地减少每级的转换位数和增加级数以满足速度和功耗的要求。

图 4.1 给出了 1.5 位/级的流水线结构功能框图<sup>[19-20]</sup>,它是由每级 2 位结构演化来的。电路主要包括采样保持电路、子 ADC、子 DAC (包括差动比较电路、数字译码电路和电阻网分压电路) 部分、级间增益电路 (包括采样减法电路、2 倍增益电路和保持电路) 部分、数字延迟电路和数字校正电路。此外还有运放的偏置电路、时钟产生电路、I/O 部分等。

输入的模拟信号经过采样保持电路后,在保持周期,由子 ADC 对保持信号进行量化,得到校正前的数字信号,然后将此信号一路加到数字延迟电路,另一路送到子 DAC 电路将数字信号转换为模拟量,再将 S/H 保持的模拟输入信号与此模拟量相减得到的余量信号放大并送入下一级作为输入信号。只要某一级完成了变换并将余量信号送到下一级,它就可以处理下一个采样,因此速度很快。

为了消除采样保持电路和每级子 ADC 转换器的内部的失调误差、非线性误

差和级间转换等误差的影响，需要采用数字校正技术。虽然图 4.1 中每级输出数字信号为 1.5 位，但其中只有一位有效位，另半位是冗余位，用于纠错，它和后面的数字结果相加之后得到一位有效数字，所有各级经过数字校正后输出最后的转换结果。设计时为达到系统所要求的 10 位分辨率，可以根据 3.4 和下一节关于数字校正技术的介绍，确定出所需要的级数和级间增益倍数。

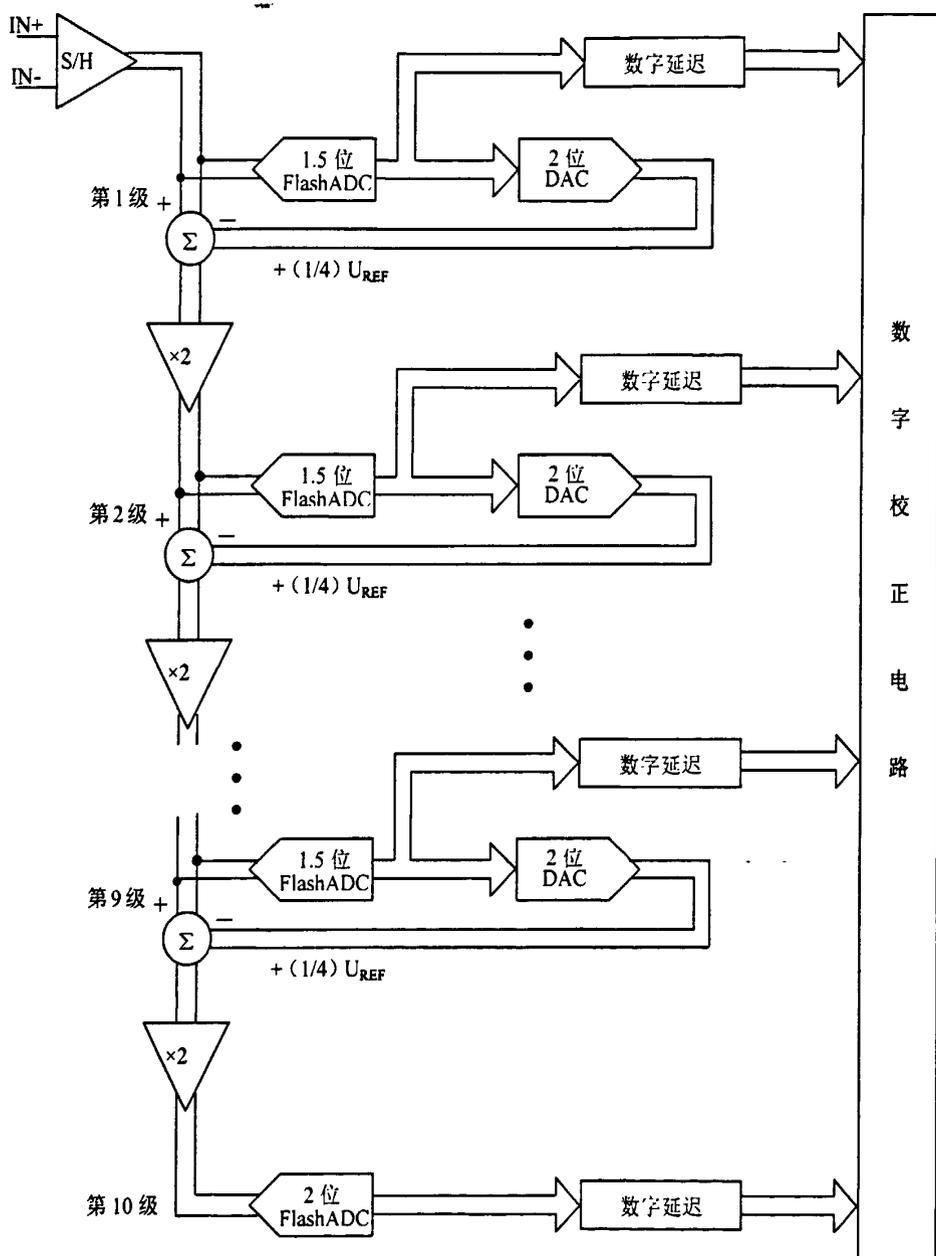


图 4.1 每级 1.5 位流水线 ADC 的结构框图

## 4.2 系统误差来源及分析

多级流水线结构 ADC 电路误差来源有：(1) S/H 电路失调误差；(2) 每级内子 ADC 产生的失调误差、非线性误差；(3) 每级内子 DAC 产生的失调误差、非线性误差、调整时间误差；(4) 级间增益误差、失调误差、调整时间误差。ADC 进行转换时，级内和级间产生的各种误差会逐级传递并积累，使整个转换器传递函数呈现非线性并最终会导致 ADC 的输出产生失码，因此在设计中为使 ADC 达到较高的精度，必须采用适当措施减小误差。

采样保持电路、级间增益电路产生误差的原因是实际运算放大器的增益有限和器件不匹配造成的，只能通过提高运放自身的性能和改善工艺水平来尽可能地减少这类误差。而对于子 ADC 和子 DAC 电路造成的误差则可通过数字校正技术来消除。下面以 2 位 ADC 和 2 位 DAC 为例分析由于子 ADC 和子 DAC 存在误差时对信号转换特性的影响。如图 4.2 所示，在理想情况下，即 2 位 ADC 和 2 位 DAC 都没有误差，级间增益放大器的输出对模拟输入应呈锯齿波形<sup>[16]</sup>。

2 位 ADC 将整个模拟信号输入范围划分为 4 个区域<sup>[16, 21, 22]</sup>，如图中横坐标所示。纵坐标为该级的余量误差，理想情况下的余量范围为  $(-1/4U_{REF}, +1/4U_{REF})$ 。为了简化电路结构，要求流水线各级共用同一个基准电压源  $(-U_{REF}, +U_{REF})$ ，因此理想情况下各级增益放大器的放大倍数设计为  $2^N$  ( $N$  为子 ADC 的位数)，这样可使余量信号经  $2^N$  (本例为 4) 倍放大后与下一级的输入量程对应。对于理想的子 ADC、子 DAC 和级间增益放大器，随着模拟输入的增大，ADC 的输出数据也增大，而余量则呈周期性的变化，在理想情况下其变化的幅度都应当相等 (即  $R = -1/2^N U_{REF} \sim +1/2^N U_{REF}$ )，因而余量经级间增益后输出的变化幅度也必然相等 (即  $2^N R = -U_{REF} \sim +U_{REF}$ )。由于此时经级间放大的余量信号精确地充满下一级的输入量程，整个转换器的传递函数线性误差，输出无失码。

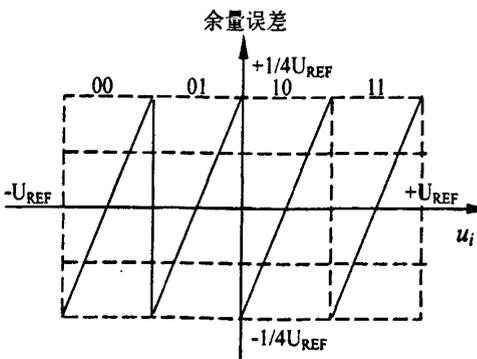


图 4.2 理想情况下的转换特性

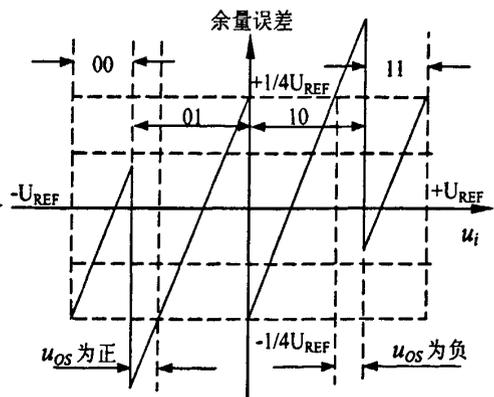


图 4.3 子 ADC 存在误差时的转换特性

然而实际的子 ADC 和子 DAC 都不可能是理想的。对于子 ADC 而言，组成

精密分压电阻网络的各电阻值不可能绝对相等,比较器的输入电流  $I_b$  和失调电压  $u_{OS}$  也不可能恒为零,以及 S/H 电路存在孔径效应等,使 ADC 产生转换误差。这时的余量误差信号除了包含未被第一级 ADC 所量化的输入信息外,还包含了第一级 ADC 产生的误差信号,于是第一级产生的余量误差信号就超出了第二级 ADC 的转换范围。图 4.3 是当子 ADC 存在误差时的传输特性<sup>[23]</sup>。

接着分析子 ADC 中比较器存在失调误差  $u_{OS}$  时对转换特性的影响。假定子 DAC 及级间增益放大器是理想的,那么电路的输出余量信号为  $(u_{i+}-u_{i-})+u_{OS}+(U_{REF+}-U_{REF-})$ 。其中  $(u_{i+}-u_{i-})$  为采样保持信号、 $(U_{REF+}-U_{REF-})$  为经子 DAC 转换后得到的重构模拟信号,余量信号就是下一级转换电路的输入信号。当误差  $u_{OS}$  为正时,余量信号经级间增益放大后有可能超过下一级子 ADC 输入信号的负量程,从而导致下一级子 ADC 得输出为 00; 当误差  $u_{OS}$  为负时,则会导致余量信号经级间增益放大后有可能超过下一级的输入信号的正量程,导致下一级子 ADC 的输出为 11。这两种情况都使 ADC 产生误码。

同理,当子 DAC 存在误差时也会产生误码。图 4.4 是子 DAC 存在误差时的

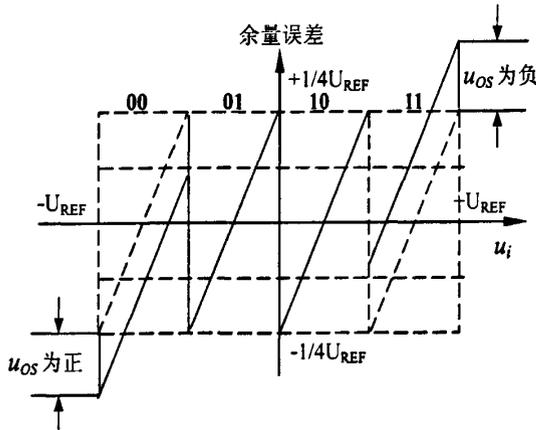


图 4.4 子 DAC 存在误差时的转换特性

传输特性。假设 ADC 没有误差, DAC 转换器输出与保持模拟输入间的失配产生增益误差,在增益放大器输出端表现为一个直流失调电压  $u_{OS}$ 。对于理想的 DAC,增益放大器输出与第二级 ADC 的输入范围相对应,当出现增益误差时,余量信号经级间增益放大后会超出第二级 ADC 的输入范围。如图 4.4,第一级流水线的余量为  $(u_{i+}-u_{i-})-(U_{REF+}-U_{REF-}+u_{OS})$ 。如果  $u_{OS}$  为正,余量信号经级间增益放大送到下一级后有可能超过下一级的负量程;当  $u_{OS}$  为负时则会超过下一级的正量程。因此这两种情况都会导致下一级子 ADC 产生误码。

### 4.3 数字校正原理及校正方案

通过以上的误差分析可知,前一级内的各种转换误差都可能会导致余量信号幅度超出下一级 ADC 的信号转换量程,从而产生误码。理论上,可以采取两种方法解决这个问题:一是相应地扩大下一级子 ADC 的输入范围,使之完全覆盖余差信号范围。二是适当的减小级间增益,使余量误差信号经过级间增益后的电压幅值不超出下一级子 ADC 的量程。显然,前者需要在各级增加一个适当的参考电压源,它的电压值应随前一级的误差情况调整,因此增加了系统的复杂性,且很难判断每级参考电压需要增加多少才可防止输入信号超出量程。后者则可以使各级流水线共用一个相同量程的参考电压源,可以简化电路结构。

本文采用第二种方法,具体方法是将各级级间增益由 4 倍改为 2 倍。因为在理想情况下,2 位的子 ADC 余量信号的输出范围为  $(-1/4U_{REF}, +1/4U_{REF})$ ,结合数字校正技术可知,采用半位冗余数字校正技术可有效地消除范围在  $\pm 1/4U_{REF}$  之间的失调误差。因此采用半位冗余技术后余量信号的输出范围变化为  $(-1/2U_{REF}, +1/2U_{REF})$ 。而各级子 ADC 的量程范围都为  $(-U_{REF}, +U_{REF})$ 。因此采用级间增益为 2 的电路可以有效的保证各级子 ADC 同时工作在同一个量程范围内。

图 4.5~4.6 为级间增益为 2 时的理想传输特性和当子 ADC 存在误差时的转换

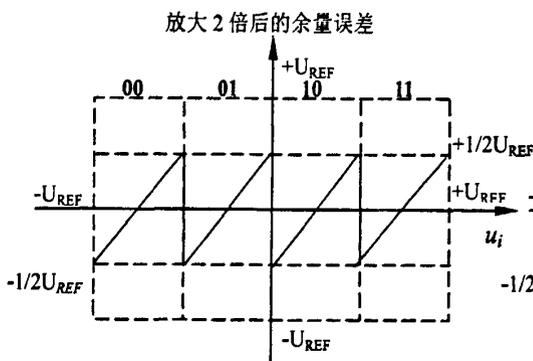


图 4.5 理想情况下 2 倍增益的转换特性

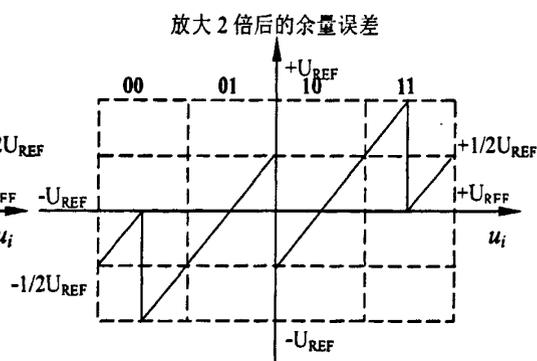


图 4.6 ADC 存在误差时的转换特性

特性<sup>[24]</sup>。由图可见,减小级间增益为 2 时,只要每一级的失调误差在  $\pm 1/4U_{REF}$  的范围内,余量误差信号经过 2 倍增益后的输入电压幅值便不会超出下一级子 ADC 的输入量程,避免了信号的损失。但是以上措施仅仅保证了余量信号不超过下一级的量程,使转换器可以正常工作,而并没有消除误差对结果的影响。如果不对子 ADC 和子 DAC 的误差进行校正的话,随着输入信号沿着流水线一级一级转换,级内误差和级间增益误差一级一级地积累,也会导致 ADC 的最终输出产生误码。实际上,子 ADC 中比较器的失调误差是随机产生的,它的值可能是正也可能是负。如果直接对结果进行数字校正,就必然会有三种数字校正方式:在数字值小

于保持值时采取加校正、数字值大于保持值时采取减校正和在数字值恰好等于保持值时不加减。校正电路既要实现加法又要实现减法，显然结构过于复杂。

本设计采用了负冗余数字校正 (Negative Redundant Digit-Correction) 算法来消除误差以简化数字校正电路<sup>[25~27]</sup>。负冗余数字校正的基本设计思想是：虽然各级子 ADC 中比较器的误差是随机的，但是可以通过人为地设定一定范围的冗余量使绝对值在这个范围内的随机误差都可以在下一级得到校正，从而保证结果的正确。具体实现方法是将需要数字校正的那一级的子 ADC 比较器的参考电压在负向至少有半位的冗余。对半位冗余，第一级的参考电压为

$$U_{REF1} = U_{REF} + 0.5 U_{REF} / 2^N \quad (4-1)$$

在本设计中，各级子 ADC 的所有比较器的参考电压都比原来的参考电压高  $1/4 U_{REF}$ ，则当失调电压小于  $1/4 U_{REF}$  时，实际的数字输出只可能小于或等于理想的输出值，校正电路只要进行加法运算即可。例如，第一级转换时，以参考电压  $U_{REF1}$  进行 A/D 转换，得到带冗余位的数字输出  $D_1 D_2 \cdots D_N$ ，采用正常的参考电压  $U_{REF}$  对此数字信号进行 D/A 转换。然后用保持的模拟信号电压减去这个值，将剩余电压放大  $2^N$  倍后作为第二级的模拟输入，第二级 A/D 转换后得到数字输出为  $D_{N+1} D_{N+2} \cdots D_{2N}$  则最终转换结果是将这两个数字字交叠一位相加为

$$\begin{array}{r} D_1 \quad D_2 \quad \cdots \quad D_N \\ + \quad \quad \quad D_{N+1} \quad D_{N+2} \quad D_{2N} \\ \hline D_1 \quad D_2 \quad \cdots \quad D_N D_{N+1} \quad \cdots \quad D_{2N-1} \end{array}$$

可见，只要子 ADC 中的比较器的误差范围在  $(-1/4 U_{REF}, +1/4 U_{REF})$  之间，就可保证这一级的误差在下一级得到校正，所以采用半位的冗余校正可以有效的消除来自级间和级内的误差。当然如果子 ADC 的位数较多时，半位的数字误差校正范围不够，就应采用 1 位冗余的数字校正方式对其进行校正。

图 4.7 为采用半位负冗余数字技术的 2 位 ADC 的转换特性图，其中，横坐标是输入的模拟信号，其变化范围为  $(-U_{REF}, +U_{REF})$ ，纵坐标是经过 2 倍级间增益后的余量信号，它的范围也为  $(-U_{REF}, +U_{REF})$ ，这表明这一级信号的余量输出经过增益后的幅值不会超过下一级的量程。理想的数字输出范围是指：在没有采用负冗余技术的理想情况的下，输入信号在各个区间对应的理想数字输出。采用负冗余校正的输出范围则是指采用负冗余技术后，输入信号在各个区间对应的数字输出。可以看到这两者的输出结果和输入区间范围有一定的差别。这是由于采用负冗余后子 ADC 的参考电压右移了  $1/2 \text{LSB}$  ( $1/4 U_{REF}$ ) 的结果。这级余量在下一

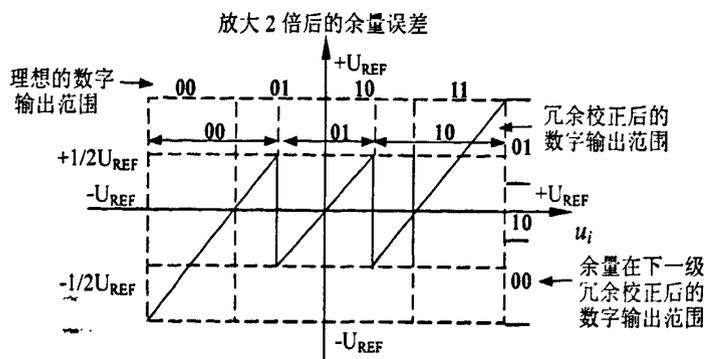


图 4.7 冗余校正后的转换特性

级采用负冗余校正的数字输出范围是指纵坐标的余量信号在经过 2 倍级间增益后作为下一级的输入时，下一级流水线 ADC 应该输出的数字结果。

下面以 4 级 1.5 位、量化范围  $(-U_{REF} \sim +U_{REF})$  的流水线 ADC 为例分析数字校正的过程。在 1.5 位的结构中，只需要两个比较器即可完成数字比较功能，输入电压范围为  $\pm U_{REF}$  时，比较器的判决电平分别设为  $-U_{REF}/4$  和  $+U_{REF}/4$ ，而每一级子 ADC 的输出只有 00、01、10 三种情况（其中并不包含 11）。当  $-U_{REF} \leq u_i < -U_{REF}/4$  时，子 ADC 的输出为 00；当  $-U_{REF}/4 \leq u_i < +U_{REF}/4$  时，子 ADC 的输出为 01；当  $+U_{REF}/4 \leq u_i < +U_{REF}$  时，子 ADC 的输出为 10，它们对应的 DAC 的输出分别为  $-U_{REF}/2$ ，0， $+U_{REF}/2$ 。2 倍增益电路输出为  $(u_i - u_d) \times 2$ ，其中  $u_d$  是 DAC 输出值。假定 ADC 的输入电压为  $-U_{REF}/16$ ，不考虑比较器的失调电压，则第 1 级子 ADC 输出 01，DAC 的输出  $u_d = 0$ ，2 倍增益电路输出为  $(-U_{REF}/16 - 0) \times 2 = -U_{REF}/8$ 。因此，第 2 级子 ADC 的输出仍是 01，第 2 级 2 倍增益电路输出为  $(-U_{REF}/8 - 0) \times 2 = -U_{REF}/4$ 。所以第 3 级子 ADC 的输出还是 01，第 3 级 2 倍增益电路输出为  $(-U_{REF}/4 - 0) \times 2 = -U_{REF}/2$ ，则第 4 级的 ADC 输出为 00。将上述 4 个数字量错位相加，得到 01110，再将最后一位冗余位去掉，得 0111。可见，采用负冗余技术后上一级子 ADC 不必输出数字 11，它可以通过这一级子 ADC 的输出 10 和下一级的子 ADC 的输出信号 1X 进行数字加校正获得本级原应该的数字输出信号 11。

若两个比较器同时存在  $U_{REF}/4$  的正向失调电压，则第 1 级两个比较器判决电平变为 0 和  $+U_{REF}/2$ ，输入电压  $-U_{REF}/16$  被量化为 00，对应  $u_d = -U_{REF}/2$ ，2 倍增益电路输出为  $(-1/16 + 1/2) U_{REF} \times 2 = (14/16) U_{REF}$ ；输入第 2 级后，被量化为 10，第 2 级 2 倍增益电路输出为  $(14/16 - 1/2) U_{REF} \times 2 = (6/8) U_{REF}$ 。显然，第 3 级的量化输出也是 10，而 2 倍增益电路输出为  $(6/8 - 1/2) U_{REF} \times 2 = U_{REF}/4$ ，第 4 级的量化输出仍是 10。将 00、10、10、10 错位相加之后得 01110，将最后一位冗余位去掉得 0111，这与上面的结果是一致的。

## 第 5 章 ADC 单元电路的设计

本章将流水线 ADC 的各个电路单元的设计,包括 BiCMOS 运算放大器电路、CMOS 开关电容电路、采样保持电路、BiCMOS 差动比较电路、级间增益电路、采用并行结构的子 ADC 及 DAC 电路、数字校正电路和数字延迟电路、两相不交叠时钟产生电路。为降低功耗及易于系统接口,ADC 的工作电源电压设计为 3.3V。

### 5.1 BiCMOS 运算放大器

#### 5.1.1 运放的主要性能要求<sup>[28~29]</sup>

在流水线 ADC 中,运算放大器是采样保持(S/H)电路和级间增益电路的主要单元电路,其性能的优劣决定了 ADC 是否可以实现其功能。总的来说,对运放的性能要求为:

- (1) 开环增益高、单位增益带宽大;
- (2) 当负载为大的容性负载时依然有很高的运算速度;
- (3) 有足够的相位裕度保证运放稳定工作;
- (4) 高的共模抑制比和大的输入输出摆幅。

针对以上各性能要求,构思出运放的主要设计要点如下:

(1) 采用 BiCMOS 工艺制作的运放既具有 MOS 运放输入阻抗高 ( $>10^{10}$  欧姆)、输入偏流及静态功耗小等优点,尤其线性工作范围远比双极电路宽(可达几伏),又具有接近双极电路的高速性能及强驱动能力,因此是十分理想的选择;

(2) 与纯双极电路相比,MOS 管构成的信号输入级电路会带来较大的噪声、干扰,因此要考虑提高运放的抗噪声能力,设计中要采用具有很强抗输入噪声能力的双端输入、输出全差分结构来提高运放的共模抑止比并使有效输出摆幅加倍,即动态范围扩大增加 2 倍。对于电路中由 MOS 管阈值电压较大造成的失调电压,则可以通过数字校正来消除。

- (3) 选择适当的运放结构形式以保证高的开环增益和大的单位增益带宽;
- (4) 运放的频率特性包括运放的幅频特性和相频特性。为使运放在反馈电

路中稳定可靠地工作，就应有一定的相位裕度储备，一般需有  $45^\circ$  以上的相位裕量，否则就需要用密勒电容补偿法对其进行相位补偿，但补偿会使运放相频特性变差，并使运放单位增益带宽降低。因此在相位裕度和增益带宽之间要折衷考虑。

(5) 应用于高速 ADC 的运放，要求它的建立时间较短，而影响建立时间的主要因素是：单位增益带宽  $GW$  和高频极点频率。故在运放设计时要加以考虑。

另外，由于 ADC 为数模混合电路，在数字电路中存在较大的噪音，会对模拟信号产生较强的干扰，在设计中除了采用全差动结构来加以抑制外，还要尽可能将数字和模拟部分的电源分开以防止噪音信号通过电源对电路产生干扰。

### 5.1.2 运放的结构选择

图 5.1 是差动运算放大器的基本结构框图<sup>[24]</sup>。差分跨导级构成了运放的输入级，其作用是提供运放电路的一部分增益，并改善噪声性能和降低输入失调；第二级是高增益级，作用是获得电路所需的开环增益，偏置电路给晶体管建立适当的静态工作点，反馈网络则用以补偿运放的闭环频率特性。

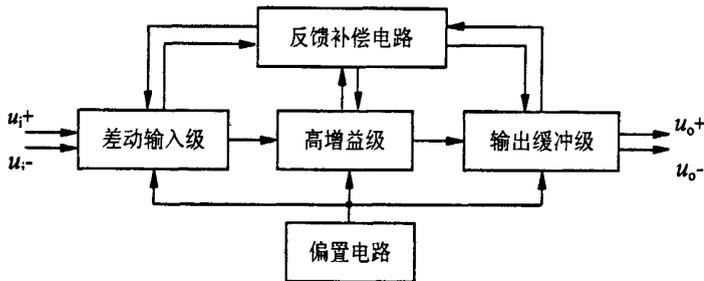


图 5.1 运放结构框图

在选择具体的运算放大器结构形式时，除首先应能满足 ADC 的要求外，还要考虑尽可能地减小电路功耗。目前使用较多的 3 种高性能运算放大器结构是套筒式共源-共栅运算放大器、两级运算放大器和折叠式共源-共栅运算放大器，它们的特性比较情况<sup>[30]</sup>见表 5.1。进一步分析可知：共源共栅运算放大器具有最低

表 5.1 三种运放结构的性能比较

结构	增益	输出摆幅	速度	功耗	噪声
套筒式共源-共栅	中	中	高	低	低
两级运放	高	高	低	中	低
折叠式共源-共栅	中	中	高	中	中

的功耗，最高的速度和较低的噪音，但它不适合用在开关电容电路中，因为在这种条件下需要将运放的输出和输入短接，使运放的输出摆幅大大减小。两级运算

放大器虽然有很高的开环增益和最大的输出摆幅,但信号经过两级电路时会引进额外的极点和零点,会使运放的相频特性变坏,故需要对其进行电容补偿,但这样做会降低运放的单位增益带宽,从而限制了运放的速度;比较理想的结构是折叠式共源-共栅,它的输入端密勒电容小,共模电平容易选取,输出阻抗高,输入和输出可以短接,电路稳定性好、精度高、输出摆幅较大以及工作速度较高,很适合用于本文设计的开关电容电路中。

根据流水线 ADC 对速度和精度的要求,设计了一种改进型式的运算放大器,即 BiCMOS 折叠式共射-共基运算放大器,其电路是在 CMOS 的折叠式共源-共栅运放基础上将第二级的输出 MOS 管换成了双极型管 BJT,这样做的好处是既保留了 CMOS 的折叠式共源-共栅运放的性能优点,又提高了运放的工作速度和驱动能力,增大了输出压摆率。

### 5.1.3 运放的实现电路和参数确定

#### 5.1.3.1 运放电路结构及分析

采用 BiCMOS 工艺的折叠式共射-共基运算放大器具体结构如图 5.2 所示<sup>[30]</sup>。这个电路与常用的 CMOS 折叠式共源-共栅运放的不同之处仅在于它的输出管  $Q_5$ 、 $Q_6$  是 BJT 而不是 NMOS 管,因此对两种电路的分析没有本质的区别。与常用的二级运放相比,此电路形式具有很高的次极点频率,故瞬态响应的建立时间很小,并直接用负载电容兼作频率补偿电容,减小了芯片面积。

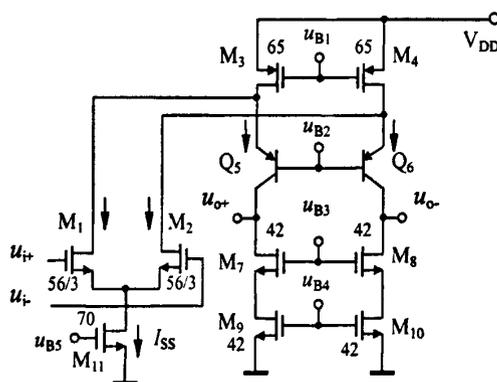


图 5.2 折叠式 BiCMOS 共射-共基运算放大器

图中  $M_1$ 、 $M_2$  是差分输入对管,  $Q_5$ 、 $Q_6$  是共射-共基晶体管,  $M_7 \sim M_{10}$  构成了一个作为有源负载的可修正的威尔逊(Wilson)电流源,  $u_{B1-5}$  由偏置电路提供。这里假设  $M_1$ 、 $M_2$  和  $M_{11} \sim M_{13}$  都是匹配的,则  $M_1$ 、 $M_2$  的直流电流是  $I_{SS}/2$ ,而  $M_3$  和  $M_4$  中的电流是  $I_{SS}$ ,这意味着在共射-共基晶体管  $Q_5$  和  $Q_6$  中的电流是  $I_{SS}/2$ 。

如果输入差模电压,则由差分对引起的交流如图 5.2 标注,  $M_1$  中的交流电流经  $Q_6$  流向输出端。 $M_2$  中的交流电流流过  $Q_5$ 。运用微变等效电路法对差动电路进行分析可得差模电压增益为:

$$A_d = g_{m1}(R_{o6}/R_{o8}) \quad (5-1)$$

其中,  $R_{o6} = g_{m6}(r_{o6})(r_{o4}/r_{o1})$ ,  $R_{o8} = g_{m8}(r_{o8}r_{o10})$ 。从式中可以看出增益由  $M_1$  ( $M_2$ ) 的跨导  $g_{m1}$  及  $R_{o6}$ 、 $R_{o8}$  的大小决定,通常这个电路的差模电压增益可以达到非常高的数值,例如当  $I_{SS}=100\mu\text{A}$ ,  $W/L=25$  时,电路的增益约为 35000(90dB),因此将它应用于 ADC 电路中能确保获得很高的转换精度和输出摆幅,由运放的开环增益有限而带来的误差会变得特别小。然而,增益误差的大小并不是决定开环增益的唯一因素,过高的开环增益往往会使运放的增益带宽减小、电路噪声与非线性失调增加,为了兼顾运放的综合性能,设计时要适当选取元件参数,只要使开环直流电压增益达到 80dB 左右即可(见 5.3.6)。

### 5.1.3.2 运放基本参数的确定

首先根据 ADC 对运放性能的要求来确定器件的宽长比 ( $W/L$ ) 和直流工作点,流水线结构的采样保持(S/H)电路和级间增益电路对运放的要求是相同的,因此这里只根据 S/H 来设计运放的基本参数,但设计的运放也直接用于级间增益电路。在 S/H 电路中,采样速度是 20MSPs,即采样保持周期为 50ns,其中采样间时和保持时间分别为 25ns,故要求运放的转换时间要小于 8ns(即 30%的采样或保持时间);压摆率  $S_R$ (又称转换速率)是用来描述运算放大器在大信号工作情况下瞬态响应的一个参数,它定义为放大器输入一个大阶跃信号时其输出电压的最大变化速率  $\left. \frac{du_o}{dt} \right|_{\max}$ ,以  $\text{V}/\mu\text{s}$  来表示,当运放信号的输出范围为 0V~1V 时,运放的压摆率  $S_R$  约为  $125\text{V}/\mu\text{s}$ 。下面根据  $S_R$  再来求运放偏置电流  $I_{SS11}$  当运放的电容负载为 1pF 时,由下式

$$S_R = \frac{I_{SS11}}{C_{load}} \quad (5-2)$$

可得到折叠式共射-共基的单条支路的偏置电流为:

$$I_{SS11} = S_R \cdot C_{load} = 125\mu\text{A} \quad (5-3)$$

本设计采用的电源电压为 3.3V,为了获得较大的开环直流增益,要尽可能地使静态工作点的电压定在 1/2 附近,即将静态工作点定为 1.6V。采用  $0.8\mu\text{m}$  的

BiCMOS 工艺, 根据其他参数, 确定各个管子的宽长比如图 5.2 中标注。

### 5.1.3.3 共模反馈 (CMFB) 的引入

由于高增益运放的元件或电源总存在失配的情况, 此时流过两条输出支路的电流就会有差异, 即使这种电流差很微小, 但在经过一个很大的输出阻抗后也会产生大的压降, 从而导致运放输出电压幅度超出正常电压范围, 使运放工作在非饱和区, 这实际上限制了运放输入信号的共模电压范围, 甚至导致运放无法正常工作。下面以一个基本差动对为例说明在电源失配产生的共模电压误差情况<sup>[30]</sup>。

如图 5.3 (a), 每个输入管传输的电流为  $I_{SS}/2$ , 共模电平取决于  $I_{D3}$  和  $I_{D4}$  的接近程度。由 NMOS 电流镜所确定的  $I_{SS}$  和由 PMOS 电流镜所确定的  $I_{D3}$ 、 $I_{D4}$  之间不匹配, 会使两者产生小的误差, 假定 M3 和 M4 在饱和区的漏电流稍大于  $I_{SS}/2$ , 为使 X、Y 节点电流平衡, M3、M4 进入线性区, 以使它们的漏电流降至  $I_{SS}/2$ 。

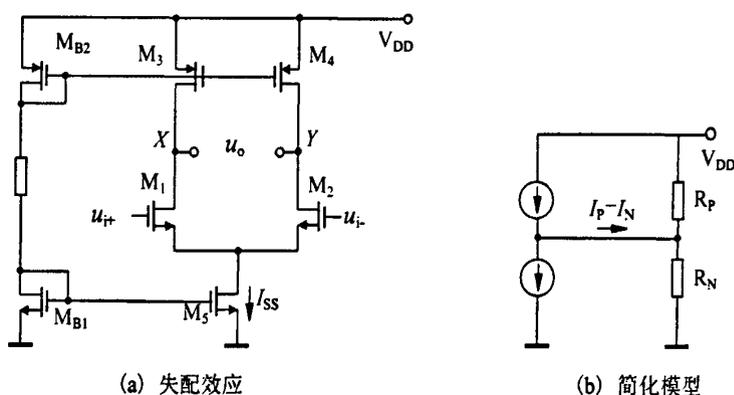


图 5.3 运放的电源失配效应及其简化模型

相反, 如果  $I_{D3}$ 、 $I_{D4}$  小于  $I_{SS}/2$ , 则  $u_X$ 、 $u_Y$  会下降, 使 M5 进入线性区, 仅产生  $2I_{D3}$  的电流。从 5.3 (b) 图可以清楚的看到,  $I_P$  与  $I_N$  的差值必定流过放大器的输出阻抗, 因而产生  $(I_P - I_N)(R_P || R_N)$  输出电压变化, 因电流误差取决于电源失配, 且运放的输出阻抗  $(R_P || R_N)$  很大, 误差电压很大时会驱动 p 型或 n 型电流源进入线性区。

为了消除运放失配引起的输出电压变化, 应在运放中引入共模负反馈, 目的是通过对输出共模电压进行共模负反馈校正, 使运放的输出静态工作点与输入共模电压无关, 确保运放可以正常工作。图 5.4 是共模反馈的基本原理图, CMFB 的任务是: 检测输出共模电平, 与参考电压比较, 将误差反馈到放大器偏置网络。

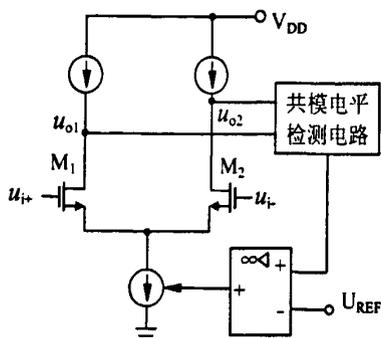


图 5.4 共模反馈的原理结构图

由于设计的运放是作为开关电容电路的一部分来使用的,因此可采用开关电容电路来实现运放的共模反馈,即利用系统时钟来进行共模反馈。图 5.5 为采用开关电容共模反馈的实现电路<sup>[32]</sup>,其原理是:利用电容来存储输出共模电压和共模输出偏置电压的值,通过时钟控制共模反馈电路的切换,即图中  $\Phi_1$  高电平时输出节点及  $M_9$ 、 $M_{10}$  基极均接固定电压, $\Phi_1$  低电平时,共模反馈电路起作用,通过动态地调整  $M_9$ 、 $M_{10}$  的偏置来控制运放输出点的共模电压,如当输入共模电压增加时,流经  $M_7$ 、 $M_8$  的电流下降,输出电压下降,反馈电路工作使  $M_9$ 、 $M_{10}$  栅压上升,最终使输出共模电压上升。此共模反馈方案动态工作的特点可使功耗降低。

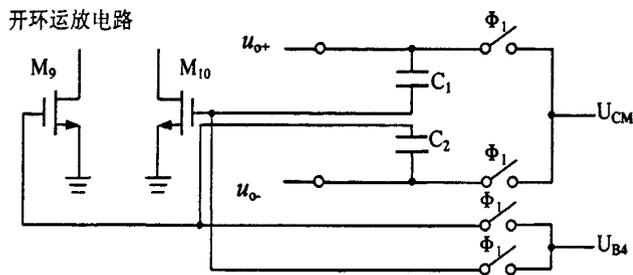


图 5.5 共模反馈电路

### 5.1.3.4 运放的偏置

运放偏置电压的精度和稳定性对其性能影响很大,且以上设计的运放相邻的偏置电压相差较小,为减小电源失配带来的误差,要尽可能使偏置电压稳定、准确。图 5.6 是偏置的电路图,为方便设计,采用固定的偏置电流源(即精确恒流源  $I_0$ )作为运放的偏置,其它偏置电压则通过建立一系列的镜像电流源来获得,每一个偏置电源都用单独的支路来产生以保证各个偏置电压都能稳定。

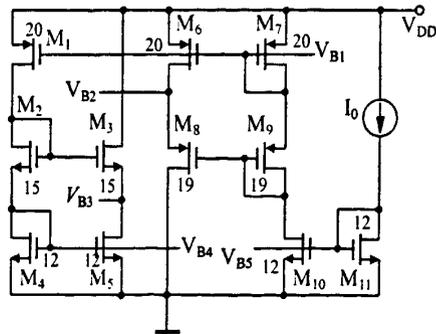


图 5.6 运放的偏置电路图

为降低功耗并减小电路噪声,偏置电路中的恒流源电流设置为整个运放工作电流的 1/10,通过一系列的镜像电流源提供给各条支路相同的电流。偏置电路中

的 MOS 管参数应与运放中的 MOS 管参数一致,这样就可以保证电路在受到外部干扰时,偏置电路和运放都会产生相同的变化,从而保证它们之间的稳定性。通过模拟,选取器件的 W/L 值如图中标注。

## 5.2 CMOS 开关

因为流水线 ADC 很大一部分电路是通过开关电容电路来实现的,所以高性能的开关对整个电路尤为重要。一般说,作信号控制用的开关一方面要求导通电阻足够小且稳定,以提高电路的工作频率及可靠性;另一方面还要求开关的截止电阻尽可能大,以防止漏电流的产生。例如对于采样保持电路,因为它的采样速度决定了 ADC 的转换速率,其中电容充放电时间常数为导通电阻  $R_{on}$  和负载电容 C 的乘积,故导通电阻小即意味着开关可以在更高的时钟频率下工作。

### 5.2.1 CMOS 开关(传输门)

单沟道 MOS 开关在传输信号时不仅存在阈值电压损失,而且还有严重的时钟馈通效应,因此通常采用 CMOS 开关,如图 5.7 (不包括虚线框部分)所示,

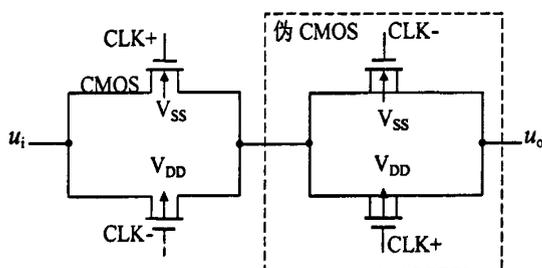


图 5.7 采用伪 CMOS 的开关

由于 n 沟器件和 p 沟器件并联,而且受反向时钟信号的控制,故时钟信号引起的馈通效应可被部分抵消,但抵消不完全。若加入两个伪 MOS 晶体管(虚线框内),由于其源极和漏极直接导通,且栅极所接时钟与 CMOS 对相反,它可以产生和 CMOS 对相反的时钟馈通,故适当选择伪 CMOS 对的面积可以获得最小的时钟馈通。与单沟道 MOS 开关相比,在 CMOS 开关的导通电阻明显减小,即

$$\begin{aligned}
 R_{on,eq} &= R_{on,N} \parallel R_{on,P} = \frac{1}{\mu_n C_{OX} \left(\frac{W}{L}\right)_L (V_{DD} - u_{in} - u_{THN})} \parallel \frac{1}{\mu_p C_{OX} \left(\frac{W}{L}\right)_P (u_{in} - |u_{THP}|)} \\
 &= \frac{1}{\mu_n C_{OX} \left(\frac{W}{L}\right)_L (V_{DD} - u_{THN}) - \left[ \mu_n C_{OX} \left(\frac{W}{L}\right)_N - \mu_p C_{OX} \left(\frac{W}{L}\right)_P \right] u_{in} - \mu_p C_{OX} \left(\frac{W}{L}\right)_P |u_{THP}|} \quad (5-4)
 \end{aligned}$$

而且, 如果  $\mu_n C_{OX}(W/L)_N = \mu_p C_{OX}(W/L)_P$ , 则  $R_{on,eq}$  几乎是个定值, 与输入电平大小无关, 从而获得了稳定且较小的导通电阻, 这一结果可用图 5.8 直观地加以表示。由式(5-4)及图 5.9 可以看出<sup>[30, 33]</sup>, 增加开关的宽长比可以有效的减少开关的导通电阻, 但过大的宽长比会导致开关的寄生电容增加。尤其是当负载电容并不是很大的情况下(在 pF 数量级时), 具有大的开关寄生电容的开关电路会使电路产生较大的误差, 同时, 大宽长比的开关还会导致开关时钟馈通误差的增加, 对此要进行折衷考虑。

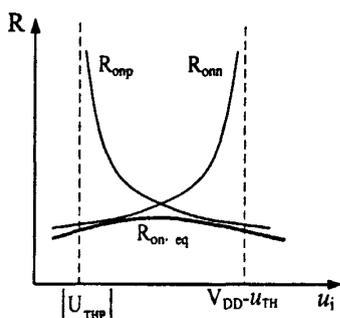


图 5.8 互补 CMOS 开关的导通电阻

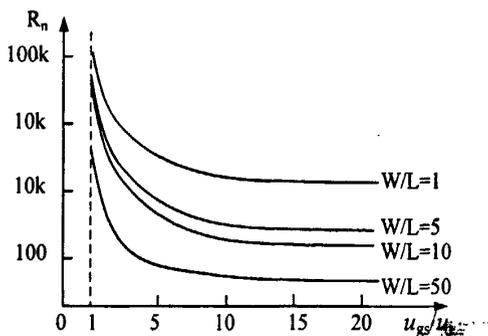


图 5.9 宽长比与导通电阻的关系

在具体开关尺寸设计时, 可以根据上述关系得到

$$\frac{(W/L)_N}{(W/L)_P} = \frac{\mu_p}{\mu_n} = 4 \tag{5-5}$$

式中的  $\mu_p$ 、 $\mu_n$  分别取  $40\mu A/V^2$ 、 $160\mu A/V^2$ 。开关的长采用最小尺寸设计, 同时为保证开关有一个较小的导通电阻, MOS 管应取较大的宽长比, 当然也不能过大, 这里分别取为  $(W/L)_P = 16 / 0.8$ ,  $(W/L)_N = 4 / 0.8$ 。尽管通过以上设计获得了较稳定的导通电阻, 但由于 pMOS 和 nMOS 管的宽长比取得不同, 导致寄生电容不同, 实际上很难完全消除开关中由于时钟馈通和电荷注入效应而带来的误差。

### 5.2.2 改进的 CMOS 开关

简单的 CMOS 开关并不能达到很高的性能, 例如在低电源电压情况下, MOS 管的体效应会使开关管的阈值电压改变, 进而使开关的传输特性显著变坏。这里采用双阱 CMOS 工艺来对上述开关进行改进, 通过辅助管来控制传输管的消除 MOS 管的体效应。图 5.10 是重新设计后的 CMOS 开关电路图<sup>[24]</sup>。

图中 NMOS 管  $M_3$  和 PMOS 管  $M_4$  的作用是: 在时钟高电平即 CMOS 开关为通态时,  $M_3$  相当于一个理想(无阈值电压损失)的高电平传输开关、 $M_4$  则相当于一个理想的低电平传输开关, 此时导通的  $M_3$ 、 $M_4$  使  $M_1$ 、 $M_2$  的衬底电压分别

为 0 和  $V_{DD}$ ；在时钟低电平时， $u_{BS}$ （衬偏电压）加大，使阈值电压  $u_{th}$  增高，保证了开关更可靠地截止。

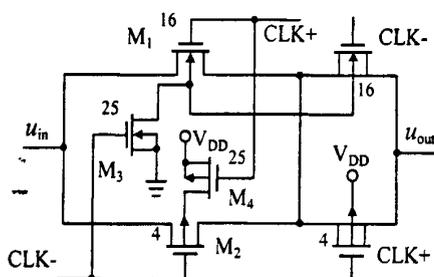


图 5.10 改进型 CMOS 开关

此开关在 20MHz 的时钟电压控制下进行仿真，它的导通电阻  $R_{on} < 80\Omega$ 、截止电阻  $R_{off} > 20M\Omega$ 。因此可以将其应用于本设计中的开关电容电路。

### 5.3 采样保持 (S/H) 电路

采样/保持电路的作用是通过一个控制信号将输入信号数据进行采集并保持输出。在采样方式下，S/H 电路的输出跟随输入信号的变化，直到控制端加上保持命令；在保持方式时，S/H 电路的输出维持在保持命令到达前的输入信号瞬时值。上一章已经介绍了 S/H 电路的原理及其基本结构，在本设计中设置 S/H 电路，其目的是使 ADC 处理信号的能力不受级间增益及子 DAC 速度的限制，即它的转换速率由采样保持放大器的采样速度决定，而且采用该电路可大大减弱输入高频信号时的孔径效应，有利于实现高分辨率。当然 S/H 电路本身应有足够的线性度，否则同样会影响电路的转换精度。

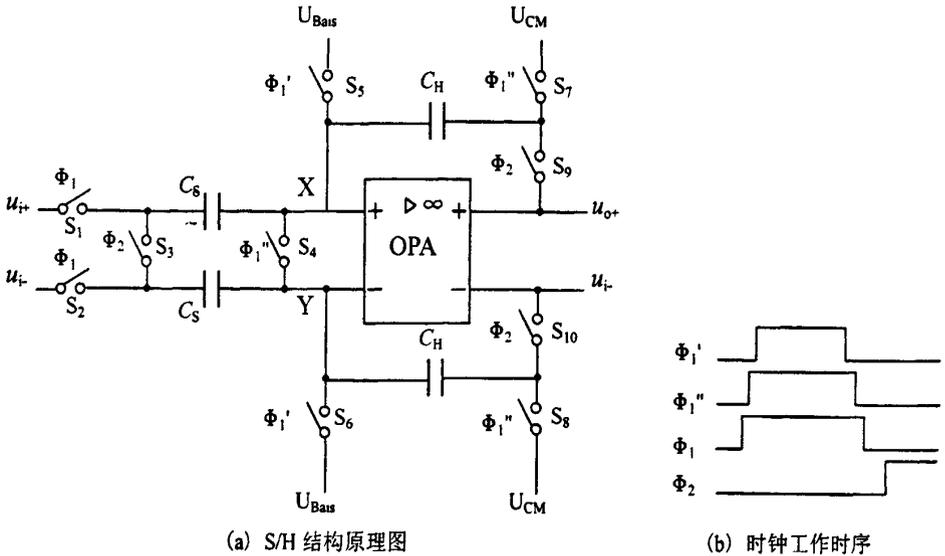
#### 5.3.1 S/H 电路的结构及工作原理

为了减小外部干扰对信号转换的影响，S/H 电路采用全差动底板开环采样的电路结构<sup>[30]</sup>。其结构和工作时序如图 5.11 所示。其中， $C_s$  是采样电容， $C_f$  是保持电容，OPA 是双端输入双端输出的运算放大器，所有的开关都由 CMOS 传输门构成。采样保持电路工作在两相不交叠主时钟  $\Phi_1$ 、 $\Phi_2$  和附加时钟  $\Phi_1'$ 、 $\Phi_1''$  下。由于系统的采样速率为 20MSPs，所以采样保持器的时钟周期就为 50ns，采样/保持器的占空比接近 50%，则在 25ns 内，SHA 应建立其合适的模拟输出。

采样保持电路的工作原理如下：

(1) 当  $\Phi_1$  为高电平时，开关  $S_1$ 、 $S_2$ 、 $S_4$ 、 $S_5$ 、 $S_6$ 、 $S_7$ 、 $S_8$  均闭合，而  $S_3$ 、 $S_9$ 、 $S_{10}$  断开，运放进入闭环工作模式，即 S/H 电路处于采样阶段，这时运放的两

个输入端被短路，并且被接上同样的输入共模电压  $U_{Bais}$  ( $=1.60V$ )。开关  $S_4$  的作



(a) S/H 结构原理图

(b) 时钟工作时序

图 5.11 采样保持电路

用就是将  $S_5$  和  $S_6$  在关断时引入到输入节点的误差电压中和，即消除了差模的误差电压，采样得到的模拟信号电压以电荷的形式储存在  $C_S$  上。由于运放处于开环状态所以运放的两个输出端也被直接短路，并且被同时接到共模电压  $U_{Bais}$  上。否则，在采样过程中，运放的两个输入端虽然被短路，但由于开关具有一定的电阻，所以两个输入端会具有一定的电压差，该电压差被运放的开环增益放大后，会使运放的输出电压很大，以致运放进入线性区。如运放在保持阶段开始的时候必须先从线性区出来，就会使工作周期加长。

(2) 在采样阶段即将结束时， $\Phi_1'$ 、 $\Phi_1''$  首先跳变为低电平， $S_5$ 、 $S_6$  首先断开，从而将输入节点先隔离，假设开关  $S_5$  和  $S_6$  是理想匹配的，则断开时对输入节点的电荷注入量相等，故对于差模采样信号无影响。接着  $\Phi_1''$  变成低电平， $S_4$  断开，运放的正负输入端两个节点处于开路状态，所以这两个节点上所储存的电荷差值将保持不变。当  $\Phi_2$  为高电平时，开关  $S_3$ 、 $S_9$ 、 $S_{10}$  闭合，运放进入闭环工作模式，即 S/H 电路进入保持状态，在保持的过程中，运放的两个正负输入端会存在较大的电压差，但由于运放处于闭环状态，电荷在采样电容和保持电容之间重新分配，最终运放的两个输入端电压会逐渐趋向于零。于是，运放输入节点  $u_x$  和  $u_y$  上存储的电荷差就从  $C_S$  上转移到  $C_H$  上，也即转移到  $u_{o+}$  和  $u_{o-}$  的差值上，在差分电压输出达到稳定值之后，保持过程结束。开关  $S_9$  的作用是：在保持阶段，由于它的瞬间断开，会将输入信号的差模信号在  $C_S$  上产生的电荷转移到  $C_H$  上，使差模输

入信号由输入端转移到输出端。

### 5.3.2 节点的沟道电荷注入分析

如图 5.12 所示, MOS 管处于导通状态时, 二氧化硅与衬底之间存在导电沟道, 设  $u_i \approx u_o$ , 则反型层中的总电荷可以表示为

$$Q_{ch} = WLC_{OX}(u_{DD} - u_i - u_{th}) \quad (5-6)$$

当开关断开后,  $Q_{ch}$  就会通过源端和漏端流出, 这就是所谓的“沟道电荷注入效应”<sup>[30]</sup>。同理, 当开关由断开状态转为导通时,  $Q_{ch}$  会通过源端和漏端抽取电荷。

首先分析开关  $S_1$  和  $S_2$  闭合或断开时开关是否会向电容  $C_S$  注入或抽取电荷。由于  $S_1$ 、 $S_2$  断开之前开关  $S_5$ 、 $S_6$ 、 $S_4$  已经断开, 运放的输入节点和地没有直流通路, 储存在运放输入节点的电荷总量也将保持不变, 那么  $S_1$ 、 $S_2$  沟道电荷的注入就不会影响采样电容  $C_S$  两端电荷量的变化。

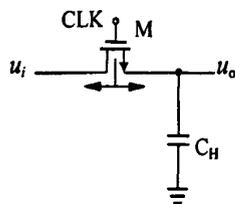


图 5.12 电荷注入效应

再分析运放输入节点的情况。 $S_4$  断开时会对正负端同时造成电荷注入误差, 理论上, 只要运放的正负两端完全对称, 对两个输入端的电荷注入误差也相等。但实际上由于  $S_5$  和  $S_6$  有轻度的失配很难完全匹配, 采样阶段的差分误差电压会留在输入节点上, 即开关  $S_5$ 、 $S_6$  的注入的电荷量不等, 如果这时开关  $S_4$  依然处于闭合状态。那么  $S_5$  和  $S_6$  的注入电荷会通过  $S_4$  在运放的输入端取平均, 从而消除了开关  $S_5$  和  $S_6$  断开时沟道电荷注入对电路的影响。然后  $S_4$  断开, 电荷分别等量地注入到运放的两个输入端, 它对电路的影响也可视为输入信号的共模干扰而不是额外的电荷注入。由于  $S_4$  断开后两个运放输入节点已经完全处于开路状态, 所以  $S_3$  不会造成注入误差。另外,  $S_4$  代替  $S_5$  和  $S_6$  作为采样开关, 可以减小  $S_5$  和  $S_6$  的尺寸, 也就减小了电荷的注入量。

综上所述, 因为引入了辅助时钟  $\Phi_1'$ 、 $\Phi_1''$ , 开关沟道电荷注入对电路的作用可以等效为共模信号对电路的影响。而采样保持电路采用的是差动输入和差动输出的电路结构, 而这种结构可以有效的抑制输入共模信号对电路输出的影响, 也就消除了沟道电荷注入对采样保持电路的影响。

### 5.3.3 CMOS 开关的尺寸设计

开关尺寸的考虑主要基于 MOS 开关导通产生的电阻对电路的影响。在开关电容电路中, MOS 开关的导通电阻对于电路的建立时间影响很大。例如当运放闭

环通路的开关  $S_9$  尺寸偏小时, 开关的导通电阻偏大, 这不仅降低电路的速度, 而且还可能使开关电容电路不稳定, 这是由于 RC 通路引起的延迟增加了电路的相移, 从而使电路的相位裕度变小, 故此需要减小开关的导通电阻, 即增加开关的尺寸。然而, 开关的尺寸过大使它的寄生电容加大, 就会引起输出端电容过大, 从而降低电路的带宽。其余的开关也与相应的电容形成了 RC 网络, 所以它们的大小会影响采样输入信号的带宽。其次输入共模电压的摆动和信号相关馈入也是影响采样精度的两个重要因素。由于连接两个底板的 MOS 开关存在沟道电容, 它会从两个输入电容的底板抽取电荷, 通过电容耦合改变输入共模电压, 引起输入共模电压的摆动, 当输入电容较小而采样开关较大时, 这种摆动变得很明显。要尽可能地避免在采样过程中开关引起较多的电荷注入, 尤其是开关  $S_2$  所引起的电荷注入将会使输入共模电压的变化  $\Delta Q/C$ 。尽管理论上这种摆动对于差分运放没有影响, 然而对于折叠式运放, 其共模输入范围较小, 在低电源电压时, 电流源 MOS 管的  $u_{DS}$  只高出  $u_{GS}-u_{th}$  大约 0.2V 左右, 所以, 随着输入共模电压的改变, 将可能影响电路的正常工作。因此在条件允许的情况下, 要尽可能地减小电路中的电容, 相应地使开关的尺寸减小, 最终减小了由开关所引起的电荷注入。

折衷考虑这对矛盾, 选取开关的尺寸为 PMOS: 60 / 0.8, NMOS: 25 / 0.8。  $S_4$  管是造成电荷注入误差的主要开关元件, 所以宽长比取得比较小, 取 PMOS: 40 / 0.8, NMOS: 15 / 0.8。

### 5.3.4 采样精度分析

为便于分析, 以单端输入的采样保持器为例来说明运放增益有限和电容失配带来的误差对采样结果的影响。如图 5.13 所示, 在理想的情况下, 即运放的增益无穷大, 电容间精确匹配, 且不考虑寄生电容, 则采样保持电路相当于一个单位增益的缓冲放大器, 有  $u_o = u_i$ 。

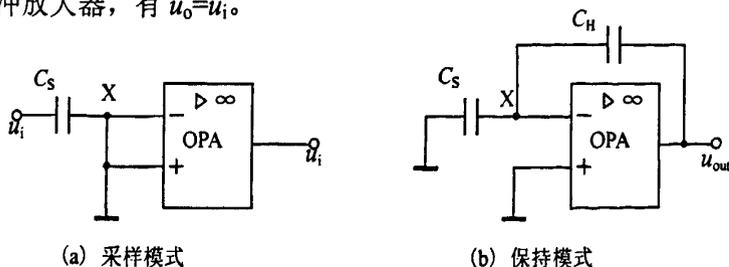


图 5.13 单端输入 S/H 状态分析

实际上, 当电路由采样模式转变为保持放大模式时, 由于运放增益是有限的, 在放大模式下,  $Q_X = -C_S u_i$ , 且有  $u_o = -A_u u_X$ , 根据节点 X 上的电荷守恒要求, 可得

$$\begin{aligned}
 -C_S u_i &= C_S u_x + (u_x - u_o) C_H \\
 -C_S u_i &= -\frac{u_o}{A_u} C_S + \left(-\frac{u_o}{A_u} - u_o\right) C_H
 \end{aligned} \tag{5-7}$$

化简得

$$u_o = \frac{C_S}{C_H} \frac{u_i}{\left[1 + \frac{1}{A_u} \left(\frac{C_H}{C_S + C_H}\right)\right]} \tag{5-8}$$

由式(5-8)可看出：有限的增益和电容失配都会影响采样的精度。假定电容完全匹配，先只考虑运放有限的增益的影响，对于 N 位精度的 ADC，闭环增益误差必须小于  $1/2^N$ ，这就意味着运放的开环增益必须大于  $2^N$ ，一般情况下，保留 2 倍的裕度，则要求大于  $2^{N+1}$ ，另一方面，为了增加  $A_u$ ，要取宽长比大的器件，但这样做会增大了输入电容，因此理想的器件尺寸应该产生最小的增益误差而不是最大的  $A_u$ 。接下来考虑电容失配的问题。通常电容的失配大约是 0.1%~0.2%，在高精度的转换器中 (>12 位) 常采用自校正电容阵列，对于 12 位以下的转换器，则可以通过进一步提高运放的开环增益，使运放增益引起的误差降为最小，这样，即使不采用电容校正技术，总的闭环增益误差也能合乎要求。

### 5.3.5 采样速度分析

采样保持电路中的运放对信号处理速度有较大的影响，因此这里仍以单端简化采样保持电路为例对它加以分析。

如图 5.14，在采样模式下，与  $C_H$  串联的总电阻包括  $R_{on1}$  和 X 点对地电阻

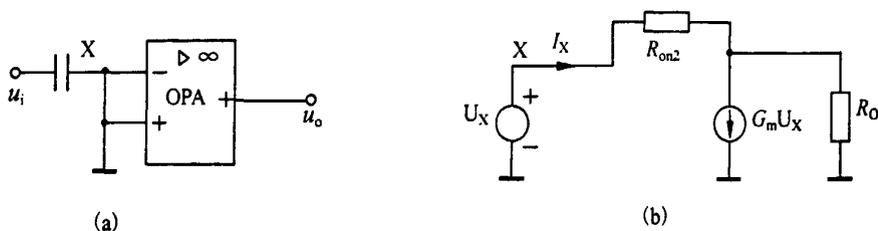


图 5.14 采样模式及其等效电路图

$R_x$ ， $R_o$  表示运放开环输出阻抗。于是得

$$\begin{aligned}
 (I_x - G_m u_x) R_o + I_x R_{on2} &= u_x \\
 \text{即 } R_x &= \frac{R_o + R_{on2}}{1 + G_m R_o}
 \end{aligned} \tag{5-9}$$

通常， $R_{on2} \ll R_o$ ，且  $G_m R_o \gg 1$ ，故  $R_x \approx 1/G_m$ 。于是得到采样模式下的时间常数

$$\tau_{\text{Sam}} = (R_{\text{on1}} + 1/G_m)C_H \quad (5-10)$$

保持模式时,如图 5.15,电路开始于  $u_o \approx 0$  而最终达到  $u_o \approx u_i$ 。在等效电路中,为便于分析,将  $C_H$  上电荷看作一个与之串联的电压源  $U_S$ 。现推导电路的传输函数,

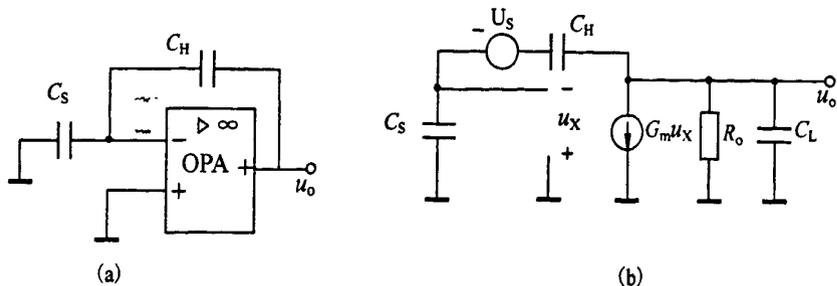


图 5.15 保持模式及其等效电路

$$u_o \left( \frac{1}{R_o} + C_L s \right) + G_m u_X = (U_S + u_X - u_o) C_H s \quad (5-11)$$

$$u_X \frac{C_S}{C_H s} + u_X + U_S = u_o$$

计算出  $u_X$  再代入得

$$\frac{u_o}{U_S}(s) = R_o \frac{(G_m + C_{in} s) C_H}{R_o (C_L C_{in} + C_{in} C_H + C_H C_L) s + G_m R_o C_H + C_H + C_{in}} \quad (5-12)$$

$$\approx \frac{(G_m + C_{in} s) C_H}{(C_L C_{in} + C_{in} C_H + C_H C_L) s + G_m C_H}$$

于是,输出特性可用一个时间常数表示为

$$\tau_H = \frac{C_L C_{in} + C_{in} C_H + C_H C_L}{G_m C_H} \quad (5-13)$$

通过上述推导可知,采样过程就是对采样电容的充电过程,保持过程就是对后级负载的充电过程,要想提高工作速度就应增加驱动,减小负载。但增加驱动就意味着加大面积和功耗,而减小负载又是有限的,因为过小的负载会引起电路匹配问题和寄生参数影响精度等问题,故应对此综合考虑。

另外还需要讨论的一个问题是运放输入节点的共模偏置电压,即在 S/H 电路闭环工作时,输入节点的共模电压必须要在运放允许的输入共模范围之内,这样才能保证运放正常工作。如果采样时运放的输入节点的共模电压低于有效共模输入范围且输入信号较大,则在输入节点接地后,输出信号会小于输入信号,也就是没有实现正常的采样保持功能。

### 5.3.6 采样保持放大器增益的计算

本模数转换器要求以 20MHz 的采样速率工作，因此每个转换周期约为 50ns，考虑到采用了两相不交叠时钟，使得实际上用于保持的时间小于整个周期。同时因为此模数转换器的转换精度为 10 位，所以设定设计指标位为采样保持放大器必须在 12ns 内达到 LSB/2，即 0.05% 的精度。

从图 5.11 的采样保持电路的结构中可推出

$$\frac{u_o}{u_i} = \frac{1}{1 + \frac{K+2}{A}} \quad (5-14)$$

式中  $K=C_{op}/C_F=C_{op}/C_S$ ，它是运放输入电容和采样保持电容的比值。在典型的应用中，运放的输入电容一般是采样电容的 2 倍，即  $K=2$ ，因此 A 必须要大于 8000 (72dB) 才能使运放输出在保持时间内达到 0.05% 的精度。

### 5.4 级间增益电路

由流水线 ADC 的结构可知，除第一级输入信号是采样保持电路的输出以外，其他各级的输入信号都是由上一级的输入保持信号减去上一级的子 DAC 输出信号后再经过 2 倍增益得到的。因此流水线各级的级间电路要实现的功能为：将输入保持信号和 DAC 的输出电压相减，然后将它们的差值精确放大 2 倍并保持此增益值作为这一级的输入保持信号。图 5.16 是级间 2 倍增益电路的原理图。

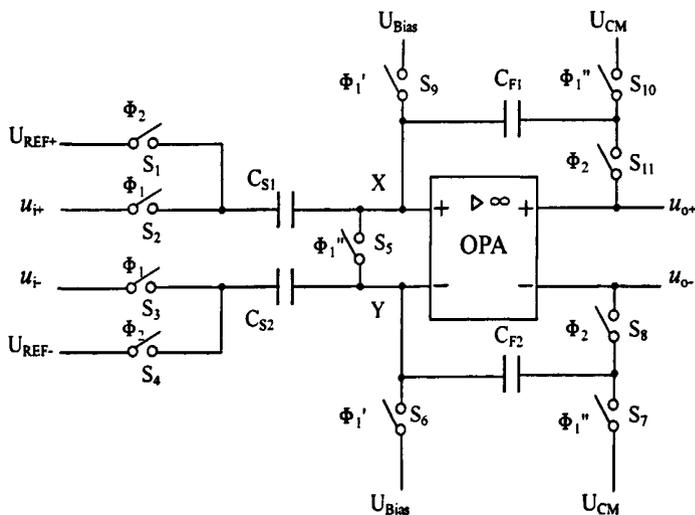


图 5.16 2 倍级间增益电路

从图中可以看出，级间 2 倍增益电路的工作时序同前面设计的采样保持器相同，因此可将应用在采样保持器部分的两相不交叠时钟  $\Phi_1$ 、 $\Phi_2$  直接引入级间增

益电路。通过  $\Phi_1$ 、 $\Phi_2$  的交替工作，电荷在  $C_S$  和  $C_F$  之间重新分配，建立起新的平衡。级间 2 倍增益电路的分析方法与 S/H 电路类似。

下面用节点电荷平衡原理对级间增益电路电荷转移过程进行分析并建立输入与输出之间的传递函数关系<sup>[28]</sup>。为了简化分析，这里不考虑各节点的寄生电容。

(1) 当  $\Phi_1$  为高电平时，输入模拟信号被采样到  $C_{S1}$  和  $C_{S2}$  上。以  $C_{S1}$  右极板和  $C_{F1}$  左极板为闭合面，运放的输入节点 X、Y 处的电荷分别为

$$Q_X(t_1) = C_{S1}(U_{\text{Bias}} - u_{i+}) \quad (5-15)$$

$$Q_Y(t_1) = C_{S2}(U_{\text{Bias}} - u_{i-}) \quad (5-16)$$

式(5-15)、(5-16)中  $U_{\text{Bias}}$  为运放的输入共模电压，它给运放建立了合适的直流偏置。 $(u_{i+} - u_{i-})$  是上一级流水线的保持输出信号。

(2) 当  $\Phi_2$  处于高电平时，电路处于保持状态。 $C_{S1}$ 、 $C_{S2}$  的左极板接于 DAC 的输出信号  $U_{\text{REF+}}$ 、 $U_{\text{REF-}}$ 。 $C_F$  则与运放的输出端相连。此时的运放输入节点电荷为

$$Q_X(t_2) = C_{S1}(u_X - U_{\text{REF+}}) + C_{F1}(u_X - u_{o+}) \quad (5-17)$$

$$Q_Y(t_2) = C_{S2}(u_Y - U_{\text{REF-}}) + C_{F1}(u_Y - u_{o-}) \quad (5-18)$$

$u_X$  和  $u_Y$  分别是保持状态时运放的两个输入节点电压值。在保持状态下运放的输入节点与地之间无直流通路，因此在采样期间  $t_1$  和保持期间  $t_2$ ，存储在运放输入节点上的电荷总量守恒，即

$$Q_X(t_1) = Q_X(t_2), \quad Q_Y(t_1) = Q_Y(t_2) \quad (5-19)$$

将式(5-15)~(5-18)分别代入(5-19)，得

$$C_{S1}(U_{\text{Bias}} - u_{i+}) = C_{S1}(u_X - U_{\text{REF+}}) + C_{F1}(u_X - u_{o+}) \quad (5-20)$$

$$C_{S2}(U_{\text{Bias}} - u_{i-}) = C_{S2}(u_Y - U_{\text{REF-}}) + C_{F1}(u_Y - u_{o-}) \quad (5-21)$$

在保持模式时，运放处于闭环放大状态，故有

$$u_{o+} = A_u(u_Y - u_X), \quad u_{o-} = -A_u(u_Y - u_X) \quad (5-22)$$

代入式(5-20)、(5-21)，并设  $C_{S1} = C_{S2}$ ， $C_{F1} = C_{F2}$  联立求解，得

$$\begin{aligned} u_{o+} - u_{o-} &= \frac{C_S}{C_F + \frac{C_S + C_F}{2A_u}} [(u_{i+} - u_{i-}) - (U_{\text{REF+}} - U_{\text{REF-}})] \\ &\approx \frac{C_S}{C_F} [(u_{i+} - u_{i-}) - (U_{\text{REF+}} - U_{\text{REF-}})] \end{aligned} \quad (5-23)$$

从上式中可以看出，若  $A_u \gg 1$  时，差动输入电压和差动输出电压的关系就由电容  $C_S$ 、 $C_F$  之比决定。取  $C_S = 2C_F$  时，即可实现对差动输入信号的 2 倍增益。

## 5.5 2 位子 ADC

高速性是对各级子 ADC 的主要性能要求, 因此为了提高流水线 ADC 的转换速度, 在本设计中采用 Flash ADC 作为流水线模数转换器的各级子 ADC 进行级间模拟信号的粗转换。因采用了 1.5 位/级的结构, 子 ADC 只需 2 个电压比较器。

### 5.5.1 比较电路设计

由数字校正技术原理可知, 在 1.5 位/级流水线结构中, 子模数转换电路中比较器输入失调引入的非线性误差只要不超出允许的范围 ( $-1/4U_{REF}$ ,  $+1/4U_{REF}$ ), 就可以用数字校正电路完全消除, 不需要采用其他补偿技术, 因此对比较器的失调电压和非线性误差的要求大大降低, 降低了比较器设计的复杂性。

但设计中要特别考虑三个要求是:

(1) 比较器的传输延迟小 将阶跃信号输入到电压比较器时, 在输入激励和输出响应之间存在一个时间延迟, 即比较器的响应时间, 这是限制 ADC 转换速率的一个重要参数。因为子 ADC 的转换过程与后级流水线的采样处于同一时段, 如果比较器的传输延迟增大, 必然会影响到子 ADC 转换速率。一般地, 比较器的传输延迟与差动输入信号的大小成反比, 因此当比较器输入端的差值电压较小时比较器的传输延迟就较大, 故应保证此时的时延减小;

(2) 比较器具有锁存功能 比较的结果送到后续电路进行处理期间应保持不变, 所以要求比较器对输出结果具有锁存能力;

(3) 比较器电路应能对差动信号进行处理 为了消除信号的输入噪声提高运放的共模抑制比, 在整个流水线通路上均采用差动输入输出的结构, 因此加到比较器电路的信号也是差动信号, 所以要求比较器具有差动比较能力。

在本设计中采用了带锁存控制端的动态比较器结构<sup>[32]</sup>, 如图 5.17 所示。之所以采用这种结构, 是考虑到在流水线各级子 ADC 共需要 18 个比较器, 它们的功耗大小显著地影响 ADC 的功耗, 因此要优先选用功耗小的比较器。一般的比较器都要通过低失调的预放大级将输入信号放大后再进行比较, 而预放大级由于固定直流偏置的存在必然会引入较大的静态功耗。动态比较器结构的突出优点是它不含预放大级, 所以它没有静态直流功耗。当然也正因为没有预放大级, 比较器的输入失调电压  $u_{OS}$  会很大, 但若  $u_{OS} < \pm 1/4U_{REF}$ , 例如, 当参考电压为 1V 时, 只要  $u_{OS} < \pm 250\text{mV}$ , 则可以被数字校正电路完全消除, 不会影响整个模数转换器的线性度。

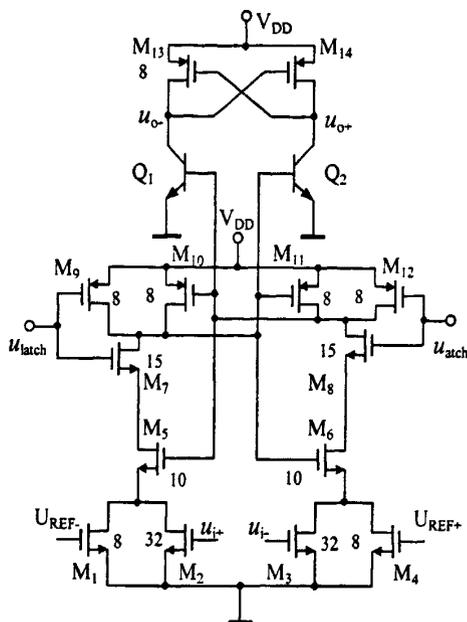


图 5.17 带复位/锁存控制端的 BiCMOS 动态比较器

图 5.15 的动态比较器通过一个正反馈结构 (M<sub>13</sub>、M<sub>14</sub>) 使输出快速建立，这样无论输入的差动信号幅值大小如何，比较器的传输延迟都达到最小，即与输入的差动信号幅值无关，而只与电路的输出负载有关。而电路的输出负载是一定的，因此比较器的传输延迟几乎是个定值。锁存信号控制端 Latch 的作用是：当 Latch 端为低电平时，比较器开始对输入信号进行比较；当输出稳定后，输出信号便不再随输入信号的变化而变化，从而实现了比较器对信号的锁存功能。

NMOS 管 M<sub>2</sub>、M<sub>3</sub> 栅极接采样保持电路 (SHA) 或级间增益电路的差动输出信号，另两管 M<sub>1</sub>、M<sub>4</sub> 栅极接参考电压。当比较器处于复位模式时，M<sub>1</sub>~M<sub>4</sub> 工作在线性区，相当于电压控制的线性电阻，其阻值和 (u<sub>gs</sub>-U<sub>th</sub>) 成反比。设 M<sub>2</sub>、M<sub>3</sub> 的宽长比为 W<sub>1</sub>/L，M<sub>1</sub>、M<sub>4</sub> 的器件尺寸为 W<sub>2</sub>/L，则得到差动对的跨导表达式

$$G_1 = kp \left[ \frac{W_1}{L} (u_{i+} - U_{th}) + \frac{W_2}{L} (U_{REF-} - U_{th}) \right] \quad (5-24)$$

$$G_2 = kp \left[ \frac{W_1}{L} (u_{i-} - U_{th}) + \frac{W_2}{L} (U_{REF+} - U_{th}) \right] \quad (5-25)$$

当 G<sub>1</sub>=G<sub>2</sub> 时，可推导出此比较器的阈值电压：

$$u_{i(th)} = \frac{W_2}{W_1} U'_{REF} \quad (5-26)$$

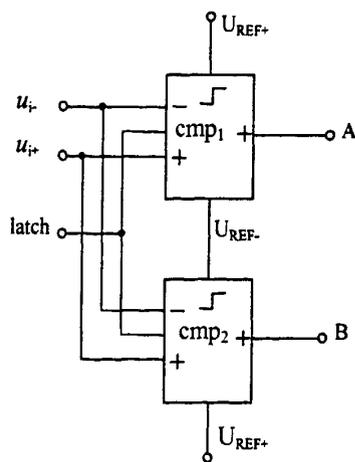


图 5.18 子 ADC 电路

式(5-26)中,  $u_i = u_{i+} - u_{i-}$ ,  $U_{REF} = U_{REF+} - U_{REF-}$ 。可见, 此阈值电压取决于参考电平和差动输入对管宽度之比值, 比较器输入端差动输入信号 ( $u_{i+} - u_{i-}$ ) 大于阈值电压

$\frac{W_2}{W_1}(U_{REF+} - U_{REF-})$  时, 比较器输出为 1, 反之为 0, 从而实现了差动比较功能电路。

在子 ADC 中, 只需要建立两个参考电平  $-1/4U_{REF}$ 、 $+1/4U_{REF}$ , 让图 5.17 中两个参考电压端直接或交叉连接, 并取  $W_2/W_1=4$ , 就可以得到这两个比较电平, 通过比较得到三种数字量 00, 01, 11, 图 5.18 示出了单级比较器电路, 理论上已证明<sup>[35]</sup>, 当比较器的两个的参考电平分别取  $5/8U_{REF}$  和  $3/8U_{REF}$  时, 允许的失调范围最大, 因此本设计中的差动参考电平取为 0.625V 和 0.375V。

### 5.5.2 数字量变换电路

经两个动态比较器比较得到的输出数字码为 00、01、11, 还需要进一步变换为 00、01、10, 才能分别送到数字校正及子 DAC 电路进行处理。变换的前后的真值表见表 5.2。

表 5.2 真值表

变换前		变换后	
A	B	I <sub>1</sub>	I <sub>2</sub>
0	0	0	0
0	1	0	1
1	1	1	0

相应的逻辑表达式为

$$I_1 = A \tag{5-27}$$

$$I_2 = \overline{A} \cdot B \tag{5-28}$$

根据逻辑表达式可画出相应的逻辑电路, 如图 5.17 所示。

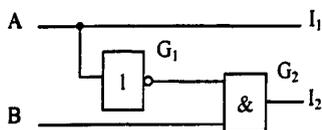


图 5.19 数字逻辑变换电路

## 5.6 2 位子 DAC

子 DAC 电路的作用是将本流水级子 ADC 转换的数字字重新转换为模拟量, 作为级间增益电路的  $U_{REF+}$  及  $U_{REF-}$  差动输入。它利用电阻分压网络的输出作为 DAC 的输出信号, 并通过一个数字译码电路实现 D/A 转换功能的。

子 ADC 的输出数字信号 A、B 经过一个数字译码电路后转换为控制 DAC 的输出模拟电压的控制信号 X、Y、Z, 用这些控制信号来控制一系列开关, 使子

DAC 可以在对应不同输入(00, 01, 11)时分别输出相应的模拟信号电压(0V, 1/4V, 1/2V)。由于下一级 2 倍级间增益电路输入端采样信号的时钟条件是  $\Phi_2$  为高电平, 故把  $\Phi_2$  时钟条件与子 ADC 的数字输出信号进行逻辑组合后再作为控制信号, 从而使子 DAC 的输出信号直接和下一级采样/减法电容相连, 少了一个传输门。表 5.3 是子 ADC 的输出 A、B 和子 DAC 的输出控制端 X、Y、Z 的真值表及满足的逻辑关系式分别如表 5.3 及式(5-29)~(5-31)。

表 5.3 真值表

A	B	$\Phi_2$	X	Y	Z
0	0	1	1	0	0
0	1	1	0	1	0
1	1	1	0	0	1

$$X = \overline{AB} \cdot \Phi_2 \quad (5-29)$$

$$Y = \overline{A}B \cdot \Phi_2 \quad (5-30)$$

$$Z = AB \cdot \Phi_2 \quad (5-31)$$

根据以上分析可以画出子 DAC 电路结构, 如图 5.20 所示。

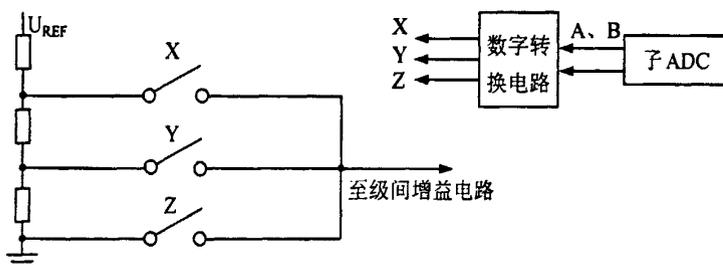


图 5.20 子 DAC 电路

## 5.7 数字延迟电路

在流水线 ADC 中, 每一个采样信号经各级子 ADC 转换得到的数字量并不是同时输出, 即第 1 级子 ADC 在第 1 个时钟周期就得到了的数字量, 以后各级按时钟周期依次转换, 到第 9 级则要过 4.5 个时钟周期后才完成数字量的输出。但数字校正电路要求所有数字量同时加到输入端, 所以在最后一级完成数字转换之前, 各级子 ADC 出信号应一直存储在相应电路中, 等到各级子 ADC 中的转换全部结束后再同时送入数字校正电路, 从而使所有的数字位在同一个时钟周期完成数字校正。实际上就是要求将各级输出的数字量分别作一定周期的延时处理, 即在子 ADC 数字输出和数字校正电路之间加上不同时间的延迟电路。

### 5.7.1 动态移位锁存器

在本设计中采用动态移位锁存器来实现数字量的延迟<sup>[22, 29]</sup>。图 5.21 示出一个 4 级 CMOS 移位寄存器，其中每一级都是由传输门和一个反相器组成。传输门在导通时等效为一个 RC 模型，其中 R 为传输门的等效电阻  $R_{on}$ ，C 可视为传输门的输出点对地的寄生电容，其值包括传输门的栅漏、栅源寄生电容和反相器的栅极寄生电容，反相器的作用是：（1）防止当传输门关断后采样信号的衰减；（2）

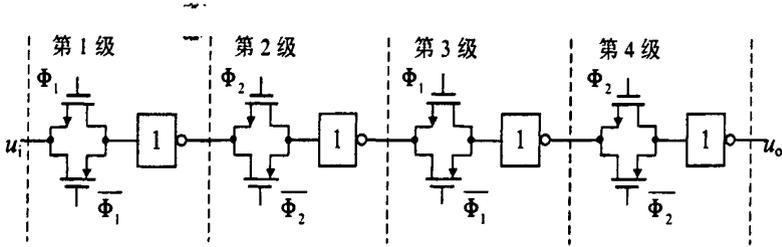


图 5.21 4 级动态移位寄存器

提高对信号的驱动能力。该移位寄存器的工作原理如下：假设第 1 级的寄存器输入端加了一个逻辑信号  $D$ ，而  $\Phi_1$  时钟处于低电平，则第 1 级的传输门截止；当  $\Phi_1$  时钟升为高电平时，如果第 1 级输入信号保持不变，它将被传送到反相器的输入端，经过短暂的延迟后，第 1 级的反相器输出将为第 2 级移位寄存器的输入端提供一个反相逻辑信号  $\bar{D}$ 。这时，若时钟  $\Phi_2$  处于低电平，则第 2 级的传输门不传送这个输入信号。当时钟  $\Phi_2$  变到高电平时，第 2 级的传输门才会把第 1 级反相器的输出信号传送到第 2 级反相器，进而到达第 2 级反相器的输出端。由于  $\Phi_1$  低而  $\Phi_2$  高，该信号将被第 3 级的传输门阻挡住。也就是说， $\Phi_1$  为高电平时，寄存器的奇数级导通，数据由输入端  $\rightarrow A_0, A_1 \rightarrow A_2$ ，与此同时， $\Phi_2$  为低电平，所以数据不能从  $A_0 \rightarrow A_1, A_2 \rightarrow A_3$ ；接着，当  $\Phi_1$  变为低电平， $\Phi_2$  为高电平时，寄存器的偶数级导通，数据就可以从  $A_2$  到  $A_3$ 。这个过程将随着时钟信号  $\Phi_1$ 、 $\Phi_2$  的交替变化继续下去，在每一个完整的时钟信号周期内，输入信号以传送两级的速率移位通过寄存器的各级，因此对于一个  $N$  级的移位寄存器，信号被延迟  $N/2$  个周期。

这里要求这两个时钟相位在任何都不能重叠，否则，信号将在该时钟重叠区同时通过多级，导致延迟失败，因此在设计中要始终保证： $\Phi_1 \cdot \Phi_2 = 0$ 。

### 5.7.2 各级延迟的电路实现

为使数字信号实现同步输出，根据流水线各级的不同延时要求分别设置了不同级数的动态移位寄存器组，见图 5.22。这是一个采用锁定步序形式移动 9 位信号的移位寄存器电路，输入数据随时钟信号  $\Phi_1$  和  $\Phi_2$  的变化由左向右移动。显然，对于奇数级，即 1、3、5、7、9 级的输出，寄存器分别是 9、7、5、3、1 级结构，

此时，寄存器的输出信号是输入信号的反信号，因此还需要在其后加一个反相器；对于偶数级，即 2、4、6、8 级的输出，寄存器分别是 8、4、6、2 级结构。

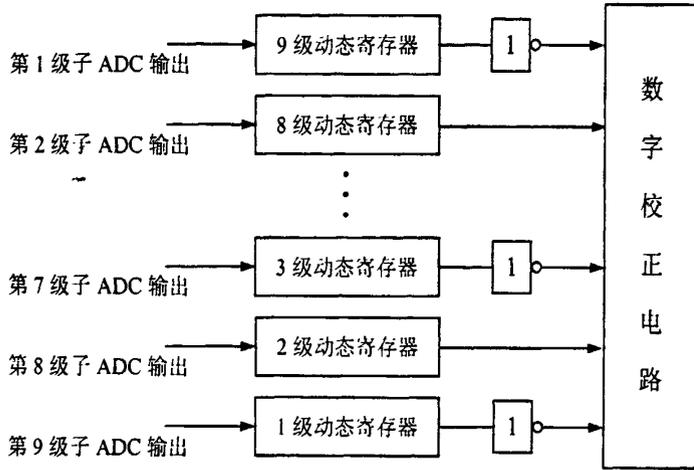


图 5.22 动态移位寄存器组

### 5.8 数字校正电路

负冗余数字校正电路实际上是一个简单的带进位的数字加法电路，且各级的数字校正电路的结构相同。具体的方法是将经延迟电路同步的数字信号送到各自加法电路进行叠加，即可完成除最后一位之外的数字量校正。以一个 4 级 ADC 为例，各级输出的数字信号及校正结果如图 5.23 所示。

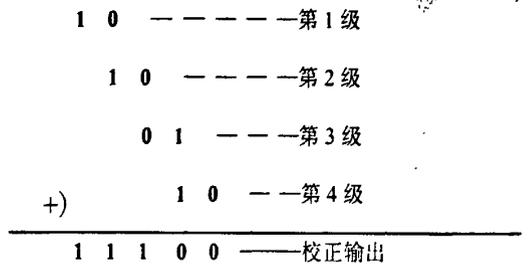


图 5.23 4 级数字校正原理图

图 5.24 是实现 10 位精度数字校正电路的原理图。其中  $I_{2k-1}$ 、 $I_{2k}$  ( $k=1, 2, \dots$ ,

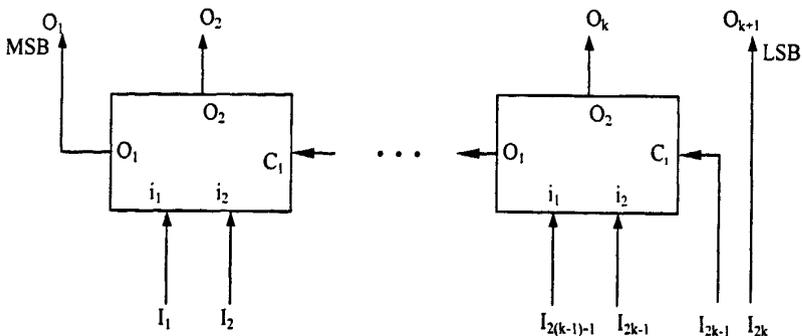


图 5.24 数字校正电路的原理图

9) 是各级子 ADC 输出的原始数字量， $O_k$  ( $k=1, 2, \dots, 9$ ) 则是经过校正后的输出数字信号， $C_i$  是每个数字校正电路的进位端， $O_i$  则是每个数字校正电路的校

正输出端。其中最后一级的数字校正电路输出数字端为  $O_1$  (MSB)。从整个模数转换器来看, 由每一级子电路的输出数字信号构成了总共 11 位的数字输出, 但由于最后一位没有被校正, 因而实际得到的转换精度是 10 位。尽管要采用 9 级这样的数字校正电路才可得到 10 位精度的数字输出, 但各级的数字校正电路结构都是简单的带进位加法电路, 因此设计的难度较小。

其中一级数字校正电路的输入和输出真值表及相应得逻辑关系分别见表 5 和式 (5-32)、(5-33)。

表 5.4 数字校正电路真值表

输入			输出	
$C_i$	$i_2$	$i_1$	$O_1$	$O_2$
0	0	0	0	0
0	0	1	0	1
0	1	0	1	0
1	0	0	0	1
1	0	1	1	0
1	1	0	1	1

$$O_1 = C_i i_1 + i_2 \tag{5-32}$$

$$O_2 = \overline{C_i} i_1 + C_i \overline{i_1} \tag{5-33}$$

从表中可看出, 即使在前一级电路输出中没有数字 11 也可以通过这一级的 10 和下一级的进位端 1 得到 11。这样电路就不会出现漏码的现象。图 5.25 为数字校正单元的非门实现电路。

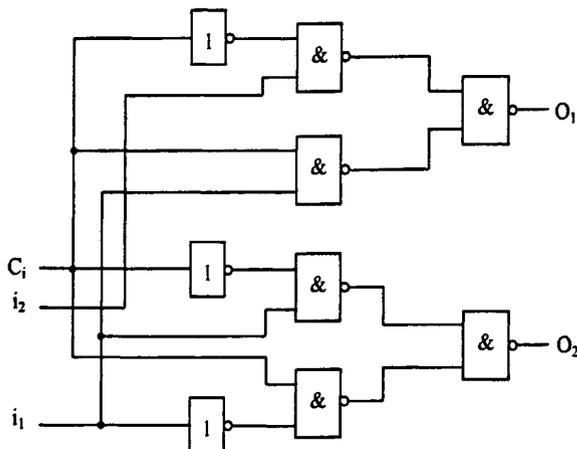


图 5.25 各级数字校正电路

## 5.9 其他电路设计

在 ADC 中,为实现模数转换,还需要设计一些辅助电路来配合主电路工作。

### 5.9.1 两相不交叠时钟信号的产生

流水线 ADC 的时钟是由两相不交叠主时钟  $\Phi_1$ 、 $\Phi_2$  以及主时钟的辅助时钟  $\Phi_1'$ 、 $\Phi_2''$  组成的。这些时钟都是通过外部提供一个时钟信号作为激励,经过信号不交叠分相电路后而得到,两相不交叠时钟信号产生的电路原理及工作波形如图 5.26 所示<sup>[22, 29]</sup>。

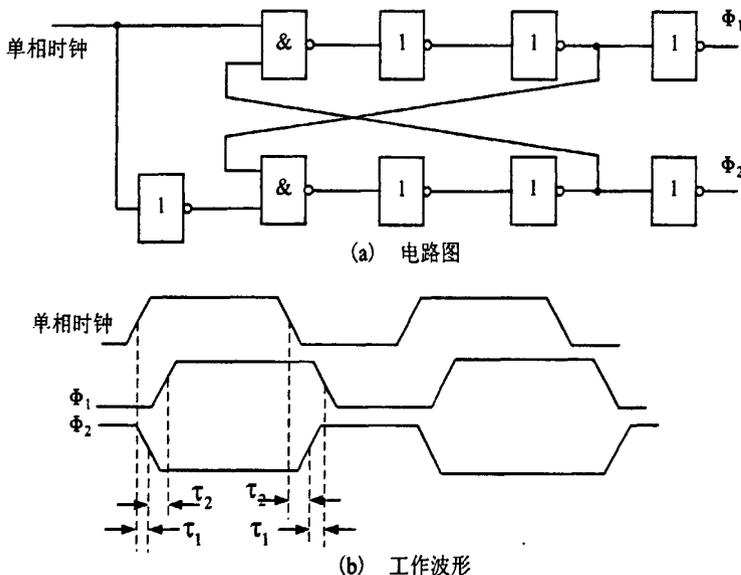


图 5.26 两相不交叠时钟产生电路

其中输入信号为芯片外接的激励单相时钟源,它的占空比为 50%,单相时钟信号和经过非门得到的反信号作为两个通过反馈连接的与非门的输入。因为与非门是低电平使能,所以这两个与非门中必然是一个输出先为低电平,而后经过反相器链的延迟后,才送到另一个与非门的输入端使其输出为高。这个电路所产生的时钟信号即是两相不交叠时钟。其中两相不交叠时钟之间的不交叠量由反相器链的数目决定。当考虑主时钟和辅助时钟时,只需要根据时钟延迟的不同,取不同数目的反相器作为时钟输出点即可。

在本设计中,所有的开关管都需要由两相不交叠时钟驱动,也就是说时钟电路必须有较强的驱动能力,因此这里的逻辑门电路都采用第 2 章中设计的 BiCMOS 逻辑门,从而大大提高了时钟电路的负载能力。

### 5.9.2 输入保护电路

通常,集成电路芯片的输入端都是和 CMOS 管的栅极相连的,由于栅极高输入阻抗特性,当输入端悬空时很容易感应上很强的静电,静电感应很可能导致芯

片的损坏。为了防止上述现象的发生,在设计电路的 I/O 部分时要在芯片输入焊盘和输入级栅极之间加入输入保护电路。它们通常是由一个电阻和两个箝位二极管网络组成,其中限流电阻 R 取值约为  $1.5\sim 2.5k\Omega$ ,由多晶硅制成,作用是防止由于大的电流烧坏箝位二极管。输入保护网络的引入,使器件的输入阻抗有一定的下降,如图 5.27 所示<sup>[36]</sup>。图中两个二极管的作用是确保加在电路栅极 G 的电压幅度范围在  $(V_{SS}-V_D, V_{DD}+V_D)$  之间,  $V_D$  是二极管 PN 结的正向导通压降。

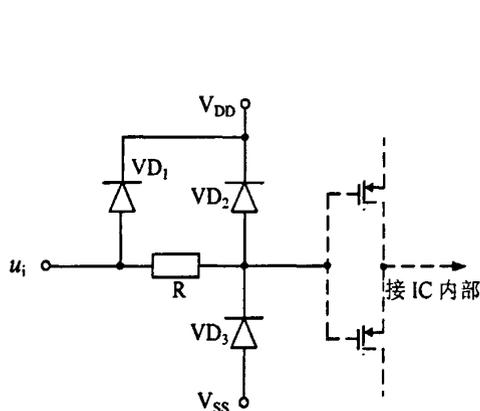


图 5.27 输入保护电路

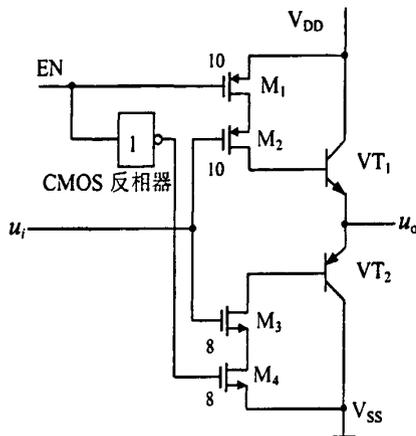


图 5.28 BiCMOS 三态输出电路

### 5.9.3 BiCMOS 三态输出电路

为提高 ADC 输出数字信号对外部电路的驱动能力,在数字校正电路之后增加了三态驱动电路。图 5.28 是利用附加管构成的 BiCMOS 三态输出电路<sup>[15]</sup>。

图中  $M_1, M_4$  为附加管,该门电路通过一个 CMOS 反相器为这对附加管提供互补信号; $M_2, M_3$  和  $VT_1, VT_2$  组成 BiCMOS 反相器。该门电路的工作原理可分析如下:当使能输入信号  $EN=1$  时,附加管  $M_1, M_4$  均截止,从而使上拉管  $VT_1$  和下拉管  $VT_2$  均截止,输出端呈现高阻状态(即禁止态);而当使能输入信号  $EN=0$  时,附加管  $M_1, M_4$  均导通,其结果使  $u_i=u_o$ 。显然,该 BiCMOS 门电路借助于使能信号 EN 完成了对输出数字信号的三态控制。

## 5.10 本章小结

本章设计的流水线模数转换器,由 9 级流水线结构和数字校正电路组成,设计方案采用叠式共射-共基放大器,保证了开关电容电路处理模拟信号的精度和速度,1.5 位/级的特点减小了级间增益,因此可获得较大的级间带宽,数字校正采用简单的数字逻辑电路来完成预定的功能。

## 第 6 章 BJT 与 MOS 器件模型参数的分析与选取

电子电路计算机仿真的可行性及其精度很大程度上取决于所用元器件模型及模型参数的准确性,所以恰当地选取元器件模型参数是电路分析的一项重要工作。模型参数决定电路的工作性能,对不同的电路,各个模型参数的影响和作用大小不同,甚至有时不同的电路结构对参数的要求可能是相互矛盾的,因此片面地追求元器件所有参数都达到最优,不仅没有必要,而且会使成本提高。较好的方法是针对实际的电路,具体分析模型参数对电路性能的影响,在满足设计要求的情况下对模型参数作出折衷处理。

### 6.1 双极型管模型参数的分析与选取

在本文高速 ADC 设计中,速度性能是主要的技术指标,建立模型参数时要首先找出对电路工作速度有较大影响的参数,再加以优化。下面分别讨论双极型管模型参数模拟电路和数字电路性能的影响。

#### 6.1.1 影响模拟电路延时性能的 BJT 主要参数分析

BJT 的模型参数很多,这里主要讨论对电路性能影响较大,物理意义较明确的几个参数,即 BJT 基区、发射区和集电区的体电阻( $R_b$ 、 $R_e$ 和 $R_c$ ),结电容( $C_{jc}$ 、 $C_{je}$ 、 $C_{js}$ ),正向渡越时间 $T_f$ ,正向电流增益 $\beta_f$ ( $B_f$ )。在 BiCMOS ADC 的模拟部分为提高信噪比,均将 BJT 作差分应用,为便于分析,将差分对管 BJT 简化为图 6.1 所示的电路进行讨论,其中  $Q_1$  和  $Q_2$  为 NPN 型管, $R_L$  为负载电阻, $I$  为偏置

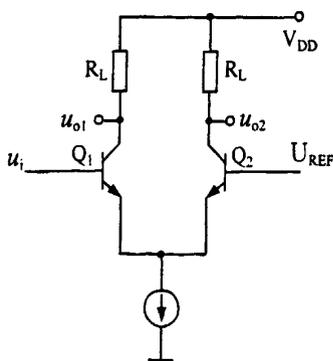


图 6.1 BJT 差分电路

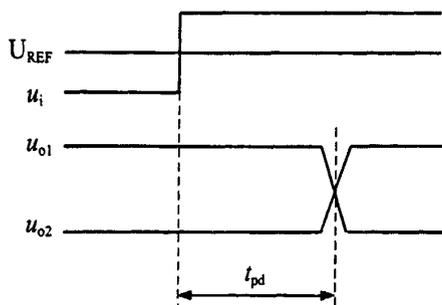


图 6.2 电路的延时

电流,  $u_i$  为输入电压,  $U_{REF}$  为参考电压,  $u_{o1}$  和  $u_{o2}$  为输出电压。差分对管延时定义为如图 6.2 所示, 延时  $t_{pd}$  定义为从  $u_i$  与  $U_{REF}$  相等到  $u_{o1}$  和  $u_{o2}$  相等之间的时间差。以下分析时假设双极管不进入饱和区且电压放大倍数恒定。

器件模拟时取  $u_i$  从 2.95V 变化到 3.05V,  $U_{ref}$  取为 3V, 并取偏置电流和负载电阻的乘积  $I \times R$  恒定以使 BJT 对管的放大倍数保持恒定, 模拟后的结果如图 6.3 所示 (未分析的参数均取后面表 6.1 中所列值)。

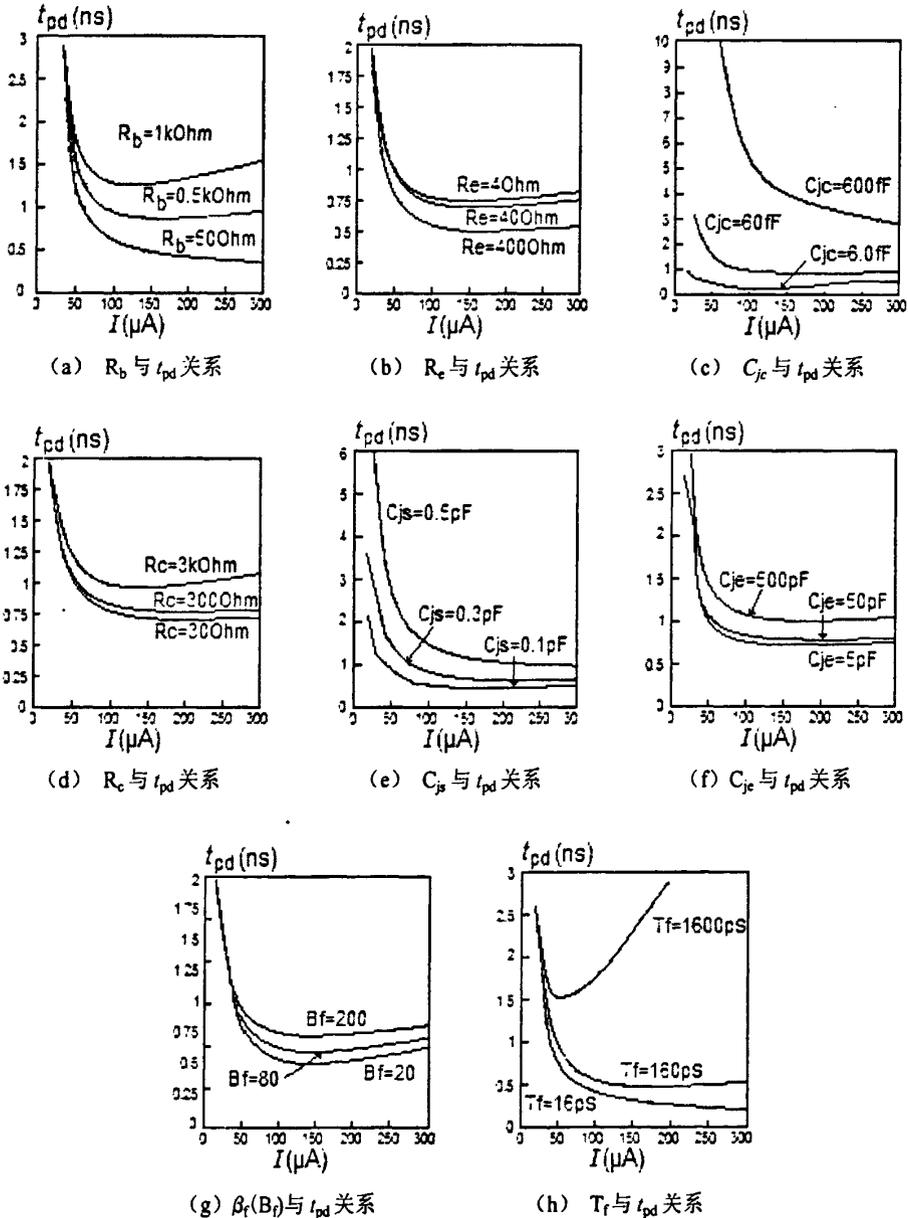


图 6.3 BJT 模型参数与电路延时的关系曲线

从图 6.3 分析模拟结果, 可以得出以下结论:

- (1)  $R_b$ 、 $C_{jc}$  和  $T_f$  对差分对延时影响较大,  $R_e$ 、 $R_c$ 、 $C_{je}$ 、 $C_{js}$  和  $\beta_f(B_f)$  对延

时影响相对较小；

(2)  $C_{jc}$ 、 $C_{je}$  和  $C_{js}$  在小电流时对差分对延时较大,  $R_b$ 、 $R_c$  和  $T_f$  在大电流时对延时影响较大；

(3)  $R_b$ 、 $R_c$ 、 $C_{jc}$ 、 $C_{je}$ 、 $C_{js}$ 、 $T_f$  增大, 则差分对延时增大;  $\beta_f(B_f)$  增大, 则差分对延时减小;  $R_e$  增大, 在小电流时使差分对延时增大, 在大电流时使差分对延时减小；

(4)  $R_e$ 、 $C_{jc}$ 、 $C_{je}$ 、 $C_{js}$  使差分对延时随电流增大而减小,  $R_b$ 、 $T_f$  使差分对延时随电流增大而增大；

(5)  $t_{pd}-I$  曲线, 小电流时的延时主要由  $R_b$ 、 $C_{jc}$  决定, 大电流时的延时主要由  $R_b$ 、 $T_f$  决定。

一般情况下, 如果双极管不进入饱和态, 则差分对延时随工作电流增大而减小。但图中也有不完全符合此规律的情况, 尤其是图 6.3 (h) 中  $T_f$  的曲线最明显, 电路延时是随  $I$  增大而增大。关于对此现象的解释可参见文献[37]。

### 6.1.2 影响数字电路延时性能的 BJT 主要参数分析

这里以 BiCMOS 反相器为例, 讨论 BJT 的主要模型参数对数字电路的影响。也就是双极管的寄生电阻( $R_b, R_e, R_c$ ), 寄生电容( $C_{jc}, C_{je}$ ), 正向渡越时间  $T_f$ , 正向电流增益  $\beta_f(B_f)$ 。图 6.4 及图 6.5 分别是 BiCMOS 反相器电路图与各主要参数对电路延时性能的影响情况, 图 6.5 中横坐标为归一化 PSpice 参数值。

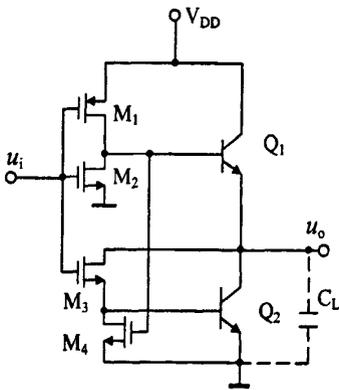


图 6.4 BiCMOS 反相器

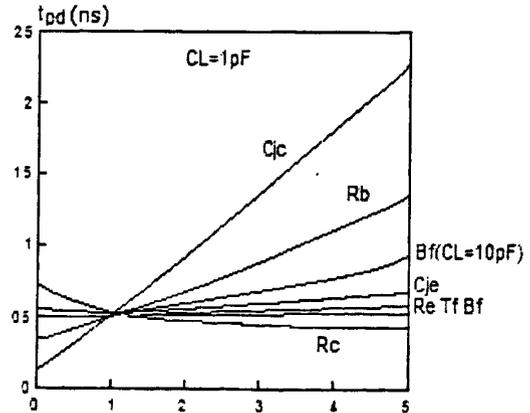


图 6.5 BJT 模型参数与电路延时的关系

从图 6.5 中的模拟结果可以看出, 反相器的延时随  $R_b$ 、 $R_e$ 、 $C_{jc}$ 、 $C_{je}$ 、 $C_{js}$  的增加而增加, 其中  $R_b$ 、 $C_{jc}$  对延时的影响最大。 $\beta_f(B_f)$  的增加, 延时可能增加, 也可能减小, 并和 MOS 管的  $W/L$  及负载大小有关。原因在于  $\beta_f(B_f)$  增加, 基极电流减小, 因而对延时产生两种完全相反的影响: 一方面降低了双极管的工作速度,

加大了延时：另一方面则减小了对 MOS 管电流的需求，又使延时减小。

## 6.2 BJT 主要参数的选取

根据以上的分析并结合文献[38]、[39]、[40]的介绍，经过反复模拟，确定了 ADC 中 BJT 的主要参数，如表 6.1 所示。

表 6.1 BJT 主要模拟参数

名称	定义	参数值	单位	名称	定义	参数值	单位
$I_s$	输运饱和电流	3.000E-18	A	$R_e$	发射极电阻	30.000	$\Omega$
$B_f$	理想的正向 BATA	100.000	—	$R_c$	集电极电阻	150.000	$\Omega$
$N_f$	正向电流发射系数	1.106	—	$C_{je}$	BE 结零偏压耗尽电容	1.21E-14	F
$V_{af}$	正向欧拉电压	65.000	V	$V_{je}$	BE 结内建电势	0.988	V
$I_{kf}$	正向 BATA 电流下降点	2.000E-3	A	$M_{je}$	BE 结梯度因子	0.523	—
$I_{se}$	BE 结泄漏饱和电流	56.000E-18	A	$T_f$	理想的正向渡越时间	1.200E-10	
$B_r$	理想的最大反向 BATA	4.320	—	$X_{tf}$	Tf 随偏置变化的系数	7.203	—
$N_r$	反向电流发射系数	1.025	—	$V_{if}$	VBC 随偏置变化电压	1.300	V
$V_{ar}$	反向欧拉电压	4.745	V	$I_{if}$	影响 Tf 的大电流参数	4.500E-3	—
$I_{kr}$	反向 BATA 电流下降点	9.050E-3	A	$C_{jc}$	BC 结零偏压耗尽电容	9.600E-14	F
$I_{sc}$	BC 结泄漏饱和电流	48.620E-18	A	$V_{jc}$	BE 结内建电势	0.808	V
$R_b$	零偏压时基极电阻	4.749E2	$\Omega$	$T_r$	理想的反向渡越时间	/	s
$I_{pb}$	一半基极电阻时电流	3.242	A	$C_{js}$	零偏压衬底结电容	2.500E-14	F
$R_{sm}$	大电流最小基极电阻	1.000E-3	$\Omega$	$M_{js}$	衬底结梯度因子	0.500	—
$X_{tb}$	正反向 BETA 温度系数	2.052	—	$X_{ti}$	影响 $I_s$ 的温度系数	3.999	—

## 6.3 MOS 管主要模型参数的选取

本文中的 BiCMOS 电路以常规 CMOS 工艺为基础，因而其 MOS 管参数可以将标准 MOS 管的 LEVEL=3 级 SPICE 模型参数稍作修改即可获得，LEVEL=3 级模型是一个已考虑二级效应(如短沟和窄沟效应对阈值电压的影响、开启电压调制、表面电场引起的迁移率变化、漏源电压引起的表面势垒降低、饱和区  $I_{DS} \sim u_{DS}$  曲线倾斜等)的半经验模型，与 LEVEL=2 模型相比，用它进行电路模拟占用计算机 CPU 的时间少 25%，故模拟效率高。现将本设计采用的 MOS 管参数列于表 6.2 中。

表 6.2 MOS 管的主要模拟参数 (Level=3)

名称	定义	PMOS 管参数值		NMOS 管参数值		单位
LEVEL	模型标志	3		3		—
$V_{io}$	$V_{SB}=0$ 时的额定阈值电压	-0.640	-0.820	0.630	0.820	V
Gamma	体效应系数	0.282		0.282		—
$P_{hi}$	基体费米电势 ( $2\Phi_F$ )	0.707		0.752		—
$T_{ox}$	栅氧厚度	2.000E-10		2.5E-10		m
$N_{sub}$	衬底掺杂浓度	2.000E+16		6.900E+09		cm <sup>-3</sup>
$L_d$	源/漏侧扩散长度	12.000E-09		5.000E-10		m
$U_0$	沟道迁移率	2.000E+02		600.000		cm <sup>2</sup> /V/s
Lambda	沟道长度调制系数	0.725		0.023		—
$C_j$	单位面积的源/漏结电容	5.73E+02		4.000E-04		F
$C_{jsw}$	单位长度的源/漏侧壁结电容	4.500E-10		5.003E-10		F
$P_b$	源/漏结内建电势	0.870		0.950		V
$M_{jsw}$	$C_{jsw}$ 幂指数	0.320		0.310		—
$C_{gdo}$	单位宽度的栅-漏交叠电容	2.080E-10		2.080E-10		F
$C_{gso}$	单位宽度的栅-源交叠电容	2.080E-10		2.080E-10		F
$V_{max}$	最大载流子漂移速度	5.000E+05		1.670E+05		m/s
$J_s$	漏/源结单位面积的漏电流	1.000E-08		1.500E-08		A/m <sup>2</sup>
$X_j$	源极和漏极的结深度	3.300E-12		2.800E-10		m
$K_p$	跨导参数	2.510E-5		5.290E-5		A/V <sup>2</sup>
$N_B$	快表面态密度	6.505E+15		7.720E+09		cm <sup>-2</sup>
Theta	迁移率调制	0.000		0.000		—
Eta	静态反馈	0.000		0.000		—
Kappa	饱和电场因子	0.200		0.200		—
Delta	阈值电压的宽度效应	0.000		0.000		m
$C_{gbo}$	栅-衬底覆盖电容	8.190E-10		8.190E-10		F/m
$R_s$	源区电阻	100.000		100.000		Ω
$R_d$	漏区体电阻	100.000		100.000		Ω
$R_{sh}$	漏源扩散薄层电阻	20.000		25.000		Ω/□

## 第7章 ADC 的电路仿真与功能验证

本章将对上一章所设计的各功能单元进行电路仿真，然后再对 ADC 进行全电路功能模拟。

### 7.1 仿真工具简介

为了验证已设计电路的功能和特性是否达到预期目标，必须对它作硬件实验或软件仿真。在集成电路设计时，由于用分立元件搭建电路之法进行实验获得的结果与集成工作环境下电路特性相差甚远，而进行集成电路投片试验成本高、周期长，故采用计算机仿真效率高且结果比较精确。基于此，本文采用计算机对各单元电路进行仿真分析，所用的仿真软件是 ORCAD 9.1 中集成的 PSpice A/D<sup>[41]</sup>。该软件采用先进的数学处理方法，为各种无源器件、有源器件及电源建立了精确的仿真模型，可以进行直流特性、交流特性、瞬态特性、参数扫描、统计分析和逻辑模拟等 6 大组、共 14 个小项的电路特性分析，不仅可以对模拟电路进行辅助分析，而且可对数字电路、数/模混合电路进行模拟，因此用它来模拟、分析和调试各种线性、非线性电路十分方便。

### 7.2 各部分功能单元的仿真

#### 7.2.1 运算放大器

运算放大器是 ADC 中最基本的单元电路，它的性能指标较多，这里仅对其最重要的参数进行测试，包括开环增益、带宽、转换速率、建立时间、共模抑制比和电源抑制比等。

##### (1) 运放的幅频特性与相频特性

在运放差动输入端加一个 200mV, 100kHz 交流小信号源进行特性“交流小信号分析 (AC SWEEP)” (即频域分析)。分析的结果见附录 1。

##### (2) 共模输入电压范围与共模抑制比 (CMRR)

共模输入电压范围的测试方法：将两个输入瞬态源改为正弦小信号 (AC=0.2V)，进行交流扫描分析，再在输入端依次加 0.5V、1.0V、1.5V、2.0V、2.5V、3V 共模电压，分别进行瞬态分析。

共模抑制比的测试是交流小信号分析的一部分。在输入端分别加差模和共模小信号，把差模放大倍数和共模放大倍数相除，即为共模抑制比。

对一个运放同时输入共模和差模电压进行仿真比较困难，这里采用图 7.1 的方法<sup>[42]</sup>，先建立运放的子电路，复制为 C、D， $u_{in+}$ 、 $u_{in-}$  分别取+1V、-1V 的交流小信号，这样输出电压就是电压增益。以上模拟的结果见附录 2、附录 3。

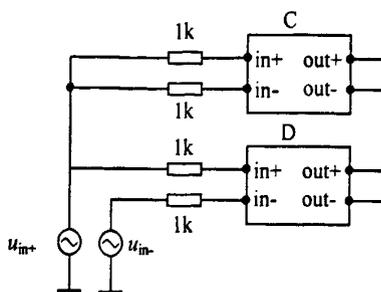


图 7.1 共模抑制比测试方法

### (3) 转换速率 ( $S_R$ ) 及输出电压摆幅

先将运放闭环为单位增益放大器，再在同相输入端加一个幅度为 2V 的阶跃信号对运放进行“瞬态时域分析 [Time Domain (Transient)]”，模拟的结果见附录 3，再进行适当计算即可得  $S_R$ 。

输出电压摆幅是输入由 0V 开始上升到 2V 时输出电压的变化幅度。

对运放测试得到的各项主要参数的见表 7.1。

表 7.1 运放主要参数 ( $C_L=1.2\text{pF}$ )

参数名称及符号	参数值	参数名称及符号	参数值
开环差模增益 $A_{od}$	84dB	转换速率 $S_R$	163V/ $\mu\text{s}$
单位增益带宽 $f_0$	117MHz	共模抑制比 $K_{CMR}$	85dB
相位裕度	63°	共模输入范围	0.5~3V
建立时间 (0.1%) $t_r$	10ns	电压摆幅	2.87V

## 7.2.2 采样保持 (S/H) 电路

对采样保持电路的模拟目的是看采样保持电路在 20MSPS 时是否可以正常工作，并测试出 S/H 电路的工作精度，输入端被采样的模拟输入信号采用一系列阶梯波，这样的激励信号可以更好地测量 S/H 电路的精度。在 20MHz 的采样时钟条件下，得到采样保持电路的瞬态输出响应见附录 4 上图。

对阶梯波的模拟结果可知，随着输入电压的加大，采样保持电路的误差逐渐增大，即如图 7.2 所示。但即使输入电压较大时，误差值仍  $< \pm 0.5\text{mV}$ ，这意味着

S/H 电路的采样速率可以达到 20MHz。在 20MHz 的采样频率下，进一步用此电路对 100KHz 的正弦波输入信号进行采样模拟，结果如附录 4 下图所示。

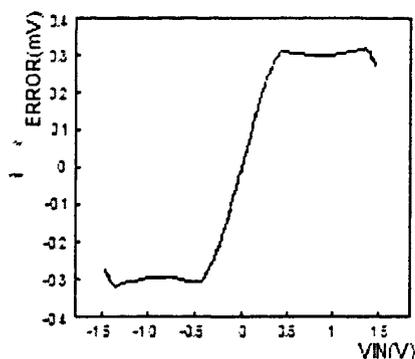


图 7.2 采样保持电路的误差曲线

### 7.2.3 级间增益电路

对级间 2 倍增益电路进行测试的方法是：选取几个不同电压信号作为差动输入，看级间增益电路的放大倍数和增益精度是否符合要求。级间增益电路处理的上一级余量信号差动电压幅值在 (-0.5V~+0.5V) 范围内，因此模拟时输入端差动信号的电压幅值分别取 -0.5V、-0.25V、0.25V、0.5V。模拟结果见附录 5，由图可知，在各输入信号作用下得到的 2 倍增益的实际输出值和理想输出值之间误差不超过  $\pm 0.5\text{mV}$ ，且输出信号建立时间  $< 8\text{ns}$ ，这表明此级间增益电路可正常工作。

### 7.2.4 比较器电路

差动比较器一方面采样来自采样保持电路（用于第 1 级的情况）或级间增益电路（用于第 2~9 级的情况）的输入差动信号，另一方面同时对其保持信号进行比较输出。对它测试主要是看在输入信号越过参考电压点时能否转换状态及有效锁存。先将比较器的差动参考电压 ( $U_{\text{REF}+} - U_{\text{REF}-}$ ) 设定为 1V，而令差动输入信号 ( $u_{i+} - u_{i-}$ ) 电压分别取 0.5V、0.8V、1.1V、1.3V、1.6V 时观察比较器的输出情况。

附录 6 是比较器差动输入端取上述电压信号进行扫描得到的输出结果。当差动输入信号上升到 1.1V 时，比较器发生翻转，并在比较器的使能端作用下，经过  $< 10\text{ns}$  延迟得到了稳定的输出，证明该比较器能实现差动比较及锁存的功能。且由于采用动态结构，故比较器静态和动态功耗分别只有 0.29mW 和 3.23mW。

另外，在 5.1 比较器设计时特别提到了传输延迟的要求，这里将在不同输入差分信号的条件下电压比较器的输出响应曲线绘于图 7.3，此电压比较器的响应时间随输入差分信号的幅值增加而减小，但受影响的幅度较小。

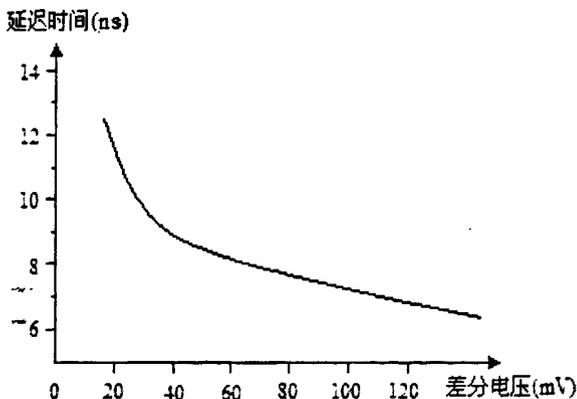


图 7.3 比较器的延迟曲线

### 7.2.5 数字延迟电路

数字延迟电路的作用就是使每级子 ADC 的输出信号实现时间上的对齐。这里对一个由 4 级移位寄存器构成的数字延迟电路进行了仿真，CMOS 开关控制信号为两相不交叠时钟  $\Phi_1$  和  $\Phi_2$ 。其中为  $\Phi_1$  采样信号， $\Phi_2$  为保持信号。周期为 50ns。当输入的测试矢量为 1011001101 时，输出波形图见附录 7。从图中可知，对于 4 级的数字延迟电路，输出波形比输入波形正好延迟了 2 个时钟周期。

### 7.2.6 数字校正电路

因为数字校正电路为组合逻辑电路，所以对数字校正电路的只需要仿真其正确性即可。图 7.4 为验证数字校正电路逻辑正确性的结果波逻辑形图。

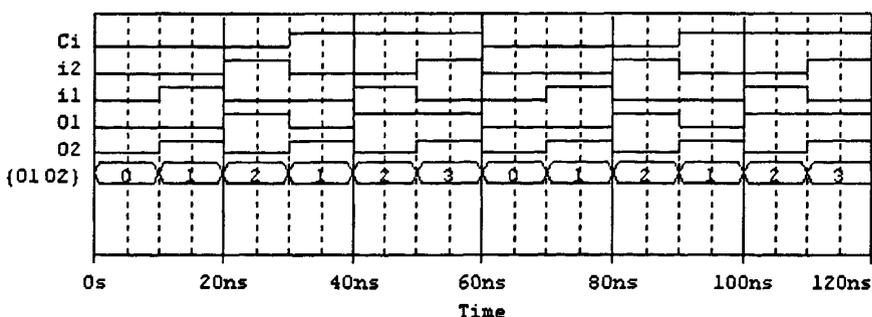


图 7.4 单级数字校正电路逻辑输出响应

数字校正电路主要是对来自级间和级内的误差进行校正，故在检验电路本身逻辑正确与否之后，还要检查它的误差修正能力。对本设计 9 级流水线 ADC，以输入 0.6V 信号为例，若比较电路是理想的，判断电平是 0.375V、0.625V，此时的 1~9 级输出分别是 01、10、01、00、01、10、01、00、01，因此最后的 10 位输出码是 1001100101。如果此时仅在第 5 级比较器出现失调，如判断电平由 0.625V 变为 0.590V，则 1~9 级输出相应变为 01、10、01、00、10、00、01、00、00，

而最后 10 位输出码是 1001100101。可见，数字校正电路可以纠正比较器的失调。

### 7.3 全电路模拟

在完成对各个单元电路进行模拟基础上，就可以将各个子电路组合到进行 ADC 的系统行为级的仿真。为了说明 ADC 各级处理信号的过程，图 7.5 给出了系统工作时各级流水转换的工作时序。

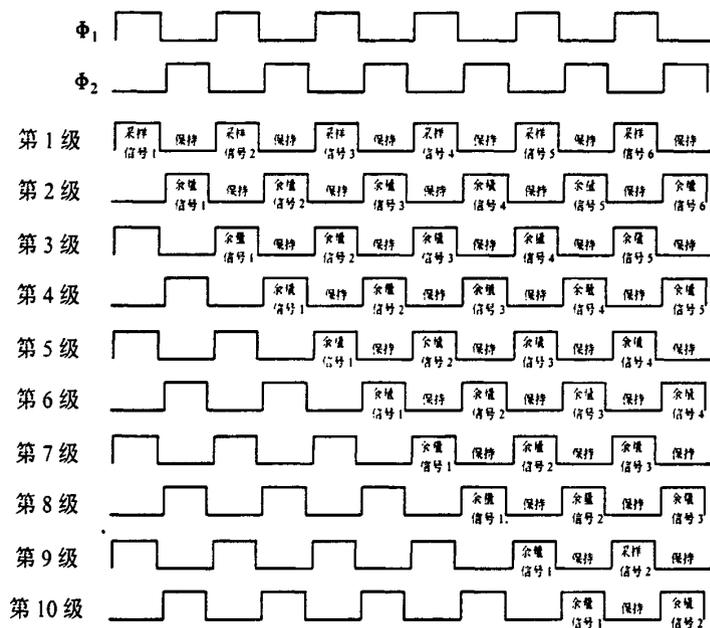


图 7.5 流水线 ADC 转换时序

在微机上进行 PSpice 电路分析，电路规模要受到计算机内存的限制，而且即使规模允许也存在仿真时间过长的的问题。因此，在仿真时就要对电路做二点简化：

(1) 建立关键部件运放、比较器的宏模型<sup>[42-44]</sup>，就是将部件的外部特性用一个简单的模型进行等效，而不需要考虑它们内部的连接关系和元件状况，然后作为仿真子模块保存起来，在进行系统模拟时以子电路的方式进行调用；(2) 将偏置电路先行仿真进行性能验证，全电路模拟时直接用理想恒流源或电压源代替。经过上述简化处理后，可以大大提高仿真的运算速度。

由于条件所限，本文只对若干个离散输入电压值进行了全电路模拟，这里以模拟输入信号取 0.0625V 为例，ADC 输出波形如附录 8 所示。模拟结果表明，所设计的 ADC 的采样频率可以达到 20MHz，有效分辨率为 10 位，电路功耗约为 156mW，这明显低于同类双极型 ADC（功耗可达 800mW）产品。

## 第 8 章 BiCMOS 工艺设计要点

BiCMOS 工艺技术是将 CMOS 工艺和双极工艺结合在一起, 在同一硅片上制作 CMOS 器件和双极器件。因此, BiCMOS 工艺相对一般的 CMOS 工艺较为复杂, 本文提出的 BiCMOS 技术方案出发点是以 CMOS 工艺为基础增加一些必要的双极工艺, 最大程度上实现与 CMOS 工艺兼容, 使器件速度性能有所改善, 而不刻意通过增加结构的复杂性来获得过高的速度性能指标。

下面对本设计拟采用的 BiCMOS 工艺要点进行简单说明。

### 8.1 BiCMOS 器件结构

0.8 $\mu\text{m}$  BiCMOS 器件工艺剖面结构如图 8.1 所示<sup>[11, 7]</sup>。它由掩埋双阱 CMOS 器件和多晶硅发射极 NPN 型器件所组成。

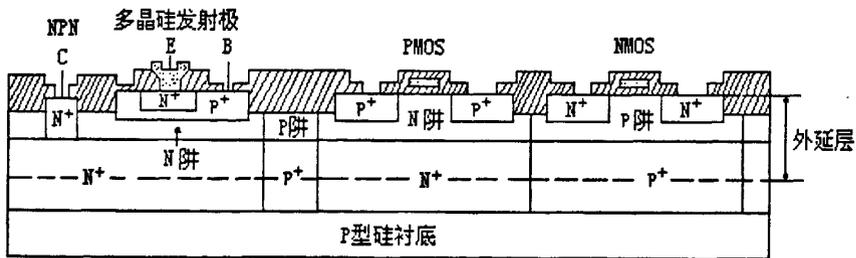


图 8.1 0.8 $\mu\text{m}$  高速 BiCMOS 器件剖面结构

这个工艺结构的基本设计目标是: 确保 BiCMOS 结构中所包含的 CMOS 器件和双极器件的性能基本达到各自单独工艺制造的水平, 具体说就是要修正双阱 CMOS 工艺, 在其标准工艺流程中额外增加 3~4 道掩模工序。

上述结构中采用  $n^+$ 埋层的主要优点是: (1) 消减集电极电阻  $R_c$ ; (2) 降低 CMOS 器件的栓锁敏感性; (3) 通过 n 型外延层取代 P 型外延层也起到了改善器件的抗锁定特性。

为了改善 Bipolar 器件性能, NPN 型器件发射结深度浅于 1.5 $\mu\text{m}$  BiCMOS 工艺中的 NPN 型器件的结深; 注入后的衬底氧化硅工艺, 使发射结和集电结结深分别为 0.12 $\mu\text{m}$  和 0.24 $\mu\text{m}$ ; 硅局部氧化 (LOCOS) 和  $P^+$ 埋层工序, 降低了隔离区尺

寸。同理可制作 PNP 型器件（为简洁起见，图中未画出）。

## 8.2 BiCMOS 工艺流程中的几项制作技术<sup>[9, 11, 45-46]</sup>

### 8.2.1 整体工艺流程

以外延双阱 CMOS 工艺为基础，在 N 阱内增加了  $N^+$  埋层和集电极接触深  $N^+$  注入，以减少 Bipolar 器件的集电极串联电阻阻值，降低饱和管压降；用  $P^+$  区（或  $N^+$  区）注入制作基区；发射区采取多晶硅掺杂形式，与 MOS 器件的栅区掺杂形式一致，制作多晶硅 Bipolar 器件。即在标准工艺的基础上增加的主要掩模过程是：埋入  $n^+$ ，深  $n^+$  向下扩散，基极和发射极多晶硅形成等。此外，原则上不再需要增加其它重要的工序。

### 8.2.2 双阱 CMOS 工艺技术要点

双阱 CMOS 工艺的原始材料是以  $P^+$  或  $N^+$  为衬垫的轻掺杂外延层，其浓度和厚度可控，杂质分布均匀，双阱 CMOS 工艺参数分别优化，因而 MOS 器件的阈值电压、体迁移率和跨导等参数均可分别优选，从而有利于抑制 MOS 器件的闩锁效应，使所制作的 BiCMOS 获得更佳的直流和瞬态特性。

### 8.2.3 MOS 器件衬底偏置要点

BiCMOS ADC 芯片速度性能的提高极大地受到器件内部分布电容的限制。为了减小这些分布电容，也为了保证 MOS 器件的可靠绝缘和隔离，制作芯片时可使 NMOS 器件衬底工作于负电位。这一负偏压可由芯片内部振荡器产生，制作芯片时可将振荡器输出电压通过一些 PN 结耦合到 NMOS 器件的衬底。而 PMOS 器件衬底均应连接到电源电压  $V_{DD}$  上。

### 8.2.4 BiCMOS 工艺上的特殊考虑

(1) 埋层 对于 BiCMOS ADC 工艺来说，需要仔细研究 CMOS 阱和 BJT 器件集电极的工艺要求。一个工艺设计折衷方案涉及到外延层和阱轮廓范围，对于 BJT，一方面集-射反向击穿电压  $U_{(BR)CEO}$ 、集电结电容和生产工艺的可控制性决定了外延层的最小厚度。另一方面，如果外延层太厚，特征频率  $f_T$  就会下降而  $R_C$  值会增大。对于 CMOS 器件，在 NMOS 器件下使用  $N^+$  埋层就要求外延层足够厚，以避免过大的结电容和 NMOS 背偏置体效应（back-bias body effect）。

阱结构中的 N 阱不仅影响 PMOS 器件，而且也可作为 BJT 的集电极。因此，

除了能充分保证 CMOS 器件的性能以外, N 阱掺杂应足够重, 以防止 Kirt 效应(Kirt effet), 同时, 又应足够轻, 以提高 BJT 器件的  $U_{(BR) CEO}$ 。

(2) 外延和自掺杂 在  $N^+$  埋层上生成轻掺杂的薄外延层, 对外延沉积工艺来说是一种挑战, 因为必须使在垂直和水平方向两种类型杂质的自掺杂尽量小, 以避免在阱中需要过量的反掺杂。可采用一种新型的两工序外延工艺: 首先在高温 ( $1150^{\circ}\text{C}$ )、低压下用  $\text{SiH}_2\text{Cl}_2$  沉积外延覆盖层, 然后再进行低温 ( $900^{\circ}\text{C}$ )、低压  $\text{SiH}_4$  外延层沉积。

(3) 双极管制作与隔离 与 MOS 集成电路工艺相比, 双极集成电路工艺需要做器件间的隔离, BiCMOS 工艺中的双极器件通常用 PN 结隔离, 在选用的  $N^+$  外延衬底上, P 型隔离环通过  $P^+$  埋层和 P 型衬底相连, 并接至最高负电位。通过隔离环在硅片上形成一个个相互隔离的 N 型硅岛区, 以便在其上制作 NPN 或横向 PNP 双极管。

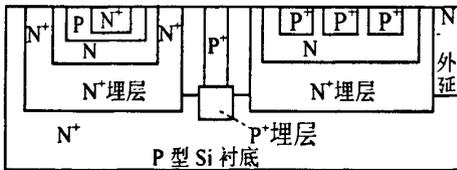


图 8.2 BiCMOS 中的双极管剖面结构

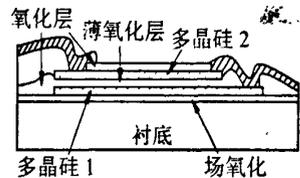


图 8.3 双层多晶硅电容

从图 8.2 不难看出, BiCMOS 在 CMOS 工艺基础上增加用于双极器件隔离的  $P^+$  埋层和深 P 扩散掩模版。NPN 晶体管的集电极  $N^+$  埋层和深 N 扩散以及 NPN 晶体管的基区掩模版。横向 NPN 晶体管的发射极区和集电极区与 NPN 晶体管基区共用一张掩模版。另外, 为了有效调节 NPN 管的  $\beta$  值, 需要一张单独的 NPN 晶体管发射极掩模版, 制作 BiCMOS 电路中的多晶硅电阻也需用一张掩模版。

(4) 自对准多晶硅发射极工艺 BiCMOS 结构中的 NPN 管采用自对准多晶硅发射极工艺, 发射极的横向和纵向两个方向的尺寸可以容易地按比例缩小, 并使双极管性能大为改善, 达到很高的截止频率 ( $f_c$ ), 从而提高电路速度和可靠性, 用此工艺制作的双极管电流增益是普通工艺制作的 3~7 倍。

(5) 多晶硅电容的制作 本设计的开关电容电路中的电容采用图 8.3 所示的双层多晶硅工艺制作。图中两层多晶硅的薄氧化层与栅氧化层同时形成, 这种结构的电容寄生效应很小, 性能稳定, 电容值可以制作得很精确。

## 第9章 结论与展望

### 9.1 论文主要进行的研究工作

本文开展的主要研究工作是:

(1) 在查阅、分析有关技术资料的基础上,对 BiCMOS 技术和高速模数转换器原理及其国内外应用、发展现状进行了综述,论证了此项研究的先进性与可行性。

(2) 运用 BiCMOS 技术对几种典型的逻辑门电路进行了重新设计或改进,并按第 6 章选取的 BiCMOS 模型参数进行仿真试验。结果表明,与传统 CMOS 逻辑门相比,BiCMOS 逻辑门的速度和驱动能力大大提高,从而验证了 BiCMOS 电路在速度、功耗上的综合性能优势及将它作为 ADC 基本嵌入单元的可行性。

(3) 设计了流水线 ADC 的各个功能模块,尤其对核心部分的运算放大器和电压比较器采用 BiCMOS 结构进行了设计,明显改进了电路的瞬态响应和工作速度。首先仔细考虑了运放的结构,并决定选择折叠式结构,这使电路可较好地适应开关电路工作环境。由于在流水线系统中引入了数字校正电路,对电压失调有良好的校正能力,故认为电压比较器的失调不需要作特别考虑,转而从降低功耗出发,采用动态结构;然后,对上述两种电路采用 BiCMOS 技术作了改进,使之提高了工作速度和瞬态响应能力。其他电路的设计以功能实现及速度、精度保证为原则,并尽可能地采用 BiCMOS 结构,如数字校正电路、三态门电路等。

(4) 在研究双极型管和 MOS 管参数对电路速度的影响的基础上确定出双极型管和 MOS 管的主要参数,并对 ADC 的各单元电路及全电路进行了仿真,通过反复模拟,将对电路性能影响较明显的一些器件模型参数进行了优化,最后得到了适合于本模数转换器的各参数值。各单元电路的仿真试验结果与原先的构思基本一致,折叠式运放获得了较高的增益和较大的相位裕量,电压比较器具有较强的锁存能力及较短的响应时间,数字校正电路也具有允许失调范围的校正能力,全电路模拟基本验证了模数转换的功能和转换精度。

### 9.2 讨论与结论

(1) 论文的新意 BiCMOS 技术是目前国外硅锗半导体产业的一项高新技

术, 在高速、大驱动电路设计中是一种比较理想的选择, 而 A/D 转换器 (ADC) 则是现代数字系统中不可或缺的关键部件之一, 本文突破了 BiCOMS 技术一般用于数字逻辑设计的常规, 将该项新技术应用于模拟/数字混合电路的设计中, 这是本文的新意所在。作者在论文工作阶段, 进行了两种技术 (即双极和 CMOS 技术) 相结合的尝试, 并据此设计出新颖的 BiCOMS ADC 电路, 经过精心设计和研究, 取得了初步成果, 这些都表明了 BiCMOS 技术有望成为继纯双极或纯 CMOS 技术后, 高速 ADC 研发的又一个可选技术平台。

(2) 论文提出的思路 从设计一种 10 位高速 BiCMOS ADC 出发, 采用先进的 BiCMOS 技术及每级 1.5 位子 ADC 及 DAC 的流水线结构, 并运用冗余数字校正技术, 从而完全纠正了由各级子 ADC 及 DAC 等电路组件失配引起的线性失调及非线性误差, 并且降低了子 ADC 及 DAC 的精度要求。

(3) 仿真试验结果 文末模拟和仿真结果表明, 所设计的 ADC 的采样频率可以达到 20MHz, 电源电压为 3.3V 时功耗仅约为 156mW, 有效分辨率为 10 位, 总体上实现了高速、高精度、低功耗进行模拟/数字转换的设计目标。其余单元电路的仿真结果及其性能和数据分析已在第 2、6 章中给出。综上所述, 可以得到本文的研究结论如下:

- ① BiCMOS 技术融入流水线 ADC 设计方案中是可行的, 因而极具实用价值;
- ② 在同样的技术指标下, 本文设计的 ADC 功耗 ( $\approx 156\text{mW}$ ) 远低于双极型 ADC, 约为后者的 1/4;
- ③ 与 CMOS 工艺结构相比, BiCMOS ADC 内部器件开销有所降低, 这将会相应地提高 IC ADC 新产品的集成度。

(4) 论文工作的欠缺之处 由于条件限制未进行电路的硬件试验, 只用软件进行了电路模拟及其功能模拟, 但是通过模拟和仿真, 大体上可以确认芯片的整体性能与功能实现。

当然, 因为没有版图设计乃至芯片流片等与实际生产有关的试验, 一些与具体工艺有关的问题, 如设计器件的时延模型、器件的匹配、寄生参数的提取、互连线结构及线延迟, 必须在集成环境下才有可能探讨并解决之。另外, 进行全电路仿真的条件亦受限制, 这也影响了 ADC 整体性能指标的模拟测试与评价。

### 9.3 今后拟进一步开展的研究工作

- (1) 相对于纯 CMOS 电路, BiCMOS 电路的功耗还较大, 本文设计的 ADC

尽管已经在某些地方作了降耗设计,例如采用了动态比较器和动态共模反馈,主电路电源电压为 3.3V 等,但如从电路结构和工艺两个方面进一步研究,功耗降低、性能改善的潜力还很大。例如,文献[47]提出了流水线各级共用一个运算放大器新技术。在降低电源电压方面,还迫切需要解决 BiCMOS 电路中低电压与高摆幅之间的矛盾。如文献[48]提出了能工作于 1.0V 的新型 BiCMOS 逻辑电路。

(2) 仿真试验仅对 ADC 结构选型、电路设计的大致情况进行了验证,实际电路的工作情况受到许多因素的影响,另外在进行仿真时还作了许多理想化的假设,因此还需要进一步开展芯片版图设计、工艺优化及流片工作。

## 致 谢

首先感谢我的指导教师成立教授。回顾过去的三年时光，在学习、生活的各个方面，成老师都给予了无私的帮助。从论文选题、论证、仿真试验到论文撰写及定稿，成老师经常和我讨论资料检索、设计思路、电路选型等各方面的问题，他渊博的专业理论知识、丰富的实践经验以及严谨的治学态度、执着的敬业精神给我树立了学习的榜样；此外，成老师还在生活上给了我无微不至的关心和照顾，从他身上我不仅学到了从事科研工作的基本能力，也学会了许多为人处事的道理。在此谨向他致以学生最崇高的敬意。

其次对电气学院所有关心、帮助过我的老师、同学也表示感谢，尤其是汪武、祝俊同学、实验室高平老师，他们在仿真软件安装、使用方面给了我许多帮助。

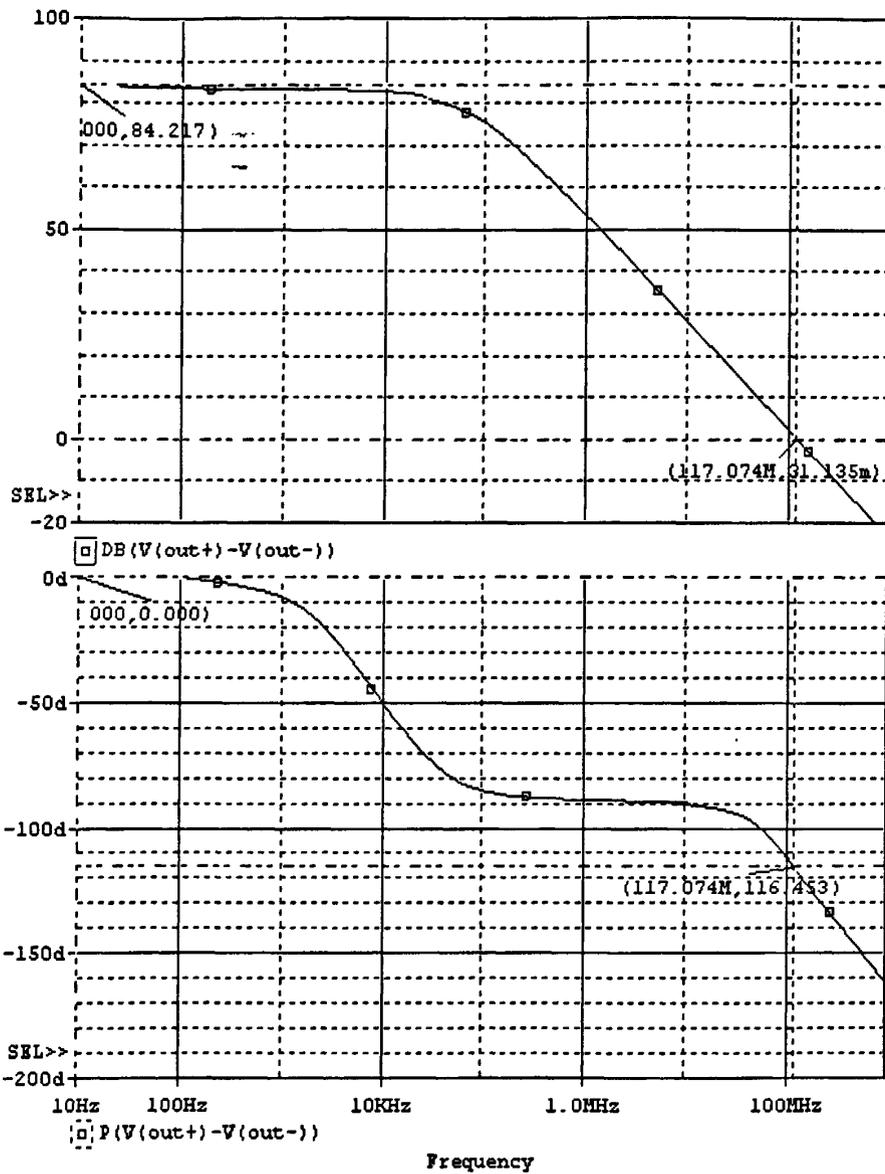
最后我由衷的感谢我的父母和妻子，他们持之以恒的理解、支持和鼓励使我顺利完成了学业，并将成为我今后不断进取的动力。

## 参考文献

- [1] 康华光. 电子技术基础[M]. 北京: 高等教育出版社[M], 2000
- [2] 席秉钧. BiCMOS 技术的发展现状[J]. 延河集成电路, 1989(1), 47~50
- [3] 吴德馨, 钱鹤, 叶甜春. 现代微电子技术[M]. 北京: 化学工业出版社, 2002
- [4] 陆志梁, 戎宗仁. 模-数和数-模转换器[M]. 北京: 电子工业出版社, 1984
- [5] Mohamed Y.Osman, Mohamed I.Elmasry. Highly Testable Design of BiCMOS Logic Circuits[J]. IEEE J. Solid-State Circuits, 1994, 29(6), 671~678
- [6] 王振宇, 成立, 高平, 等. BiCMOS 器件应用前景及其发展趋势[J]. 电讯技术, 2003(4), 9~14
- [7] 徐葭生. MOS 数字大规模及超大规模集成电路[M]. 北京: 清华大学出版社, 1991
- [8] 成立, 陈照章, 李彦旭, 等. 一种低压低功耗 Flash BiCMOS SRAM 的设计[J]. 微电子学, 2003, 33(1): 49~52
- [9] 李兴. 超大规模集成电路技术基础[M]. 北京: 电子工业出版社, 1999
- [10] Yeo K s, Lee H K. Novel 1-V Full-Swing High-Speed BiCMOS Circuit Using Positive Feedback Base-Boost Technique[J]. IEE Proc.-Circuits Devices Syst., 1999, 146(3), 130~134
- [11] 成立, 李彦旭, 董素玲, 等. 高速低压低功耗 BiCMOS 逻辑电路及工艺技术[J]. 电子工艺技术, 2002, 23(1), 24~27
- [12] Elrabaa M S, Obrecht M S, Elmasry M I. Novel Low-Voltage Low-Power Full-Swing BiCMOS Circuit[J]. IEEE J Sol-sta Circ, 1994, 29(2), 86~94
- [13] Embabi S H K, Bellaour, Elmasry M I, et al. New Full-Voltage-Swing BiCMOS Buffer[J]. IEEE J. Solid-State Circuits, 1991, 26(2), 150~153
- [14] Abdellatir, bellaour. Booststrapped Full-Swing BiCMOS/BiNMOS Logic Circuits for 1.2V -13.3V Supply Voltage Regime[J]. IEEE J. Solid-State Circuit, 1995, 30(6), 629~636
- [15] 成立, 李彦旭, 董素玲, 等. BiCMOS 三态输出电路的设计、制备及应用[J]. 半导体技术, 2002, 27(8), 50~54
- [16] 席德勋. 现代电子技术[M]. 北京: 高等教育出版社, 1999
- [17] 李素芬, 李刚, 孙景发. 模数转换技术及其发展[J]. 集成电路应用, 2002(4), 72~75
- [18] 李世祖, 石寅, 朱荣华. 高速视频 A/D 转换器的研究进展[J]. 微电子学, 1998, 28(4), 236~242
- [19] Tanja C. Hofner. 流水线 ADC (金国锋译) [J]. 今日电子, 2001(9), 14~16
- [20] 刘书明, 刘斌. 高性能模数与数模转换器件[M]. 西安: 西安电子科技大学出版社, 2000
- [21] 欧俊雯, 李蔚, 程君侠, 等. 一种流水线结构 A/D 转换器的设计[J]. 微电子学, 1998, 28(3), 152~155
- [22] Stephen.H.L, H.Scoot Fetterman, George F.Gross.Jr, et al. A 10-b 20Msample/s Analog-to-Digital Converter[J]. IEEE J. Solid-State Circuit, 1992, 27(3), 351~358
- [23] Yuh-Min Lin, Beomsup Kim, Paul R Gray. A 13-b 2.5MHz Self-Calibrated Pipelined A/D Converter in 3- $\mu$ m CMOS[J]. Journal of Solid-State Circuits, 1991, 26(5), 628~636

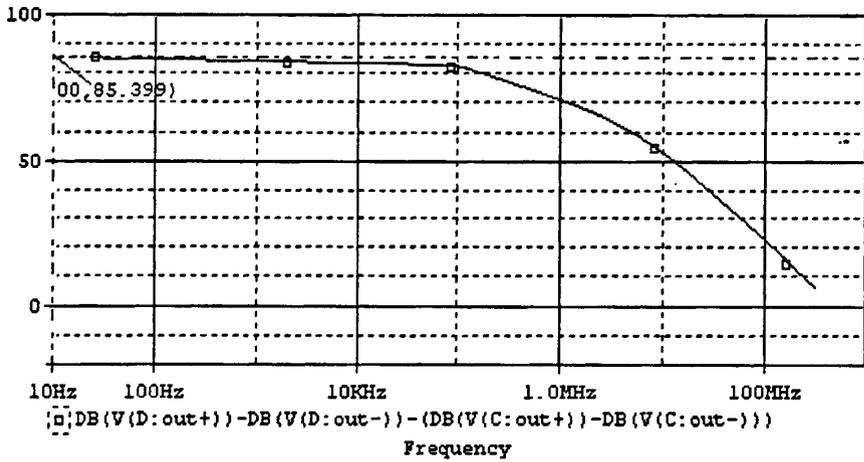
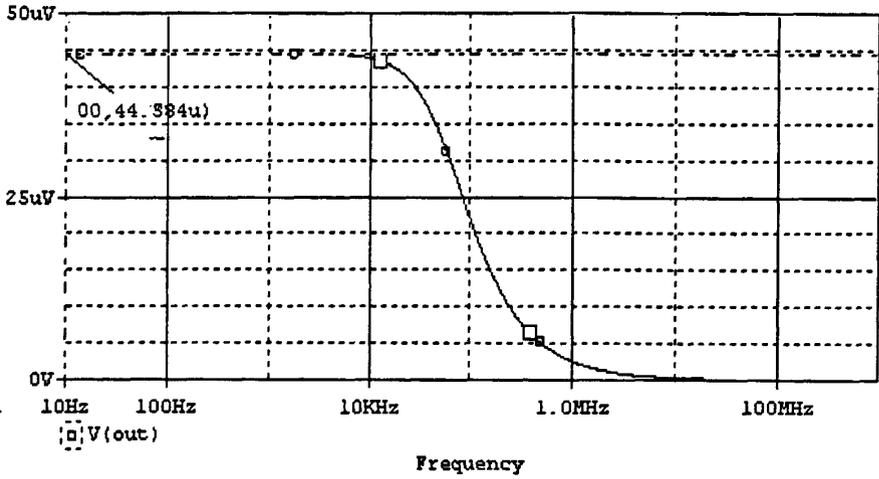
- [24] Stephen H.Lewis, Paul R Gray. A Pipelined Analog-to-Digital Converter[J]. Journal of Solid-State Circuits, 1987, SC-22 (6), 954~961
- [25] 陈贵灿, 邵志标, 程军. CMOS 集成电路设计[M]. 西安: 西安交通大学出版社, 2000
- [26] Rudy V D. Integrated Analog-to-Digital and Digital-to-Analog Converter[M]. Kluwer Academic Publishers, 1994
- [27] 秦世才, 高清运. 现代模拟集成电子学[M]. 北京: 科学出版社, 2003
- [28] 李联. MOS 运算放大器[M]. 上海: 复旦大学出版社, 1988
- [29] 张建人. MOS集成电路分析与设计基础[M]. 北京: 电子工业出版社, 1987
- [30] 毕查德·拉扎维(Behzad Razavi)著, 陈贵灿等译. 模拟CMOS集成电路设计/(美)[M]. 西安: 西安交通大学出版社 2003
- [31] Donald A. Neamen著, 赵桂钦等译. 电子电路分析与设计/(美)[M]. 北京: 电子工业出版社 2003
- [32] Lauri, Waltari, Kari Halonen. An 8-bit 40MS/S Pipeline A/D Converter for WCDMA Testbed[J]. Kluwer Academic Publishers, Analog Integrated Circuits and Signal Processing, 1999 (22), 41~49
- [33] 杨振江. A/D、D/A 转换器接口技术与实用线路[M]. 西安: 西安电子科技大学出版社, 1996
- [34] 汪庆宝, 宿昌厚. 超大规模集成电路设计技术[M]. 北京: 电子工业出版社, 1996
- [35] Cho T B, Gray P R A. A 10-b, 20Msamples/s 35mW Pipeline A/D Converter[J]. Journal of Solid-State Circuits, 1995, 30 (5), 514~521
- [36] 张建人. 中国集成电路大全: 高速 CMOS 集成电路[M]. 北京: 国防工业出版社
- [37] 刘恩科, 朱秉升, 罗晋生. 半导体物理学[M]. 北京: 国防工业出版社, 1989
- [38] Carols H.Diaz, Sung-MO Kang, Yusuf Leblebici. An Accurate Analytical Delay Model for BiCMOS Driver Circuits[J]. IEEE Trans.on Computer-Aided Design. 1991, 10 (5), 577~588
- [39] H.Iwai, G.sasaki, Yunno. 0.8 $\mu$ m BiCMOS Technology with High  $f_T$  Ion-Implanted Emitter Bipolar Transistor[J]. IDEM, 1987, 28~31
- [40] Y.K.SENG, S.S.Rofail. Full-Swing High Speed CBiCMOS Digital Circuit for low-Voltage Applications[J]. IEE Proc.-Circuits Syst., 1995, 142 (1)
- [41] S.S. Rofail, Y.K.Seng, S.Y. Seng. Delay Time Sensitivity Analysis of Muti-Generation BiCMOS Digital Circuits[J]. IEE Proc.-Circuits Syst., 1997, 144 (2) 60~69
- [41] 郑光钦. 全能混合电路仿真 OrCAD PSpice A/D V9[M]. 北京: 中国铁道出版社, 2000
- [42] 高伟涛. Pspice 8.0 电路设计实例精粹[M]. 北京: 国防工业出版社, 2001
- [43] 姚立真. 通用电路模拟技术及软件应用: PSPICE 和 SPICE[M]. 北京: 电子工业出版社, 1994
- [44] 董在望, 尹达衡. 模拟集成电路原理与系统[M]. 北京: 高等教育出版社, 1987
- [45] 高保嘉. MOS VLSI 分析与设计[M]. 北京: 电子工业出版社, 2002
- [46] 贾新章, 郝跃. 微电子技术概论[M]. 北京: 国防工业出版社, 1996
- [47] Yu.Paul C, Hae-Seung Lee, A 2.5V, 12-b, 5-MSample/S Pipelined CMOS ADC[J]. IEEE Journal of Solid-State Circuits, 1996, 31 (12), 1854~1861
- [48] Kiat-Seng Yeo, Samir S. Rofail, Wang-Ling Goh. 低压低功耗 CMOS/BiCMOS 超大规模集成电路/(新加坡)[M]. 北京: 电子工业出版社, 2003
- [49] 成立. 数字电子技术[M]. 北京: 机械工业出版社, 2004

### 附录1 运算放大器的开环幅频特性及相频特性



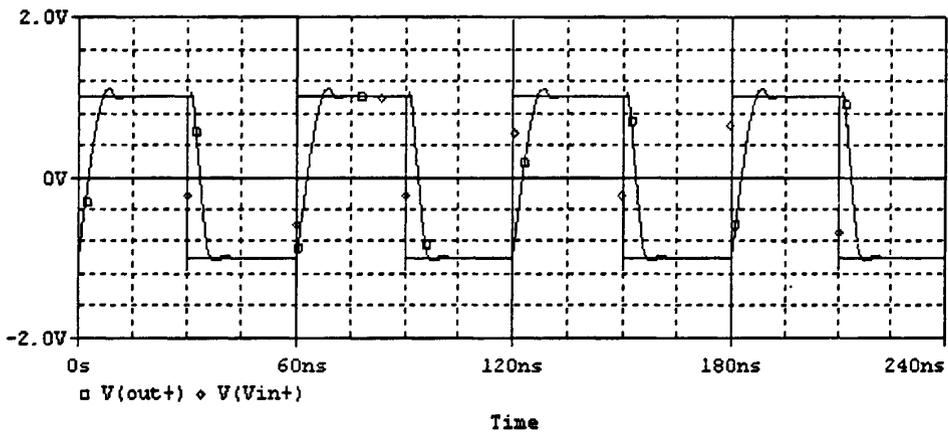
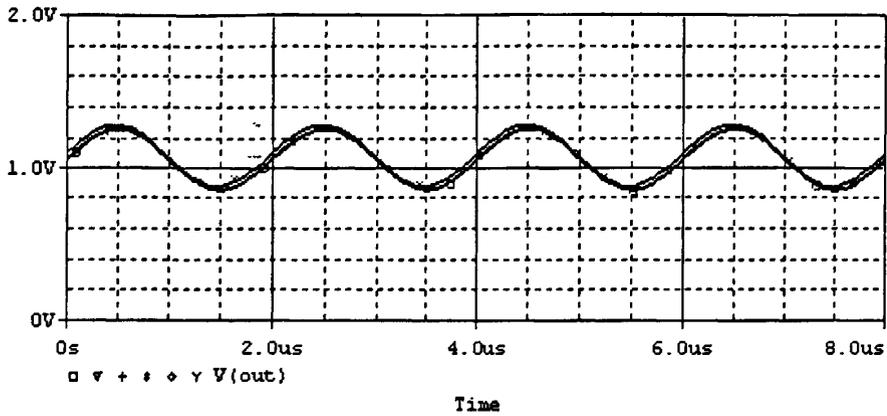
注：由图可知，运算放大器的开环增益为 84.217dB，相位裕度达 63.547°，单位增益带宽为 117.074MHz。

## 附录 2 运算放大器的共模抑制比



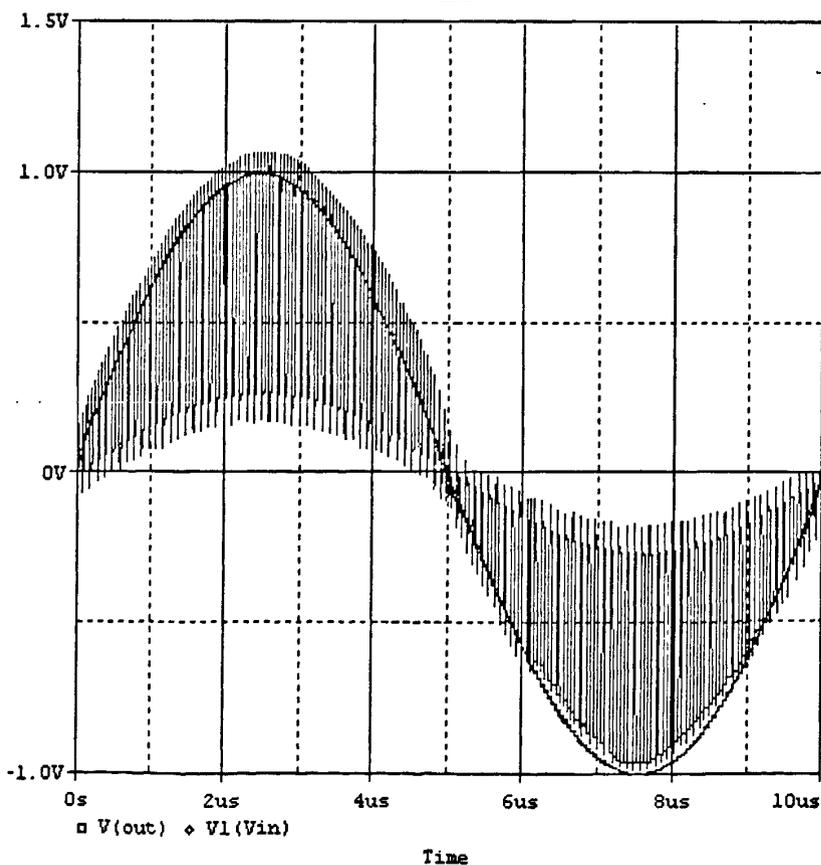
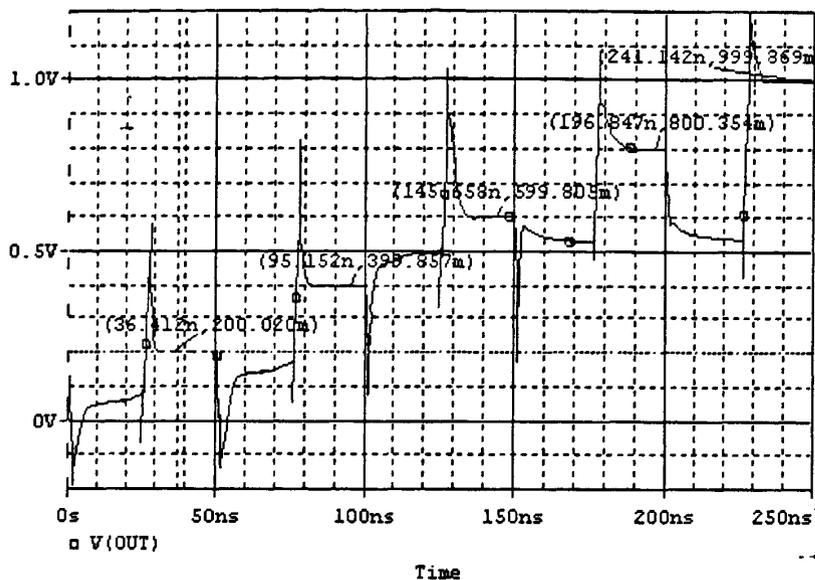
注:从图可知,输入为 0.1V 时,共模输出电压为 44.584 $\mu$ V,即共模增益 0.00044584 (上图), 10Hz~100Hz 频率范围内运放的共模抑制比为 85.399dB (下图)。

## 附录3 共模输入范围及转换速率的测试



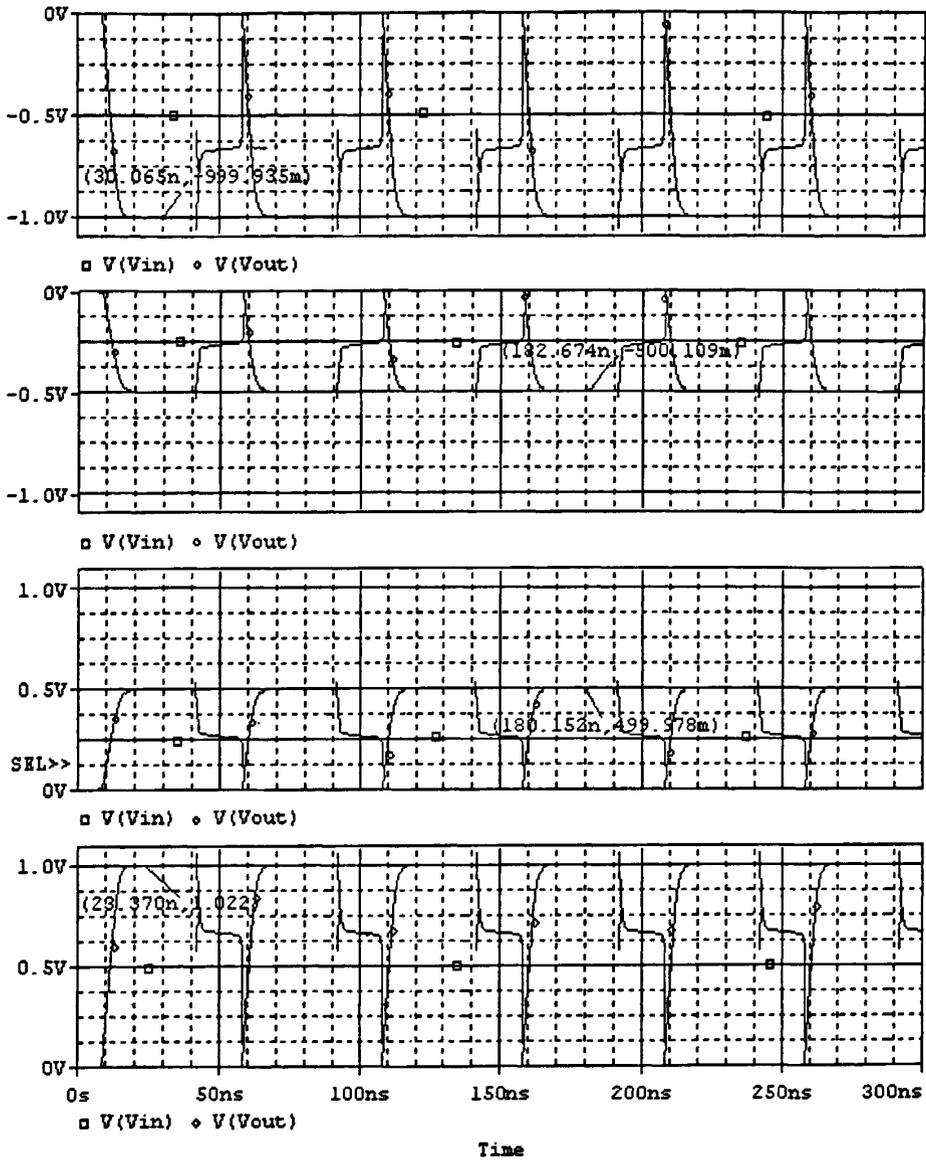
注：上图表明，输入共模电压为 0.5V、1.0V、1.5V、2.0V、2.5V、3V 时电路有较强的共模抑制能力，下图是运放负输入端与输出短接（即电压跟随器）时，电路的转换速率，其中上升转换为  $167V/\mu s$ ，下降转换为  $172V/\mu s$ 。

## 附录 4 采样保持电路的测试



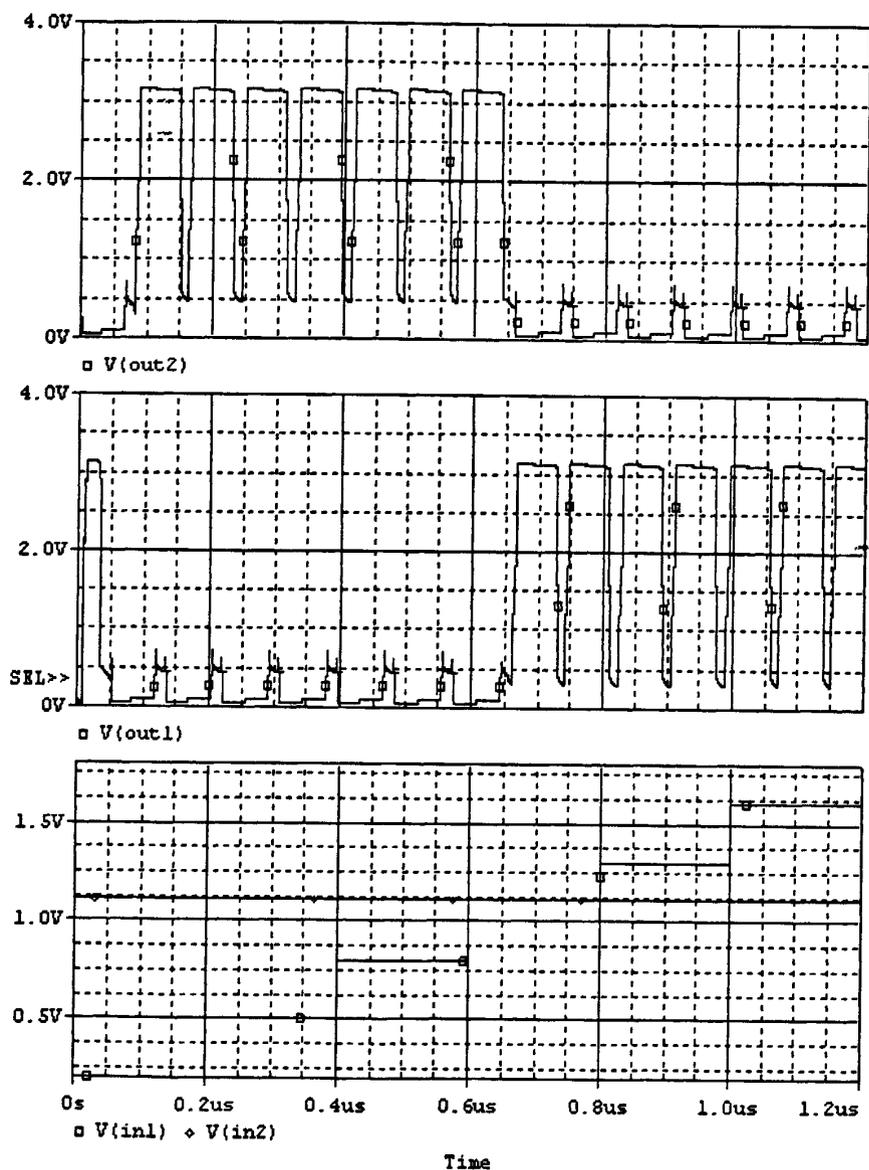
注：上图表明，在 20MSPS 的采样频率下 S/H 电路的转换精度为  $\leq \pm 0.5\text{mV}$ ；下图是输入 100kHz 正弦信号时的输出响应。

### 附录5 级间2倍增益电路输出响应



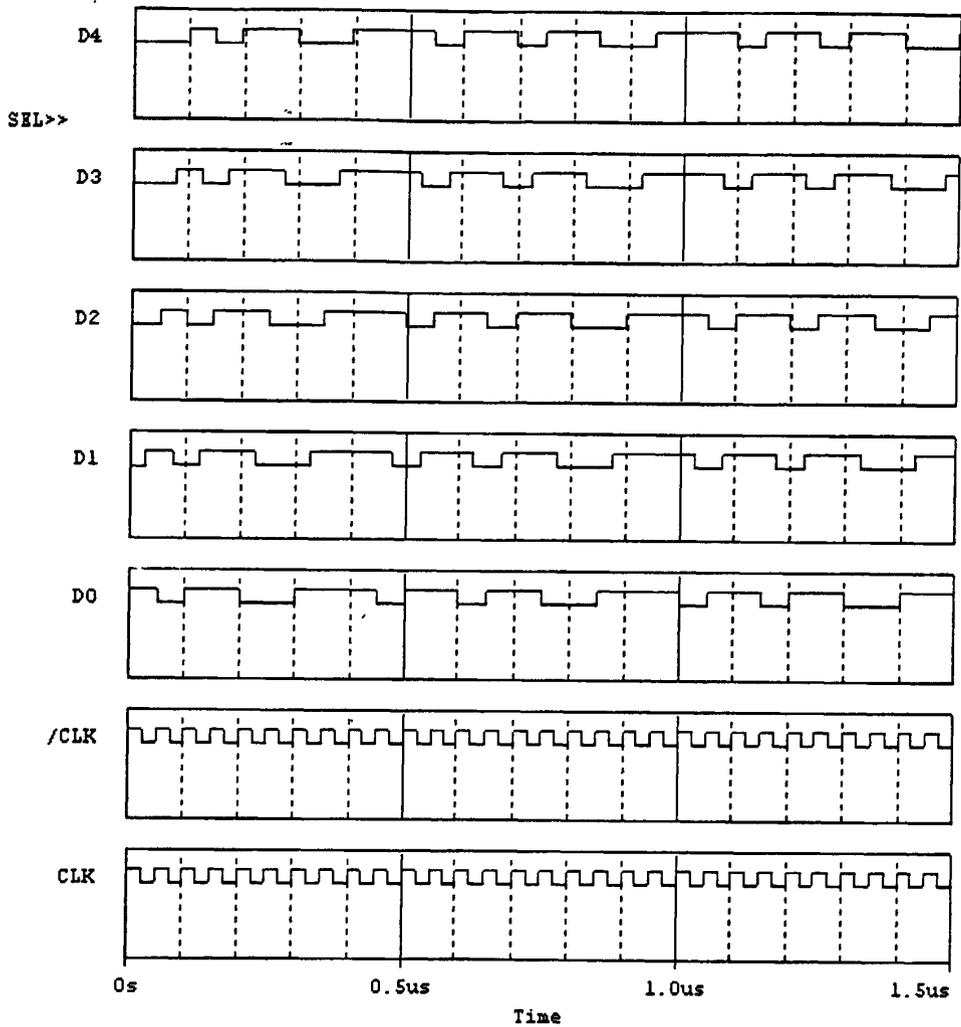
注：上图为差动输入信号电压幅值分别取-0.5V、-0.25V、0.25V、0.5V时，级间2倍增益电路的输出响应。

## 附录6 差动比较电路的测试



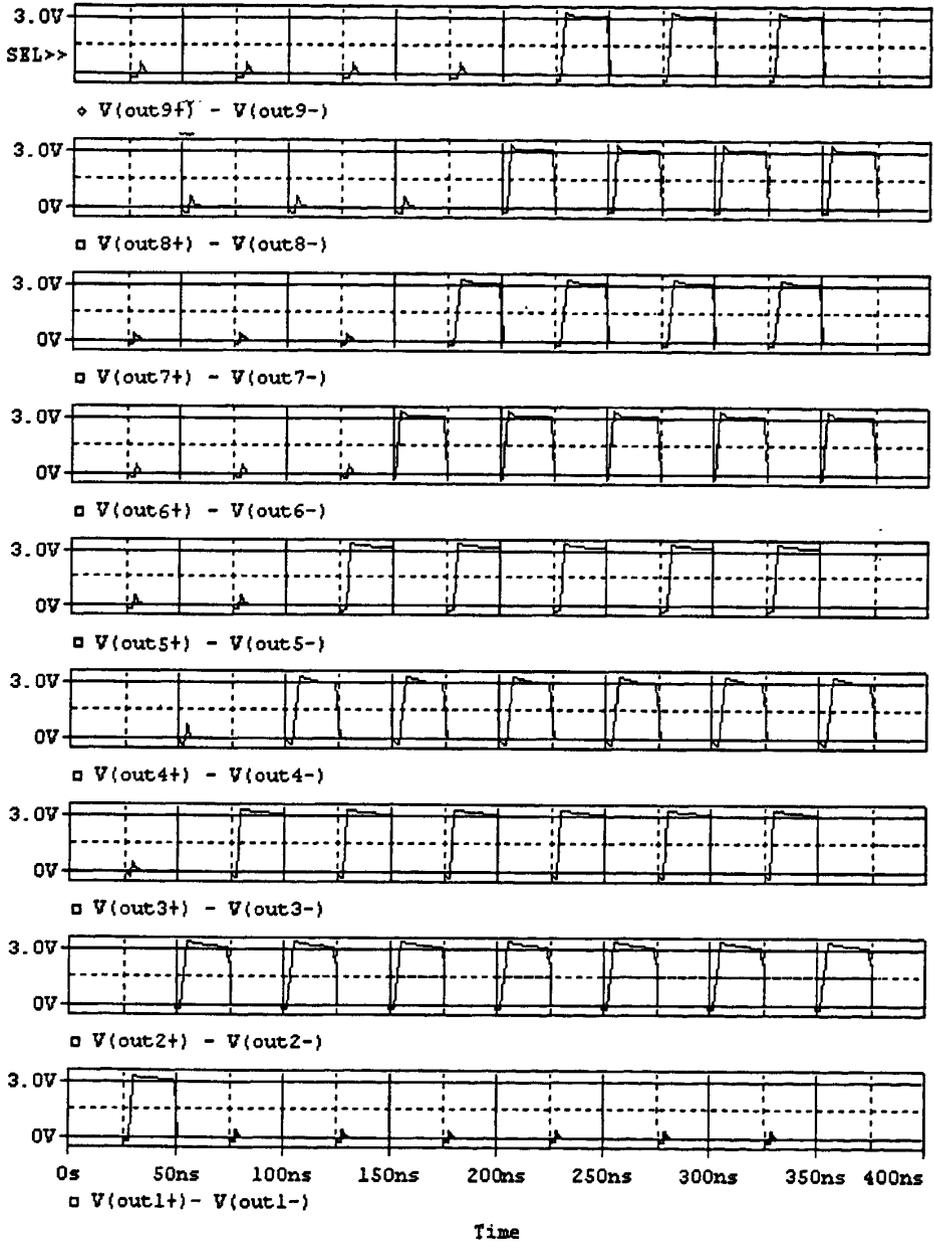
注：如图，输入差动信号为阶梯波，当它的幅值小于参考电压（1.1V）时，比较电路正端输出为低电平；幅值大于参考电压时，比较电路正端  $u_{out1}$  输出为高电平。比较电路负端  $u_{out2}$  的情况则相反。

## 附录7 4级延迟电路仿真波形



注：由图可知，输入数字信号 10110011101（D0）在经过 4 级移位寄存器后波形正好延迟了 2 个时钟周期。

### 附录 8 全电路仿真的输出波形



注：上图为输入信号为 0.0625V 时各级子 ADC 转换结果。

附录9 0.8 $\mu$ m BiCMOS 工艺的晶体管模型

## (1) PMOS

```
.model BICMOSP PMOS (Level=3 Gamma=0.282 Delta=0 Eta=0 Theta=0
  Kappa=0.2 Vmax=0 Xj=0
+   Tox=100n Uo=300 Phi=0.70000 Rs=70.6m Kp=10.15u W=1.9
  L=2u Vto=-3.67
+   Rd=60.66m Rds=444.4K Cbd=2.141n Pb=.8 Mj=.5 Fc=.5
  Cgso=877.2p
+   Cgdo=369.3p Rg=.811 Is=52.23E-18 N=2 Tt=140n)
```

## (2) NMOS

```
.model BICMOSN NMOS (Level=3 Gamma=0.282 Delta=0 Eta=0 Theta=0
  Kappa=0.2 Vmax=0 Xj=0
+   Tox=100n Uo=600 Phi=.6 Rs=1.624m Kp=20.53u W=0.3
  L=2u Vto=2.831
+   Rd=1.031m Rds=444.4K Cbd=3.229n Pb=.8 Mj=.5 Fc=.5
  Cgso=9.027n
+   Cgdo=1.679n Rg=13.89 Is=194E-18 N=1 Tt=288n)
```

## (3) PNPBJT

```
.model BICMOSPMP PNP (Is=336.7f Xti=3 Eg=1.11 Vaf=100
  Bf=118.1 Ne=1.5 Ise=0
+   Ikf=.6 Xtb=1.5 Br=.2901 Nc=2 Isc=0 Ikr=0 Rc=.5
  Cjc=39.63p
+   Mjc=.3357 Vjc=.75 Fc=.5 Cje=87.82p Mje=.3551 Vje=.75
  Tr=246.4n
+   Tf=800p Itf=0 Vtf=0 Xtf=0 Rb=10)
```

## (3) NPNBJT

```
.model BICMOSNPN NPN(Is=69.28E-18 Xti=3 Eg=1.11 Vaf=100 Bf=285.6
  Ne=1.183
+   Ise=69.28E-18 Ikf=22.29m Xtb=1.5 Br=1.153 Nc=2 Isc=0
  Ikr=0 Rc=4
+   Cjc=893.1f Mjc=.3017 Vjc=.75 Fc=.5 Cje=939.8f Mje=.3453
  Vje=.75
+   Tr=1.578n Tf=141.1p Itf=.27 Vtf=10 Xtf=30 Rb=10)
```

## 附录 10 运放的 PSpice 网表文件(带共模反馈及偏置电路)

\* source OP netlist

```

M_M30      N03161 CLK1 SWOUT3 SWOUT3 BICMOSP  L=0.8  W=16
M_M1       SWIN1 Vin+ N00042 N00042 BICMOSN  L=3   W=56
M_M19      N01212 /CLK1 0 0 BICMOSN  L=0.8  W=2
M_M2       SWIN2 Vin- N00042 N00042 BICMOSN  L=3   W=56
M_M3       N00083 VB3 N00092 N00092 BICMOSN  L=0.8  W=12
M_M4       N00086 VB3 N00089 N00089 BICMOSN  L=0.8  W=12
M_M28      SWIN3_3137 CLK1 N03161 N03161 BICMOSN  L=0.8
W=16
M_M5       N00092 SWIN3 0 0 BICMOSN  L=0.8  W=20
M_M6       N00089 SWIN3 0 0 BICMOSN  L=0.8  W=20
M_M7       N00042 VB5 0 0 BICMOSN  L=0.8  W=70
M_M8       SWIN1 VB1 VDD VDD BICMOSP  L=0.8  W=65
M_M9       SWIN2 VB1 VDD VDD BICMOSP  L=0.8  W=65
Q_Q5       N00083 VB2 SWIN1 BICMOSPNP
M_M26      N03123 /CLK1 0 0 BICMOSN  L=0.8  W=2
M_M23      N01212 CLK1 SWOUT2 SWOUT2 BICMOSP  L=0.8  W=4
Q_Q6       N00086 VB2 SWIN2 BICMOSPNP
V_CLK      CLK 0      +PULSE 0 3.3 5n 0.5n 0.5n 10n 50n
M_M18      SWIN2_1222 /CLK1 N01212 N01212 BICMOSP  L=0.8
W=4
M_M29      N03161 /CLK1 SWOUT3 SWOUT3 BICMOSN  L=0.8  W=16
V_/CLK     /CLK 0      +PULSE 3.3 0 5n 0.5n 0.5n 10n 50n
M_M21      SWIN2_1222 CLK1 N01212 N01212 BICMOSN L=0.8  W=16
V_V1       VB1 0 1.75Vdc
M_M22      N01212 /CLK1 SWOUT2 SWOUT2 BICMOSN  L=0.8  W=4
V_V2       VB2 0 1.67Vdc
V_V3       VB3 0 1.4Vdc
V_V4       VB4 0 0.8
V_V5       VB5 0 0.8
M_M27      N03125 CLK1 N03123 N03123 BICMOSN  L=0.8  W=2
M_M25      SWIN3_3137 /CLK1 N03161 N03161 BICMOSP  L=0.8
W=4
M_M20      N01236 CLK1 N01212 N01212 BICMOSN  L=0.8  W=2

```

```

V_VDD      VDD 0 0Vdc
M_M17      N01236 CLK1 V1 V1 BICMOSP L=0.8 W=2
M_M15      N00508 /CLK1 SWOUT1_914 SWOUT1_914 BICMOSN
           L=0.8 W=16
M_M16      N00508 CLK1 SWOUT1_914 SWOUT1_914 BICMOSP
           L=0.8 W=4
M_M10      N00582 CLK1 V1 V1 BICMOSP L=0.8 W=2
M_M11      SWIN1_451 /CLK1 N00508 N00508 BICMOSP L=0.8 W=4
M_M12      N00529 /CLK1 0 0 BICMOSN L=0.8 W=2
M_M13      N00582 CLK1 N00529 N00529 BICMOSN L=0.8 W=2
M_M14      SWIN1_451 CLK1 N00508 N00508 BICMOSN L=0.8
           W=16
M_M24      N03125 CLK1 V1 V1 BICMOSP L=0.8 W=2
C_C1       SWIN3 SWIN2 0.5p
C_C2       SWIN1 SWIN3 0.5p
    
```

## 附录 11 比较电路的 PSpice 网表文件

\* source comp netlist

```

M_M1       N00364 VREF- 0 0 BICMOSN L=0.8u W=8
Q_Q1       OUT- N00168 0 BICMOSNPN
V_VDD      VDD 0 3.3Vdc
M_M2       N00364 Vin+ 0 0 BICMOSN L=0.8u W=32
M_M3       N00374 Vin- 0 0 BICMOSN L=0.8u W=32
M_M4       N00374 VREF+ 0 0 BICMOSN L=0.8u W=8
M_M5       N00262 N00168 N00364 N00364 BICMOSN L=0.8u W=10
M_M6       N00422 N00178 N00374 N00374 BICMOSN L=0.8u W=10
M_M7       N00178 VLATCH N00262 N00262 BICMOSN L=0.8u W=15
M_M8       N00168 VLATCH N00422 N00422 BICMOSN L=0.8u W=15
M_M9       N00178 VLATCH VDD VDD BICMOSP L=0.8u W=8
M_M10      N00178 N00168 VDD VDD BICMOSP L=0.8u W=8
M_M11      N00168 N00178 VDD VDD BICMOSP L=0.8u W=8
M_M12      N00168 VLATCH VDD VDD BICMOSP L=0.8u W=8
Q_Q2       OUT+ N00178 0 BICMOSNPN
M_M13      OUT- OUT+ VDD VDD BICMOSP L=0.8u W=8
M_M14      OUT+ OUT- VDD VDD BICMOSP L=0.8u W=8
    
```

# 本文作者硕士生期间参加科研工作及论文发表的情况

## 1 科研情况

参与基金课题: 高速、低耗、低电源电压 BiCMOS 电路的研究(江苏省高校自然科学研究项目, 编号: 02KJB51005)(5/8)

## 2 论文发表情况

- (1) BiCMOS 器件应用前景及其发展趋势(1/4). 电讯技术, 2003; 43(4)
- (2) 用 MAX+plus II 设计数字电路的实现(1/2). 电测与仪表, 2003; 40(9)
- (3) 先进的芯片尺寸封装(CSP)技术及其发展前景(1/5). 半导体技术, 2003; (12)
- (4) 基于模糊控制的温室调节装置(1/3). 浙江大学学报(农业与生命科学版)(已录用)
- (5) 一种新颖的并联逆变器起动方案的实现(1/4). 农机化研究, 2004(2)
- (6) DRAM 芯片的最新研究进展与发展趋势(2/3). 半导体技术, 2004; 29(4)
- (7) 数字 VLSI 电路测试技术-BIST 方案(3/5). 半导体技术, 2003; 28(9)
- (8) 用  $0.8\mu\text{m}$  工艺技术设计的 65-kb BiCMOS SRAM(3/5). 半导体技术, 2003; 28(6)
- (9) 用于通信 ASIC 的高速 BiCMOS 逻辑电路(4/5). 电子元件与材料, 2003; 22(5)
- (10) VLSI 电路可测性设计技术及其应用综述(2/4). 半导体技术, 2004; 29(5)
- (11) BiCMOS 技术在通信领域的研究与进展(3/4). 电讯技术, 2004; 44(2)
- (12) 晶闸管中频电源微机控制系统的研究(4/5). 农机化研究, 2004(2)
- (13) IC 产业链中的新技术应用与产业发展对策(3/4). 半导体技术, 2004; 29(6)
- (14) 试论信息时代 IT 教学改革的途径和方法(3/5). 中国教育理论杂志, 2003/07B
- (15) 浅谈创新教育和教改中教师的地位和作用(3/3). 中国当代教育杂志, 2003(16)
- (16) 构建信息时代数字化校园的几点设想(4/4). 江苏大学学报(高教版), 2003; 25(3)

